



Conception de circuits analogique-numérique pour le conditionnement de micro-capteurs embarqués

Guillaume Regis

► To cite this version:

Guillaume Regis. Conception de circuits analogique-numérique pour le conditionnement de micro-capteurs embarqués. Autre. Université de Grenoble, 2011. Français. NNT : 2011GRENA001 . tel-00923134

HAL Id: tel-00923134

<https://theses.hal.science/tel-00923134>

Submitted on 2 Jan 2014

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

THÈSE

Pour obtenir le grade de

DOCTEUR DE L'UNIVERSITÉ DE GRENOBLE

Spécialité : **Physique Expérimentale et Instrumentation**

Arrêté ministériel : 7 août 2006

Présentée par

« **Guillaume REGIS** »

Thèse dirigée par « **Madjid BOUTEMEUR** » et
codirigée par « **Gilles CHAUMONTET** »

préparée au sein du **SYMME**
dans l'**École Doctorale SISEO**

Conception de circuits analogiques-numérique pour le conditionnement de micro- capteurs embarqués

Thèse soutenue publiquement le « **13 janvier 2011** »,
devant le jury composé de :

Mr Bernard ILLE

Directeur de recherche, IPN Lyon, Président

Mr DELATAILLE Christophe

Ingénieur de recherche, LAL Paris, Rapporteur

Mr DEPASSE Pierre

Professeur, IPN Lyon, Rapporteur

Mr BOUTEMEUR Madjid

Professeur, SYMME Polytech' Savoie, Membre

Mr XAVIER Pascal

Professeur, UJF Grenoble, Membre

Mr CHAUMONTET Gilles

Docteur, MIND-CNRS, Membre

Mr CONDEMINÉ Cyril

Docteur, CEA-LETI Grenoble, Membre



REMERCIEMENT

Avant d'entamer la rédaction de ce mémoire thèse, je tiens à adresser dans ces quelques lignes mes plus sincères remerciements à toutes les personnes qui m'ont soutenu durant ces trois années et sans qui ce travail n'aurait pu aboutir.

Je pense tout d'abord à mes encadrants Mr Gilles Chaumontet de MIND, Mr Cyril CONDEMINÉ du CEA ainsi que Mr Madjid BOUTEMEUR de l'université de Savoie. Tout le temps et l'expérience qu'ils ont partagés ont contribué pour beaucoup à mon apprentissage et au bon déroulement de mes travaux.

Je remercie sincèrement les membres du jury : Mr Pierre Depasse et Mr Christophe Delataille qui me font l'honneur de rapporter sur ce travail, ainsi que Monsieur Pascal Xavier et Monsieur Bernard Ille les examinateurs de mon jury.

Je pense également à l'ensemble des membres de l'équipe de Mind qui m'ont accueilli dans les meilleures conditions scientifiques et humaines. J'exprime toute ma gratitude à Mr Denis Linglin le vice directeur de Mind et à Mme Gaëlle Rey la directrice de Mind. Je remercie aussi particulièrement Mr Jean-Philippe Blanc pour m'avoir fait confiance ainsi que Mr Pierre Chalmet et Mr Gérald Bouffard pour leur expertise et leurs grandes disponibilités.

Je tiens également à remercier chaleureusement les membres de l'équipe EIM du laboratoire LE2TH au CEA pour leur accueil, et leur aide de tous les jours. Un merci particulier aux stagiaires et thésards que j'ai croisés pendant ces 2 dernières années.

Enfin, je tiens à adresser toute ma tendresse à mes parents, à ma famille et à Guylaine.

TABLE DES MATIERES

INTRODUCTION GENERALE	14
1. CHAINE D'AMPLIFICATION CONTINUE POUR CAPTEUR TMR	18
1.1. INTRODUCTION ET CONTEXTE	19
1.2. DESCRIPTION DU CAPTEUR TMR	20
1.3. CONDITIONNEMENT ET ETAT DE L'ART	24
1.3.1. Pont de Wheatstone.....	24
1.3.2. Oscillateurs	27
1.3.3. Boucle d'Anderson	28
1.3.4. Conditionnement élaboré (approche par boucle d'Anderson)	30
1.3.5. Synthèse.....	32
1.4. DIMENSIONNEMENT DE LA CHAINE D'AMPLIFICATION	33
1.4.1. Cahier des charges.....	33
1.4.2. Architecture fonctionnelle	34
1.4.3. Choix de conception et de dimensionnement.....	35
1.4.3.1. Choix et résolution des réglages et répartition des gains	35
1.4.3.1.1. Premier étage.....	35
1.4.3.1.2. Etage du milieu et dernier étage	38
1.4.3.2. Considérations et autres choix de conception	40
1.5. CONCEPTION CHAINE D'AMPLIFICATION	40
1.5.1. Premier étage.....	40
1.5.1.1. Amplificateurs PMOS	41
1.5.1.2. Amplificateur NMOS	42
1.5.2. Deuxième étage	43
1.5.3. Troisième étage	43
1.5.3.1. Amplificateur Rail to rail.....	44
1.5.3.2. DAC 8 bits de réglage de la référence	45
1.5.3.3. Le filtrage	45
1.5.3.4. Performance globale	45
1.5.4. Autres bloc	46
1.5.4.1. La Référence de tension.....	46
1.5.4.2. Amplificateur d'alimentation des TMR	46
1.5.4.3. La Cellule de Polarisation.....	47
1.5.4.4. TEST INTEGRE	48
1.6. IMPLEMENTATION ET MESURE DE TEST	49
1.6.1. Simulations globales	49
1.6.2. Layout et implémentation	51
1.6.3. Mesure de test	52
1.6.3.1. Test de Consommation	52
1.6.3.2. Test de l'étage d'entrée.....	53
1.6.3.3. Test de l'étage du milieu.....	53
1.6.3.4. Test de l'étage de sortie	54
1.6.3.5. Test des DACs de l'étage de sortie.....	55
1.6.3.6. Test charge limite de l'alimentation capteur.....	56
1.6.3.7. Test référence	56
1.6.3.8. Test circuit complet	57
1.7. CONCLUSION ET PERSPECTIVE	58
2. CONVERTISSEUR ANALOGIQUE/NUMERIQUE POUR APPLICATION D'INTERFACE NEURONALE	60
2.1. INTRODUCTION AUX INTERFACES CERVEAU MACHINE	61
2.2. APPLICATION ET CAHIER DES CHARGES	62
2.3. LES CONVERTISSEURS ANALOGIQUES NUMERIQUES	63
2.3.1. Caractéristiques d'un convertisseur :	63
2.3.2. Les différents ADC	66
2.3.2.1. Convertisseurs flash.....	66
2.3.2.2. Convertisseurs Demi-flash.....	66

2.3.2.3.	Convertisseurs Pipeline	67
2.3.2.4.	Convertisseurs simple rampe analogique.....	67
2.3.2.5.	Convertisseurs à intégration numérique.....	68
2.3.2.6.	Convertisseurs à double rampe.....	68
2.3.2.7.	Convertisseurs à approximations successives.....	69
2.3.2.8.	Convertisseurs Sigma/Delta.....	69
2.3.2.9.	Bilan	71
2.4.	CHOIX DU NOMBRE D'ADC PAR VOIE	71
2.5.	ETAT DE L'ART ADC SAR.....	73
2.5.1.	<i>DAC à Réseaux capacitif</i>	73
2.5.1.1.	Réseau capacitif classique	74
2.5.1.2.	Réseau capacitif C-2C	75
2.5.1.3.	Réseau capacitif à atténuation.....	76
2.5.1.4.	Réseau capacitif différentiel	77
2.5.1.5.	Synthèse.....	78
2.5.1.6.	Capacité unitaire (Cu) minimale avec contrainte de bruit.....	78
2.5.1.7.	Capacité unitaire minimale avec contrainte de matching.....	79
2.5.1.8.	Récapitulatif	80
2.5.2.	<i>Comparateur</i>	81
2.5.2.1.	Caractéristiques	81
2.5.2.2.	Amplificateur opérationnel en boucle ouverte.....	82
2.5.2.3.	Comparateur à plusieurs étages d'amplificateur.....	82
2.5.2.4.	Comparateur latché.....	83
2.5.2.5.	Time domain comparator.....	83
2.5.2.6.	Comparateur latché avec étage de pré-amplification et auto zéro.....	84
2.5.3.	<i>Sample&Hold</i>	84
2.6.	CONCEPTION ADC SAR	86
2.6.1.	<i>DAC</i>	86
2.6.2.	<i>Comparateur</i>	89
2.6.2.1.	Track&Latch Comparateur	89
2.6.2.2.	OTA NMOS	91
2.6.2.3.	OTA PMOS.....	92
2.6.2.4.	Considération en bruit	93
2.6.2.5.	Comparateur avec Auto-zéro	94
2.6.2.6.	Comparateur Rail_to_Rail.....	95
2.6.3.	<i>Sample & Hold</i>	96
2.6.4.	<i>Logique & Registre à décalage</i>	98
2.6.5.	<i>Horloge</i>	99
2.6.6.	<i>Référence de tension</i>	99
2.7.	SIMULATION	100
2.7.1.	<i>Description montage complet</i>	100
2.7.2.	<i>Description des signaux</i>	102
2.7.3.	<i>Simulation</i>	104
2.7.3.1.	INL/DNL	104
2.7.3.2.	Simulation Monte Carlo	104
2.7.3.3.	Simulation NoiseTran.....	105
2.7.3.4.	Simulation PEX.....	105
2.8.	TEST	105
2.8.1.	<i>Outil de test</i>	105
2.8.2.	<i>Test consommation</i>	106
2.8.3.	<i>Test de linéarité</i>	107
2.8.4.	<i>Test Comparateur</i>	108
2.8.5.	<i>Test fréquentiel</i>	108
2.8.6.	<i>Résumé des performances</i>	109
2.9.	AMELIORATION.....	109
2.9.1.	<i>Proposition d'amélioration</i>	110
2.9.1.1.	Principe.....	110
2.9.2.	<i>Exemple de réalisation/Détails</i>	112
2.9.2.1.	Exemple de pilotage optimisé d'un ADC-SAR	112
2.9.2.2.	Exemple de réalisation de l'horloge de pilotage optimisée pour un ADC-SAR	113
2.9.2.2.1.	Exemple de réalisation « numérique »	113
2.9.2.2.2.	Exemple de réalisation « analogique »	114
2.9.3.	<i>Variante d'améliorations</i>	115
2.9.3.1.	Rapport cyclique.....	115

2.9.3.2.	Horloge auto générée.....	116
2.10.	CONCLUSION.....	116
3.	CONVERTISSEUR ANALOGIQUE/NUMERIQUE SIGMA DELTA INCREMENTAL POUR MESURE DE PRESSION STATIONNAIRE	118
3.1.	INTRODUCTION	119
3.2.	CONTEXTE : APPLICATION ONERA.....	119
3.2.1.	<i>Cahier des charges</i>	121
3.2.2.	<i>Structure globale</i>	122
3.2.3.	<i>Capteurs</i>	123
3.2.3.1.	<i>Capteur résistif</i>	124
3.2.3.2.	<i>Capteur capacitif</i>	126
3.3.	ETUDE ARCHITECTURALE	128
3.3.1.	<i>Approche incrémentale</i>	128
3.3.2.	<i>Modèle idéal du modulateur</i>	130
3.3.2.1.	Fonctionnement des montages à capacités commutées.....	130
3.3.2.2.	Le Montage Intégrateur en capacités commutés.....	132
3.3.2.3.	Modélisation Simulink	132
3.3.3.	<i>Choix des paramètres du convertisseur</i>	137
3.3.4.	<i>Choix du filtre numérique</i>	140
3.3.5.	<i>Implémentation du filtre numérique</i>	143
3.4.	MODELISATION REALISTE DE L'ARCHITECTURE	150
3.4.1.	<i>Imperfection liée à l'électronique et modélisation associée</i>	150
3.4.1.1.	Imperfections associées aux capacités commutées	150
3.4.1.2.	Imperfection liée à l'amplificateur.....	151
3.4.2.	<i>Modèle complet du modulateur</i>	153
3.4.3.	<i>Modèle complet du modulateur avec capteur et filtre numérique</i>	155
3.4.4.	<i>Résumé des choix</i>	156
3.5.	CONCLUSION ET PERSPECTIVES.....	157
	CONCLUSION GENERALE	158
	ANNEXE 1 : PARTIE NUMERIQUE DU CHAPITRE 2.....	161
	DESCRIPTION	161
	SIMULATION	162
	PROGRAMME DE TEST	163
	LAYOUT	163
	ANNEXE 2 : THEORIE SUR LES SIGMA-DELTA	164
	MODULATEUR DU PREMIER ORDRE	166
	MODULATEUR DU SECOND ORDRE :	169
	MODULATEUR D'ORDRE SUPERIEUR :	171
	LE FILTRAGE NUMERIQUE	171
	ANNEXE 3 : FLOT DE CONCEPTION	175
	BIBLIOGRAPHIE	177

LISTE DES FIGURES

FIGURE 1-1. ROULEMENT SNR D'ANCIENNE GENERATION AVEC CAPTEUR A EFFET HALL.....	19
FIGURE 1-2. (A) CAPTEUR TMR EN FACE DE LA ROUE CODEUSE, (B) CHAMPS MAGNETIQUE GENERE PAR LA ROUE CODEUSE VUE PAR LES TMR.....	20
FIGURE 1-3. COUCHES D'UNE JONCTION TUNNEL AVEC LA REPRESENTATION DE SA RESISTANCE EQUIVALENTE EN FONCTION DE L'ORIENTATION DE DIFFERENTS VECTEURS MAGNETIQUES.	21
FIGURE 1-4. VARIATION DE LA RESISTANCE TMR EXPERIMENTALE A BASE Al_2O_3 EN FONCTION DE LA TENSION APPLIQUEE	21
FIGURE 1-5. DENSITE SPECTRALE DE LA PUISSANCE DU BRUIT (A) DU MODELE, (B) DE LA PUBLICATION [12].....	23
FIGURE 1-6. [14] PONT ACTIF DIFFERENTIEL A CONTRE-REACTION POUR ANNULER L'OFFSET	25
FIGURE 1-7. SCHEMA D'UNE STRUCTURE EN PONT DE WHEATSTONE COMPORTANT QUATRE TMR.....	27
FIGURE 1-8. MULTIVIBRATEUR ASTABLE.....	28
FIGURE 1-9. CIRCUIT EN BOUCLE D'ANDERSON.....	29
FIGURE 1-10. (A) CAPTEUR TMR EN FACE DE LA ROUE CODEUSE, (B) CHAMP MAGNETIQUE GENERE PAR LA ROUE CODEUSE VU PAR LES TMR, (C) SORTIES DIFFERENTIELLES DES SORTIES DES TMR	30
FIGURE 1-11. SCHEMATIQUE SIMPLE D'OBTENTION DU SINUS ET DU COSINUS A PARTIR DES TMRs.....	31
FIGURE 1-12. SCHEMATIQUE ELABORE D'OBTENTION DU SINUS ET DU COSINUS A PARTIR DES TMR.....	32
FIGURE 1-13. SCHEMATIQUE GLOBALE AVEC TOUS LES ELEMENTS A REALISER	35
FIGURE 1-14. REPRESENTATION D'UN CAS DE DISPERSION ENTRAINANT LA TENSION DC MAXIMALE EN SORTIE DU PREMIER ETAGE.....	37
FIGURE 1-15. RAPPORT AMPLITUDE_Cos/AMPLITUDE_SIN EN FONCTION DE LA PHASE ϕ DES SIGNAUX DE SORTIES DES TMR	39
FIGURE 1-16. (A) REPRESENTATION DE LA REPARTITION DES AMPLIFICATEURS PMOS ET NMOS DU PREMIER ETAGE	40
FIGURE 1-17. ARCHITECTURE D'UN AMPLIFICATEUR D'INSTRUMENTATION DE L'ETAGE D'ENTREE	41
FIGURE 1-18. AMPLIFICATEUR PMOS, (A) SCHEMATIQUE, (B) PERFORMANCE, (C) LAYOUT.....	42
FIGURE 1-19. AMPLIFICATEUR NMOS (A) SCHEMATIQUE, (B) PERFORMANCE, (C) LAYOUT.....	42
FIGURE 1-20. AMPLIFICATEUR DIFFERENTIEL DU SECOND ETAGE.....	43
FIGURE 1-21. AMPLIFICATEUR DIFFERENTIEL DU DERNIER ETAGE AVEC REGLAGE DE LA REFERENCE, DU GAIN ET FILTRAGE A 10KHZ	44
FIGURE 1-22. AMPLIFICATEUR RAIL-TO-RAIL (A) SCHEMATIQUE, (B) PERFORMANCE, (C) LAYOUT	44
FIGURE 1-23. SCHEMATIQUE DU DAC 8 (A) SCHEMATIQUE, (B) PERFORMANCE, (C) LAYOUT	45
FIGURE 1-24. REFERENCE DE TENSION DU CIRCUIT (A) SCHEMATIQUE, (B) PERFORMANCE, (C) LAYOUT.....	46
FIGURE 1-25. ALIMENTATION DES TMR CONSTITUEE D'UNE REFERENCE HAUTE (A) ET D'UNE REFERENCE BASSE (B).....	46
FIGURE 1-26. AMPLIFICATEUR D'ALIMENTATION HAUTE DES TMR (A) SCHEMATIQUE, (B) PERFORMANCE, (C) LAYOUT	47
FIGURE 1-27. AMPLIFICATEUR D'ALIMENTATION BASSE DES TMR (A) SCHEMATIQUE, (B) PERFORMANCE, (C) LAYOUT	47
FIGURE 1-28. RESULTATS DE LA CELLULE DE POLARISATION IBIAS	48
FIGURE 1-29 SCHEMATIQUE CADENCE PUCE COMPLETE	49
FIGURE 1-30. PROCEDURE DE REGLAGE.....	50
FIGURE 1-31. PHOTOGRAPHIE DE LA PUCE	51
FIGURE 1-32. TEST DU GAIN FIN DU PREMIER ETAGE (A) SORTIE, (B) INL	53
FIGURE 1-33. TEST DU GAIN GLOBAL DU DEUXIEME ETAGE (A) SORTIE, (B) INL.....	53
FIGURE 1-34. TEST DU GAIN GLOBAL DU DERNIER ETAGE (A) SORTIE, (B) INL.....	54
FIGURE 1-35. TEST DU GAIN FIN DU DERNIER ETAGE (A) SORTIE, (B) INL	55
FIGURE 1-36. TEST DU DAC DU DERNIER ETAGE (A) SORTIE, (B) INL.....	55
FIGURE 1-37. TEST DE CHARGE MAXIMAL DES ALIMENTATIONS TMR (A) SORTIE, (B) COURANT.....	56
FIGURE 1-38. TEST DE LA REFERENCE GLOBALE DU CIRCUIT.	56

FIGURE 1-39. SENSIBILITE DES PREMIERS PROTOTYPES DE TMR INDUSTRIEL EN FONCTION DU CHAMP MAGNETIQUE	58
FIGURE 1-40. ENCAPSULATION TAB (TAPE AUTOMATED BONDING)	59
FIGURE 2-1. ETAT DE L'ART DES TECHNIQUES DE MESURES ET APPLICATIONS RECENTES	61
FIGURE 2-2. ARCHITECTURE GENERALE D'UN IMPLANT DE MESURE	62
FIGURE 2-3. ARCHITECTURE GENERALE D'UN CIRCUIT DE MESURE	63
FIGURE 2-4. PRINCIPE DE QUANTIFICATION ET ERREUR DE QUANTIFICATION	64
FIGURE 2-5. REPRESENTATION DES ERREURS D'OFFSET ET DE GAIN	65
FIGURE 2-6. REPRESENTATION DE L'INL ET DU DNL	65
FIGURE 2-7. ADC FLASH	66
FIGURE 2-8. ADC DEMI-FLASH	67
FIGURE 2-9. ADC PIPELINE	67
FIGURE 2-10. ADC SIMPLE RAMPE ANALOGIQUE	68
FIGURE 2-11. CONVERTISSEURS A INTEGRATION NUMERIQUE	68
FIGURE 2-12. CONVERTISSEURS A DOUBLE RAMPE	69
FIGURE 2-13. ADC SAR (SUCCESSIVE APPROXIMATION REGISTER)	69
FIGURE 2-14. ADC SIGMA-DELTA (Σ/Δ)	70
FIGURE 2-15. COMPARATIF DES PERFORMANCES DES DIFFERENTS TYPES D'ADC	71
FIGURE 2-16. CONFIGURATION DE L'ADC RETENUE DANS SON ENVIRONNEMENT	72
FIGURE 2-17. ADC SAR RAIL-TO-RAIL	73
FIGURE 2-18. DAC CAPACITIF CLASSIQUE	74
FIGURE 2-19. SCHEMATIQUE EQUIVALENTE DU DAC CAPACITIF CLASSIQUE	74
FIGURE 2-20. DAC CAPACITIF C-2C	75
FIGURE 2-21. DAC CAPACITIF C-2C AVEC PARASITES	75
FIGURE 2-22. DAC A ATTENUATION 12 BITS	76
FIGURE 2-23. SCHEMATIQUE EQUIVALENTE DU DAC CAPACITIF A ATTENUATION	76
FIGURE 2-24. SORTIE DAC A ATTENUATION (A), LINEARITE DIFFERENTIELLE (B)	77
FIGURE 2-25. CONFIGURATION DIFFERENTIEL DU DAC CAPACITIF CLASSIQUE	78
FIGURE 2-26. INDICE DE PERFORMANCE DES DAC CAPACITIF	81
FIGURE 2-27. (A) LATCH DYNAMIQUE SIMPLE (B) SCHEMATIQUE AU NIVEAU TRANSISTOR ET SCHEMATIQUE COMPLETE (C)	83
FIGURE 2-28. TIME DOMAIN COMPARATOR	83
FIGURE 2-29. COMPAREUR LACHE AVEC ETAGE DE PRE-AMPLIFICATION ET AUTO ZERO	84
FIGURE 2-30. TIMING DU COMPAREUR	84
FIGURE 2-31. SAMPLE AND HOLD LE PLUS SIMPLE	85
FIGURE 2-32. SAMPLE AND HOLD 1	85
FIGURE 2-33. SAMPLE AND HOLD 2	85
FIGURE 2-34. SAMPLE AND HOLD 3	86
FIGURE 2-35. SAMPLE AND HOLD 4	86
FIGURE 2-36. LAYOUT DAC	87
FIGURE 2-37. INL DAC 12BITS	87
FIGURE 2-38. INTERRUPTEUR CMOS & LINEARITE DU RON	88
FIGURE 2-39. SCHEMATIQUE COMPAREUR COMPLET RAIL-TO-RAIL	89
FIGURE 2-40. COMPAREUR TRACK&LATCH (A) SCHÉMATIQUE, (B) LAYOUT	90
FIGURE 2-41. ENTREES ET SORTIE DU COMPAREUR LATCH	90
FIGURE 2-42. PAIRE DIFFERENTIELLE AVEC CHARGE ACTIVES ET SORTIES DIFFERENTIELLES	91
FIGURE 2-43. SCHÉMATIQUE&LAYOUT OTA NMOS	91
FIGURE 2-44. REPONSE DE L'OTA NMOS EN FREQUENCE EN UTILISANT LES CORNERS PRECONISES PAR AMS	92
FIGURE 2-45. SCHÉMATIQUE&LAYOUT OTA PMOS	92
FIGURE 2-46. REPONSE DE L'OTA PMOS EN FREQUENCE AVEC CORNERS PRECONISES PAR AMS	92
FIGURE 2-47. REPRESENTATION DE L'OTA PMOS AVEC SES SOURCES DE BRUITS PRIS EN CONSIDERATION	93

FIGURE 2-48. REPRESENTATION DE L'OTA PMOS AVEC SES SOURCES DE BRUITS PRISES EN CONSIDERATION	94
FIGURE 2-49. COMPAREUR AVEC AUTO ZERO (A)SCHEMA (B)LAYOUT	95
FIGURE 2-50. SCHÉMA & LAYOUT COMPAREUR COMPLET RAIL-TO-RAIL	95
FIGURE 2-51. SAMPLE AND HOLD DE TYPE PING PONG	96
FIGURE 2-52. SCHEMA EQUIVALENT SIMPLIFIE DES CAPACITES VUES EN ENTREE DU COMPAREUR	96
FIGURE 2-53. EFFET DES REDISTRIBUTIONS DE CHARGE SUR LA TENSION DU SAMPLE AND HOLD.....	98
FIGURE 2-54 REGISTRE A DECALAGE ET REGISTRE RESULTAT	98
FIGURE 2-55. SCHEMATIQUE CIRCUIT DE NON RECOUVREMENT	99
FIGURE 2-56. COURBE HORLOGE NON RECOUVRANTE	99
FIGURE 2-57. SCHEMATIQUE REFERENCE DE TENSION.....	100
FIGURE 2-58. SCHEMATIQUE CADENCE ADC SAR	100
FIGURE 2-59. COURBE DE FONCTIONNEMENT ADC SAR	102
FIGURE 2-60. SYNCHRONISATION DES HORLOGES ADC SAR	103
FIGURE 2-61. COURBE DE LINEARITE ADC SAR	104
FIGURE 2-62. BANC DE TEST	105
FIGURE 2-63 ADC SAR V1 (A) EN BOITIER DIL40, (B) PHOTOGRAPHIE DE LA PUCE NUE.....	106
FIGURE 2-64. CHRONOGRAMME ADC SAR V1	106
FIGURE 2-65. MESURE DU COURANT DANS LE DAC	107
FIGURE 2-66. INL SANS CORRECTION DU GAIN ET DE L'OFFSET ADC SAR V1	107
FIGURE 2-67 INL AVEC CORRECTION DU GAIN ET DE L'OFFSET ADC SAR V1	107
FIGURE 2-68 DNL ADC SAR V1	107
FIGURE 2-69. TEST DU COMPAREUR	108
FIGURE 2-70. DENSITE SPECTRALE DU BRUIT MESUREE SUR LA MEILLEURE PUCE AVEC 12380 ECHANTILLONS, VDD=3,3V, UN SIGNAL D'ENTREE A 50HZ ET 3,2V D'AMPLITUDE CRETE A CRETE	108
FIGURE 2-71. DENSITE SPECTRALE DU BRUIT MESUREE SUR LA PIRE PUCE AVEC 11340 ECHANTILLONS, VDD=3,3V, UN SIGNAL D'ENTREE A 50HZ ET 3,2V D'AMPLITUDE CRETE A CRETE	108
FIGURE 2-72. (A) PERIODES (EN SECONDE) DE CONVERSION D'UN ADC-SAR AVEC UNE HORLOGE CLASSIQUE ; (B) RAPPORT ENTRE CHAQUE PERIODE CONSECUTIVE.....	110
FIGURE 2-73 : (A) PERIODES DE CONVERSION D'UN ADC-SAR AVEC UNE HORLOGE ADAPTEE ; (B) RAPPORT ENTRE CHAQUE PERIODE CONSECUTIVE	111
FIGURE 2-74 : QUANTIFICATION EN FONCTION DE LA RESOLUTION (N) DU CONVERTISSEUR DU GAIN DE TEMPS ET DONC DE FOM LORS DES N COMPARAISONS ENTRE UNE ARCHITECTURE SUIVANT L'INVENTION ET UNE ARCHITECTURE SUIVANT L'ETAT DE L'ART.	111
FIGURE 2-75 : CHRONOGRAMME DE L'ADC.....	112
FIGURE 2-76 : CHRONOGRAMME DES PRINCIPAUX SIGNAUX D'UN ADC-SAR SUIVANT L'INVENTION.	113
FIGURE 2-77 : EXEMPLE DE REALISATION D'HORLOGE ADAPTATIVE	113
FIGURE 2-78 : EXEMPLE DE REALISATION D'IMPULSION TDAC.....	114
FIGURE 2-79 : CHRONOGRAMME DE L'HORLOGE « ANALOGIQUE » DE PILOTAGE DU DAC	114
FIGURE 2-80 : EXEMPLE DE MONOSTABLE REALISE A PARTIR D'UN AMPLIFICATEUR OPERATIONNEL	115
FIGURE 2-81 : EXEMPLE DE MONOSTABLE REALISE A PARTIR DE PORTES LOGIQUES (ICI DE TYPE NOR).....	115
FIGURE 2-82 : EXEMPLE D'HORLOGE OPTIMISEE EN FONCTION DU TEMPS	116
FIGURE 3-1. MAQUETTE A INSTRUMENTER	120
FIGURE 3-2. VENTILATEUR DE LA SOUFFLERIE	120
FIGURE 3-3 MAQUETTAGE D'UNE VOILURE AVEC SON RESEAU FILAIRE DE CONNEXIONS CAPTEURS	120
FIGURE 3-4. MESURE DE PRESSION STATIONNAIRE	121
FIGURE 3-5. MESURE DE PRESSION DYNAMIQUE.....	121
FIGURE 3-6. TEMPS DE LATENCE ET TEMPS DE REPONSE FACE A UNE VARIATION DE PRESSION	122
FIGURE 3-7. MODE ASYNCHRONE DE L'ACQUISITION DE MESURE.....	122
FIGURE 3-8. RUBAN DE MESURE DE PRESSION	123
FIGURE 3-9. COURBURE DU RUBAN DE MESURE.....	123
FIGURE 3-10. SYSTEME CAPTEUR DU PROJET WIRELESS.....	123

FIGURE 3-11. MODELE SIMULINK DU CAPTEUR RESISTIF	125
FIGURE 3-12 VARIATION DE LA CAPACITE DU MODELE DU CAPTEUR RESISTIF EN FONCTION DE LA GAMME DE PRESSION FIXEE PAR LE CAHIER DES CHARGES	125
FIGURE 3-13. DENSITE SPECTRALE DE PUISSANCE DU CAPTEUR RESISTIF APRES AMPLIFICATION PAR UN GAIN IDEAL	126
FIGURE 3-14 VARIATION DE LA CAPACITE (CSENSE-CREF) DU CAPTEUR CAPACITIF EN FONCTION DE LA PRESSION	126
FIGURE 3-15. MODELE SIMULINK DU CAPTEUR CAPACITIF	127
FIGURE 3-16. VARIATION DE LA CAPACITE DU MODELE DU CAPTEUR CAPACITIF EN FONCTION DE LA GAMME DE PRESSION FIXEE PAR LE CAHIER DES CHARGES	127
FIGURE 3-17. CONVERTISSEUR SIGMA-DELTA INCREMENTAL	128
FIGURE 3-18 SIGMA DELTA INCREMENTALE POUR L'APPLICATION ONERA	129
FIGURE 3-19. CHRONOGRAMME DE TRANSMISSION DES DONNEES	129
FIGURE 3-20. REPRESENTATION DES TEMPS D'ACQUISITION	130
FIGURE 3-21. EMULATION D'UNE RESISTANCE EN CAPACITES COMMUTEES	130
FIGURE 3-22. CAPACITES PARASITES DE LA STRUCTURE D'EMULATION DE RESISTANCE	131
FIGURE 3-23. STRUCTURES INVERSEUSE ET NON-INVERSEUSE INSENSIBLES AUX CAPACITES PARASITES	132
FIGURE 3-24. SCHEMA ELECTRIQUE D'UN INTEGRATEUR SIMPLE	132
FIGURE 3-25. MODELE SIMULINK D'UN MODULATEUR SIGMA DELTA DU SECOND ORDRE	133
FIGURE 3-26. MODELE CHOISI POUR L'ETUDE	134
FIGURE 3-27 DENSITE SPECTRALE DE PUISSANCE DE LA SORTIE DU SIGMA DELTA DU MODELE IDEAL ET DU MODELE CHOISI POUR L'ETUDE.	135
FIGURE 3-28. FONCTIONS DE TRANSFERTS SIGNAL ET BRUITS DU MODULATEUR	136
FIGURE 3-29. INTEGRATEUR DIFFERENTIEL ET SYMETRIQUE EN CAPACITES COMMUTEES	136
FIGURE 3-30. MODELE SIMULINK MODULATEUR SIGMA DELTA IDEAL DIFFERENTIEL	137
FIGURE 3-31. DENSITE SPECTRALE DE PUISSANCE DE LA SORTIE DU SIGMA DELTA IDEAL AVEC UNE ENTREE SINUSOÏDALE IDEALE	138
FIGURE 3-32. CONVERTISSEUR SIGMA DELTA AVEC FILTRE A DECIMATION COURAMMENT UTILISE	138
FIGURE 3-33 CONVERTISSEUR SIGMA DELTA AVEC FILTRE A DECIMATION COURAMMENT UTILISE	139
FIGURE 3-34. REPONSES TEMPORELLE ET FREQUENTIELLE D'UNE FENETRE NUMERIQUE RECTANGULAIRE.	140
FIGURE 3-35 (A) REPONSE DU FILTRE FIR HANNING AVEC 896 COEFFICIENTS AVEC UNE ENTREE DC=1.3997 ET (B) ERREUR DE QUANTIFICATION ASSOCIEE SUR 16BITS	141
FIGURE 3-36. ENOB OBTENUE EN FONCTION DE DIFFERENTS TYPES DE FENETRAGE DE FILTRE ET DIFFERENTES PROFONDEURS DE FILTRE.	141
FIGURE 3-37. EXEMPLE DE REPONSE TEMPORELLE ET FREQUENTIELLE D'UNE FENETRE NUMERIQUE TRIANGULAIRE A 128 COEFFICIENTS.	142
FIGURE 3-38 EXEMPLE DE REPONSES TEMPORELLE ET FREQUENTIELLE D'UNE FENETRE NUMERIQUE HANN A 128 COEFFICIENTS.	142
FIGURE 3-39. ENOB OBTENUE AVEC UN MODULATEUR IDEAL AVEC UNE PROFONDEUR DE FILTRE DE 896 EN FONCTION DE SA TENSION D'ENTREE.....	142
FIGURE 3-40. STRUCTURE TRANSVERSALE D'UN FILTRE A DECIMATION	143
FIGURE 3-41. DEMI-ADDITIONNEUR	143
FIGURE 3-42. ADDITIONNEUR COMPLET	144
FIGURE 3-43. ADDITIONNEUR 4BIT PARALLELE A PROPAGATION DE RETENUE.....	144
FIGURE 3-44 ADDITIONNEUR AVEC VALEURS INTERMEDIAIRES.....	145
FIGURE 3-45. ADDITIONNEUR 4BIT PARALLELE A ANTICIPATION DE RETENUE.....	145
FIGURE 3-46. ADDITIONNEUR 20BITS CONSTRUIT AVEC 5 ADDITIONNEURS 4BITS	146
FIGURE 3-47. FILTRE A DECIMATION AVEC ADDITIONNEUR RECURSIF.	146
FIGURE 3-48. REPONSE TEMPORELLE DU FILTRE A DECIMATION AVEC UNE FENETRE HANNING SUR 896.....	147
FIGURE 3-49. [50] ALGORITHME ALTERNATIF POUR FILTRE SINC.....	149
FIGURE 3-50. UNITE DE CALCUL H_i^3 DE L'ARCHITECTURE BIT SERIE	149
FIGURE 3-51. MODELISATION SIMULINK DU BRUIT EN KT/C.....	151

FIGURE 3-52. INTEGRATEUR DE KI-TEMES	151
FIGURE 3-53. MODELE REEL INTEGRATEUR	152
FIGURE 3-54. MODELE REEL DU MODULATEUR.....	153
FIGURE 3-55 DENSITE SPECTRALE DE LA PUISSANCE EN SORTIE DU MODULATEUR REEL EN FONCTION DE PLUSIEURS PARAMETRES NON IDEAUX.	153
FIGURE 3-56. DENSITE SPECTRALE DE PUISSANCE DE LA SORTIE DU MODELE REEL DU SIGMA DELTA.	154
FIGURE 3-57. ENOB OBTENUE AVEC UN MODULATEUR REEL POUR DIFFERENTES PROFONDEURS DE FILTRE EN FONCTION DE LA PRESSION D'ENTREE DU CAPTEUR.	155
FIGURE 0-1. SCHEMATIQUE BLOC DE LA PPTRIM	161
FIGURE 0-2. EXEMPLE DE CHRONOGRAMME DE SIMULATION DE LA PPTRIM	162
FIGURE 0-3. LAYOUT PPTRIM	163
FIGURE 0-1. MODELE LINEAIRE SIMPLIFIE DU QUANTIFICATEUR	164
FIGURE 0-2. REPRESENTATION DE LA DENSITE DE PROBABILITE DE L'ERREUR DE QUANTIFICATION.....	164
FIGURE 0-3. REPRESENTATION DE LA MISE EN FORME DU BRUIT GRACE AU SURECHANTILLONAGE.....	165
FIGURE 0-4. MODULATEUR SIGMA DELTA DU PREMIER ORDRE ET SON SCHEMA EQUIVALENT	166
FIGURE 0-5. COMPORTEMENT DES SIGNAUX DU MODULATEUR POUR DES ENTREES CONTINUES	167
FIGURE 0-6. CHRONOGRAMME DES SIGNAUX D'ENTREE ET DE SORTIE – FONCTIONS DE TRANSFERT SIGNAL ET BRUIT DE QUANTIFICATION.....	167
FIGURE 0-7. RAPPORT SIGNAL/BRUIT EN FONCTION DU RAPPORT DE SURECHANTILLONNAGE	168
FIGURE 0-8. SIGNAL DE SORTIE DU MODULATEUR POUR UN SIGNAL D'ENTREE CONSTANT	169
FIGURE 0-9. PUISSANCE DE BRUIT EN SORTIE EN FONCTION DE DIFFERENTES TENSIONS DC D'ENTREE	169
FIGURE 0-10 . MODULATEUR SIGMA DELTA DU PREMIER ORDRE ET SON SCHEMA EQUIVALENT	170
FIGURE 0-11. SNR EN FONCTION DE L'OSR – FONCTIONS DE TRANSFERT SIGNAL ET BRUIT DE QUANTIFICATION	170
FIGURE 0-12. PUISSANCE DE BRUIT EN SORTIE EN FONCTION DE DIFFERENTES TENSIONS DC D'ENTREE	171
FIGURE 0-13. PRINCIPE DE LA DECIMATION NUMERIQUE	172
FIGURE 0-14. CONTRAINTES DU FILTRE DE DECIMATION	172
FIGURE 0-15. GABARIT DU FILTRE DE DECIMATION	173
FIGURE 0-16. REPOSE SPECTRALE D'UN FILTRE SINC3, D=16.....	173
FIGURE 0-17. FILTRE DEMI-BANDE	174

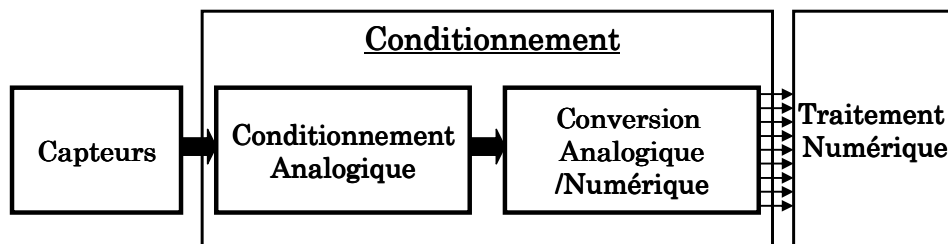
LISTE DES TABLES

TABLEAU 1-1. RECAPITULATIF DES CARACTERISTIQUES PRINCIPALES DES DIFFERENTS CAPTEURS CONCURRENTS DES TMR	22
TABLEAU 1-2. SPECIFICATIONS DES TMRS.....	23
TABLEAU 1-3 SYNTHÈSE DES ARCHITECTURES DE CONDITIONNEMENT DE TMR.....	32
TABLEAU 1-4. CAHIER DES CHARGES ASIC.....	34
TABLEAU 1-5. REPARTITION ET RESOLUTION DES GAINS DE LA CHAÎNE D'AMPLIFICATION DU CIRCUIT DE CONDITIONNEMENT.....	39
TABLEAU 1-6. PERFORMANCES DU PREMIER ETAGE	42
TABLEAU 1-7 PERFORMANCES DE L'ETAGE DU MILIEU	43
TABLEAU 1-8 PERFORMANCES DU DERNIER ETAGE	45
TABLEAU 1-9. RELEVÉ DES CONSOMMATIONS PAR SIMULATION ET PAR TEST DE LA PUCE REELLE	52
TABLEAU 1-10. PAS MOYEN DU GAIN FIN DU PREMIER ETAGE	53
TABLEAU 1-11. GAIN DU DEUXIEME ETAGE.....	54
TABLEAU 1-12 GAIN GROSSIER DU DERNIER ETAGE	54
TABLEAU 1-13 PAS MOYEN DU GAIN FIN DU DERNIER ETAGE.....	55
TABLEAU 1-14	56
TABLEAU 1-15. RESULTAT DE TEST	58
TABLEAU 2-1. RESUME DES PERFORMANCES ADC	71
TABLEAU 2-2. COMPARATIF DES ARCHITECTURES DE DAC CAPACITIF	80
TABLEAU 2-3. RESUME PERFORMANCES OTA NMOS	92
TABLEAU 2-4. RESUME PERFORMANCE OTA PMOS.....	93
TABLEAU 2-5. TABLE DE VÉRITÉ BASCULE D.....	98
TABLEAU 3-1. CAHIER DES CHARGES	121
TABLEAU 3-2 TABLE DE VÉRITÉ DEMI-ADDITIONNEUR	143
TABLEAU 3-3 TABLE DE VÉRITÉ ADDITIONNEUR COMPLET	144
TABLEAU 3-4 OPTIMISATION DE LA REPARATION DES ADDITIONNEURS EN FONCTION DU NOMBRES D'ADDITIONS A EFFECTUER.....	148
TABLEAU 3-5. RECAPITULATIF DES PERFORMANCES DES FILTRES NUMERIQUES.....	150
TABLEAU 3-6. PARAMÈTRE DE DIMENSIONNEMENT POUR LE CAPTEUR RESISTIF	154
TABLEAU 3-7. PARAMÈTRE DE DIMENSIONNEMENT POUR LE CAPTEUR CAPACITIF.....	155

Introduction générale

A la base de toute mesure, les capteurs constituent le premier maillon de la chaîne d'acquisition qui permet de transformer une grandeur physique en une grandeur utilisable. Les signaux électriques issus de cette transformation nécessitent d'être mis en forme. C'est le rôle du conditionnement du signal qui consiste essentiellement à amplifier et filtrer les signaux électriques issus du capteur. Ce conditionnement est traditionnellement analogique. Les traitements du signal plus complexes sont ensuite réalisés de façon numérique.

En effet, le traitement numérique du signal offre une plus grande flexibilité (programmation) et une sensibilité aux dispersions technologiques plus faibles que des solutions analogiques. De plus, les dimensions des fonctions numériques profitent plus de la miniaturisation des technologies que les fonctions analogiques. La présence d'une conversion analogique/numérique dans toute chaîne de traitement du signal et d'instrumentation de capteur est donc essentielle.



Les progrès rapides de cette miniaturisation dans les technologies profitent aux domaines de l'instrumentation de capteur permettant désormais de rassembler dans un même volume très réduit à la fois le capteur, l'électronique de conditionnement des signaux et les circuits numériques de traitement des données. Cette miniaturisation apporte de nombreux avantages tels que la réduction des coûts par la fabrication en grande série, l'amélioration de la fiabilité par la réduction du nombre de connexions, ou encore une meilleure immunité aux bruits.

Les critères de performance des systèmes de mesures s'estiment par leurs résolutions, leurs consommations ainsi que leurs dimensions. L'amélioration d'un ou de plusieurs de ces paramètres passe forcément par un perfectionnement des éléments qui constituent la chaîne d'instrumentation.

L'objectif de ce travail de thèse porte donc sur la conception des éléments essentiels qui constituent la chaîne de conditionnement : la partie analogique, le convertisseur Analogique/Numérique, et l'implémentation numérique. Ce travail de thèse a été effectué en collaboration avec Mind et le CEA-LETI de Grenoble à travers 3 applications : une mesure de champ magnétique où nous avons conçu la partie analogique du conditionnement, une interface neuronale implantée où nous avons réalisé la partie conversion Analogique/Numérique, et enfin une mesure aérodynamique en soufflerie où nous avons étudié le système complet (capteur, conditionnement, implémentation numérique).

Dans le premier chapitre, nous présenterons la conception d'un circuit analogique de conditionnement pour capteur magnétique à effet tunnel. Cette réalisation a pour cadre l'amélioration des performances d'une chaîne de mesure dans un roulement à billes. Le but est la mesure de vitesse et de position grâce au champ magnétique généré par les pôles magnétiques d'une roue codeuse dans le roulement. Les contraintes de l'application et la dispersion des capteurs ont conduit au développement d'une nouvelle architecture de lecture analogique composée de trois étages d'amplifications. Elle possède des calibrations numériques de gain et d'offset permettant de corriger les dispersions du capteur.

Le deuxième chapitre décrit la conception d'un circuit de conversion Analogique/Numérique de type SAR (Successive Approximation Register). Le cadre du développement de ce convertisseur sera l'interfaçage du cerveau humain grâce des capteurs d'électrocorticographie (EcoG). Les performances de vitesse, de résolution, de consommation et de surface des ADC SAR en font un élément particulièrement bien adapté aux signaux EcoG et aux contraintes d'intégration chez le vivant. Cette étude approfondie a abouti à des perspectives d'améliorations qui ont fait l'objet d'une proposition de brevet en cours de dépôt.

Enfin, le troisième chapitre présente l'étude architecturale d'un convertisseur Analogique/Numérique Sigma-Delta intégrant le capteur comme élément actif du modulateur. Elle intervient dans le cadre de l'amélioration d'une chaîne d'instrumentation de capteur de pression dans la voilure des avions qui serviront à identifier les contraintes exercées lors d'essais en soufflerie. Les besoins de l'application en termes de temps de réponse du système, d'intégration d'un grand nombre de capteurs, et de synchronisation des données issues de la chaîne de lecture avec la soufflerie ont abouti à une architecture spécifique construite autour d'un Sigma delta de type incrémental. Il sera capable de fournir une sortie en réponse à des requêtes asynchrones. Cette étude propose une modélisation de chacun des éléments du système et aboutit à leur dimensionnement. L'étude de la partie filtrage numérique du convertisseur et l'optimisation de son implémentation numérique est un élément clef de cette architecture.

L'ensemble de ces réalisations ont été validés par le flot de conception présent en ANNEXE 3.

Liste des acronymes utilisés

ADC : Analog to Digital Converter ou Convertisseur Analogique Numérique
ASIC : Application Specific Integrated Circuit ou Circuit Intégré pour Applications Spécifiques
BCI : Brain Computer Interface ou Interface Homme Ordinateur
DAC : Digital to Analog Converter ou Convertisseur Numérique Analogique
DNL : Differential Non Linearity ou non linéarité différentielle
DRM : Design Rules Matching ou règles de conception liées à la dispersion d'une technologie CMOS
DSP : Densité spectrale de puissance
EcoG : ElectroCorticoGramme
EEG : Electroencéphalogramme
ENOB : Effective number of bits ou résolution effective
FIR : Finite impulse response, ou filtre à réponse impulsionnelle finie
FOM : Figure of merit, ou critère de qualité des ADC
F_S, T_E : Fréquence d'échantillonnage et durée de la phase d'échantillonnage et de transfert de charges ($T_E = 1/(2F_S)$)
gm, A_v : transconductance et gain en boucle ouverte de l'OTA
GMR : Giant Magneto resistance ou Magnéto résistance géante
IBIAS : Référence de courant
INL : Integral Non Linearity ou non-linéarité intégrale
Isink : Courant absorbé
Isource : Courant fourni
JTM : Jonction Tunnel Magnétique
LSB : Least Significant Bit ou bit de poids faible
MEA : Micro Electrode Array ou Réseau de Micro Electrodes
MEMS : MicroElectroMechanical System ou microsystème électromécanique
MSB : Most Significant Bit ou bit de poids fort
OSR : Over Sampling Ration ou rapport de suréchantillonnage
OTA : Opérationnal Transconductance Amplifier ou Amplificateur Opérationnel à Transimpédance
OTP : One Time Programmable ou une seule fois programmable
RMS : Root Mean Square ou valeur efficace
S/H : Sample and hold ou échantillonneur bloqueur
SAR : Successive approximation Register ou registre à approximations successives
SNDR : Signal Noise Distorsion Ratio ou rapport signal sur bruit plus distorsion
TMR : Tunneling magnetoresistance ou magnétorésistance à effet tunnel
Σ/Δ : Convertisseur analogique/numérique Sigma/Delta

1. Chaîne d'amplification continue pour capteur TMR

Ce chapitre décrit la conception et la réalisation d'un circuit pour le conditionnement analogique d'un capteur de type TMR (Tunneling Magneto Resistance). La première partie introduit le contexte et l'application liée aux roulements à billes. Les deux parties suivantes font l'état de l'art du capteur et des architectures de conditionnement associées. Elles aboutiront au choix de l'architecture la plus adaptée à notre application. La quatrième partie présente le dimensionnement puis la conception du circuit en technologie AMS 0.35 μm CMOS, avec seulement $3.59\mu\text{V}_{\text{rms}}$ de bruit ramené en entrée sur une bande passante de 7.5 kHz et une puissance consommée de 23.9mW. Pour compenser la dispersion des capteurs, le circuit permet des réglages d'offset et une calibration de gains grâce à un réseau de résistances R-2R programmables. Il contient également une mémoire de type OTP (One Time programmable Memory) qui sauvegarde les réglages associés à un capteur. Enfin la partie test et mesure fait le point sur les résultats finaux du circuit.

1.1. Introduction et contexte

De nos jours, la plupart des systèmes mécaniques sont assistés par des capteurs et de l'électronique. Ainsi, la précision des mesures en temps réel de la vitesse et de la position sur des axes peut être améliorée grâce à l'intégration du système.

En 1988, Baibich et ses collaborateurs observent une forte variation de résistance dans des multicouches composées d'un empilement alterné de couches de fer et de chrome lorsqu'un champ magnétique est appliqué [2]. Cette découverte, appelée magnétorésistance géante (GMR) a ouvert la voie à une nouvelle branche de la physique : l'*Electronique de Spin* [5]. Bien avant cela, en 1975, Juliere [4] mettait en évidence pour la première fois le phénomène de transport tunnel polarisé en spin à basse température dans une jonction Fe/Ge/Co. Ce domaine de recherche connaît un regain d'intérêt depuis 1995 avec la mise en évidence par Moodera [6] de fortes magnétorésistances à température ambiante dans des structures appelées jonctions tunnel magnétiques (JTM). Une jonction tunnel est formée de deux couches ferromagnétiques séparées par une fine barrière isolante. Les électrons injectés perpendiculairement dans une des électrodes magnétiques se polarisent suivant la direction de son aimantation puis traversent la couche isolante par effet tunnel.

Les jonctions tunnel magnétiques (JTM) sont aujourd'hui utilisées dans le domaine des mémoires (MRAMS pour Magneto-resistance Random Access Memories) avec un fonctionnement binaire [4]. Nous nous intéressons ici au mode linéaire des capteurs TMR comme une meilleure alternative aux capteurs à effets Hall. L'application visée est la mesure de position et de vitesse dans un roulement basée sur une roue codeuse grâce à des TMR (Figure 1-1). D'autres applications sont cependant envisageables telles que la mesure de courant, le contrôle non destructif ou l'instrumentation médicale.



Figure 1-1. Roulement SNR d'ancienne génération avec capteur à effet Hall

Cette réalisation rentre dans le cadre d'un projet ANR du nom de CAMEL. Elle est le fruit d'une collaboration entre SNR roulement, MIND (Microtechnologie pour l'INDustrie) , le LPM (Laboratoire de Physique des Matériaux) de l'université Henri Poincaré de Nancy, et Sensitec. Le développement du capteur fait suite aux travaux de thèse de Grégory Malinowski. L'industrialisation du capteur est en charge de Sensitec en collaboration avec le LPM, la réalisation de l'électronique de traitement est confiée à MIND. Enfin, SNR se charge de l'agencement du capteur prototype comprenant des éléments sensibles TMR et le circuit de conditionnement intégré.

Nous verrons dans le paragraphe suivant que, comparé aux technologies actuelles telles que les capteurs à effet Hall, la TMR a potentiellement une plus grande sensibilité, une plus faible consommation électrique, un meilleur rapport signal sur bruit et une plage en température de fonctionnement plus importante.

Dans notre application, les pôles magnétiques de la roue codeuse en mouvement génèrent un champ magnétique sinusoïdal. Ce champ est caractérisé par sa longueur d'onde ou sa période spatiale λ . Pour la mesure de ce champ afin d'extraire les informations sur la vitesse de rotation et la position angulaire du roulement, les TMR seront disposées en face des

pôles magnétiques. La distance entre chaque TMR se traduit par un déphasage entre chaque signal sinusoïdal en sortie du capteur.

La Figure 1-2 représente 4 capteurs en face des pôles magnétiques. Dans cet exemple, les capteurs sont équidistants entre eux d'une distance qui correspond au quart de la période spatiale.

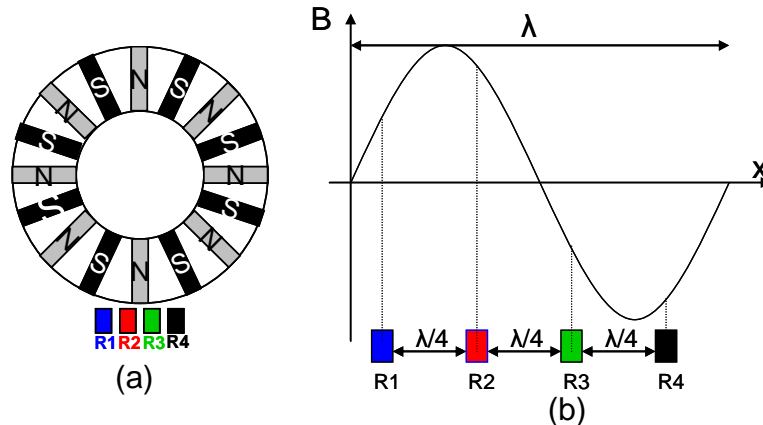


Figure 1-2. (a) Capteur TMR en face de la roue codeuse, (b) Champs magnétique généré par la roue codeuse vue par les TMR

A l'état actuel d'avancement du projet, les capteurs sont en cours de fabrication. L'interface électronique doit donc permettre de s'adapter à des variations des paramètres du capteur par rapport au cahier des charges initial.

1.2. Description du capteur TMR

Ces 30 dernières années, les avancées technologiques dans les méthodes d'élaboration des matériaux ont permis la mise au point de structures artificielles constituées de couches de quelques plans atomiques ou d'un empilement de ces couches appelé multicouche. Il est possible d'associer, au sein d'une même structure, des matériaux magnétiques d'une part, et des matériaux métalliques, supraconducteurs, semi-conducteurs ou isolants d'autre part. Ces nouvelles structures se sont révélées riches en propriétés spectaculaires telles que les couplages entre couches magnétiques [1], la magnétorésistance géante (GMR) [2], les effets magnéto-optiques géants [3], la magnétorésistance tunnel [4] ou encore la stabilisation de nouvelles phases cristallines, induites en général par les effets d'interface qui dominent les effets de volume.

Une TMR est une structure composée de deux couches ferromagnétiques séparées par une très fine couche isolante typiquement de l'ordre de 1 à 2 nm. Les premières structures ont été développées en 1975 [4] et fabriquées de manière reproductible pour la première fois en 1995 [7]. La valeur de la résistance équivalente change en fonction de l'importance de l'effet tunnel qui dépend de l'orientation relative des couches magnétiques. La transmission d'un électron par effet tunnel d'une couche à l'autre est possible seulement lorsqu'un état de même énergie et de même spin est disponible des deux côtés de la barrière tunnel. Ainsi grâce à la structure de bande des matériaux ferromagnétiques, le taux de transmission des électrons est modulé par l'orientation relative des vecteurs magnétiques de chaque couche.

Le niveau de transmission est maximal lorsque les vecteurs magnétiques sont parallèles, et minimal lorsque qu'ils sont antiparallèles (Figure 1-3).

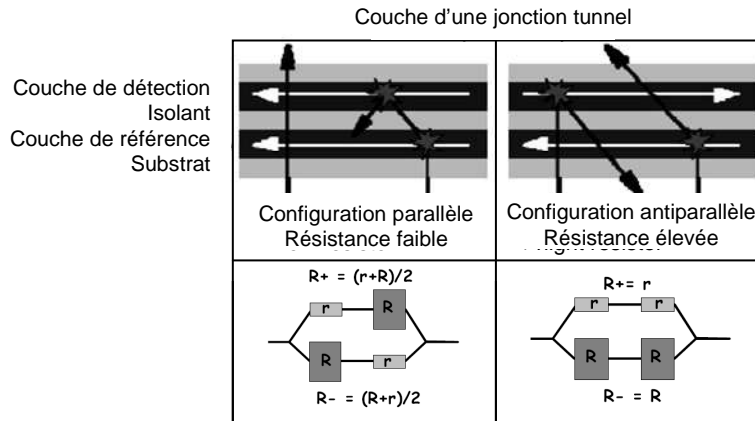


Figure 1-3. Couches d'une jonction tunnel avec la représentation de sa résistance équivalente en fonction de l'orientation de différents vecteurs magnétiques.

La jonction tunnel peut être réalisée avec différents matériaux tels que le MgO ou l' Al_2O_3 ce qui implique des caractéristiques TMR différentes (en bruit [7], résistivité, plage linéaire et enfin en dispersion en fonction du process de fabrication). Sur la Figure 1-4, on peut voir par exemple que la valeur de la résistance d'une TMR ainsi que sa sensibilité varient en fonction de la tension appliquée à ses bornes.

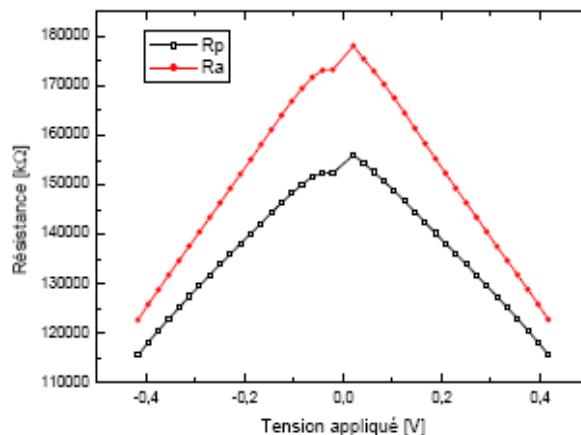


Figure 1-4. Variation de la résistance TMR expérimentale à base Al_2O_3 en fonction de la tension appliquée

La résistance équivalente de la TMR n'est donc pas constante en fonction de la tension imposée à ses bornes sauf sur une plage très étroite de quelques mV (cf. Figure 1-4). C'est donc sur cette zone que nous ferons fonctionner les TMR.

Le tableau ci dessous récapitule les principales caractéristiques des capteurs à effet Hall et à technologie AMR et GMR. Les données obtenues sur les capteurs à effet hall sont tirées des références [7, 15] et celles sur les capteurs AMR et GMR sont tirées de la référence [10].

	Effet Hall	AMR	GMR	TMR
Sensibilité ($\Delta V/V$)	10	16	150	>10
Consommation (mA)	1 à 10	≈ 1	≈ 1	$\approx 0,01$
Plage de Fonctionnement en température ($^{\circ}\text{C}$)	-80/+160	-40/+125	-40/+125	-40/+125
Dérive de la sensibilité en température ($\%/^{\circ}\text{C}$)	0,03	0,01	0,15	<0,15
Plage de Fonctionnement en champ magnétique (Oe)	10 à 1000	<50	<300	>300
Non-linéarité (%)	0,8 à 4	0,03	2	<2
Hystérésis (%)		0,03	0,5	<0,5
Bruit ($\text{nV}/\sqrt{\text{Hz}}$)	100	8,7	100	$\approx 0,1$

Tableau 1-1. Récapitulatif des caractéristiques principales des différents capteurs concurrents des TMR

Les jonctions permettent d'envisager une consommation 100 à 1000 fois plus faible que celle des capteurs de ce tableau. Cette dernière peut être modulée en modifiant la taille des JTM et l'épaisseur de la barrière tunnel. Dernièrement, des études ont démontré que les jonctions tunnel magnétiques peuvent atteindre une sensibilité de 10^{-8}Oe pour un rapport signal sur bruit égal à 1, ce qui correspond à un niveau de bruit mille fois plus faible que dans des capteurs GMR [16]. Évidemment, ces capteurs sont conçus pour des applications à très bas champ. Néanmoins, pour la même gamme de champ, la technologie TMR offre une sensibilité beaucoup plus importante que dans le cas des structures GMR. Un prototype complet développé par la société NVE a montré une sensibilité supérieure à $300 \text{ V}/(\text{V.T})$, deux fois plus importante que celle obtenue sur le meilleur capteur GMR. Par ailleurs, la dépendance de la résistance tunnel en fonction de la température est beaucoup plus faible que celle d'une structure GMR [17].

Le capteur final sera constitué de plusieurs TMR mises en série. Comme la sensibilité est dépendante de la tension aux bornes de chaque TMR, l'empilement des TMR permettra de les situer dans leur meilleure zone de linéarité et de sensibilité. Ce nombre de TMR série par capteur sera fixé par le constructeur en fonction de la sensibilité qu'il obtiendra sur la TMR finale, et fixera ainsi la valeur de la résistance équivalente et la tension aux bornes de chaque TMR. Notre hypothèse de travail est que la variation de la résistance ΔR est directement proportionnelle à sa valeur nominale R_0 . Les spécifications des TMR se trouvent dans la table 2. Étant donné que les TMR industrielles finales ne sont pas encore réalisées, les spécifications sont larges car elles prennent en compte tous les paramètres inconnus.

	TMR
Température de fonctionnement	$[-40 ; 175^{\circ}\text{C}]$
Résistance équivalente d'une jonction	$[200 \Omega ; 100 \text{ k}\Omega]$
Champ magnétique mesurable	$[-600 ; 600 \text{ G}]$ to $[-1 ; 1 \text{ G}]$ ce qui correspond à une distance de 0,3 à 4mm entre les TMR et les pôles magnétiques de la roue
Alimentation en tension des TMR	0.8 V max [4]
Alimentation en courant des TMR	$[1 ; 500 \mu\text{A}]$ [5]
Fréquence de fonctionnement (champs magnétique d'entrée)	$[0 ; 7,5 \text{ kHz}]$
Sensibilité ($\Delta R/R$)	$> 10 \%$
Erreur de linéarité	$< 0.05 \%$ sur la palpe de travail
Dispersion relative de 4 bloc de TMR sur un même wafer	Resistance : $\pm 20\%$

Tableau 1-2. Spécifications des TMRs

On constate que les valeurs d'alimentation en tension des TMR (0.8V max) peuvent paraître antagonistes avec le fait que leurs résistances équivalentes varient en fonction de la tension appliquée à leurs bornes. Il est d'ailleurs préconisé dans le paragraphe précédent d'appliquer seulement quelques mV aux bornes des jonctions Tunnel pour justement se situer dans la zone la moins sensible aux variations. Cependant, étant donné que le capteur final sera composé de plusieurs Jonctions mises en série, cette tension est à diviser par le nombre de jonctions. Plus ce nombre sera important, plus le capteur sera insensible aux variations de tensions.

Un modèle haut niveau a été réalisé en verilogA. Cette modélisation permet de générer les signaux sinusoïdaux électriques de sortie des capteurs TMR. L'amplitude est paramétrable et correspond à l'intensité du champ magnétique mesuré. Cette intensité dépend de la puissance du champ magnétique, de la distance entre le capteur et les pôles magnétiques, et de la sensibilité du capteur. Il possède également des paramètres de bruit blanc et de bruit en 1/f qui ont été extraits de résultats publiés dans la littérature [12]. La Figure 1-5 représente la densité spectrale de la puissance de bruit du modèle du capteur au regard de la densité spectrale réelle que l'on observe dans [12]. Il permettra dans la partie réalisation du conditionnement d'effectuer des simulations mixtes et de valider le fonctionnement global.

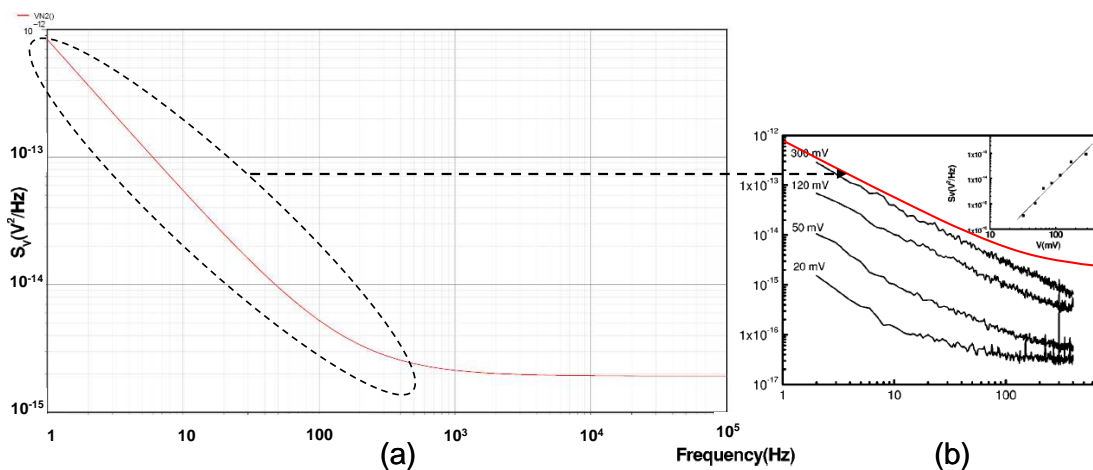


Figure 1-5. Densité spectrale de la puissance du bruit (a) du modèle, (b) de la publication [12]

1.3. Conditionnement et état de l'art

Les actions effectuées par le conditionnement permettent généralement :

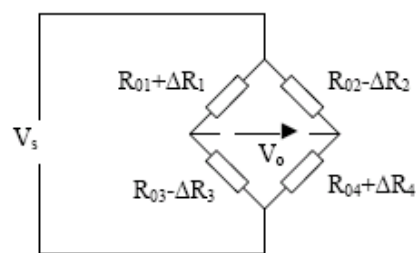
- d'amplifier le signal pour le reste de la chaîne de traitement
- de supprimer la composante continue non souhaitée (offset)
- de supprimer des bruits, par exemple de bruit de mode commun ou de bruit haute fréquence
- de corriger des phénomènes de dérive, par exemple en température
- de filtrer, par exemple pour éviter les repliements de spectre

Les capteurs TMR étant des capteurs résistifs, la suite de cette partie résumera les méthodes de conditionnement résistives les plus connues avec leurs avantages et leurs inconvénients, ce qui nous permettra d'aboutir à l'architecture la plus adaptée pour notre application.

1.3.1. Pont de Wheatstone

Il existe différents types de conditionnement, mais le plus couramment utilisé dans le cas de capteurs résistifs (magnétorésistances, jauges de contrainte, thermistances, etc...) reste le pont de Wheatstone. Dans ce type de capteur, le signal électrique à mesurer est la variation ΔR autour de la valeur sous excitation nulle R_0 des résistances, due au phénomène auquel elles sont sensibles (respectivement, le champ magnétique, les déformations, la température, etc...).

Le montage en pont de Wheatstone permet, lorsque le pont est équilibré, d'enlever la composante continue R_0 du signal et de s'affranchir de la dérive, en température par exemple, qui pourrait intervenir lors de la mesure. Voici une schématique de ce montage ci-après.

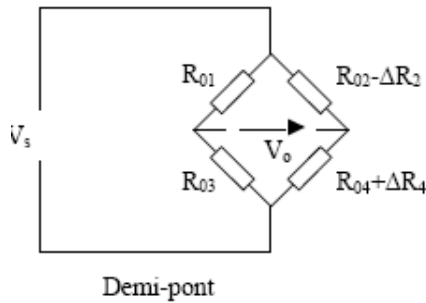


Pont complet

$$V_o[V] = \frac{(R_{04} + \Delta R_4) \times (R_{01} + \Delta R_1) - (R_{02} - \Delta R_2) \times (R_{03} - \Delta R_3)}{((R_{04} + \Delta R_4) + (R_{03} - \Delta R_3)) \times ((R_{01} + \Delta R_1) + (R_{02} - \Delta R_2))} V_s$$

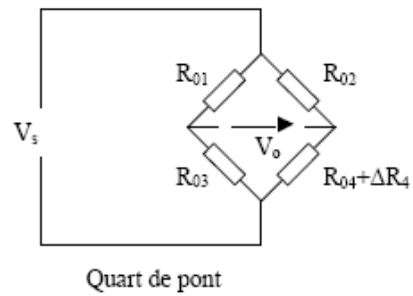
Si $R_{01}=R_{02}=R_{03}=R_{04}$, si $\Delta R_1=\Delta R_2=\Delta R_3=\Delta R_4=\Delta R$ (les capteurs ont la même sensibilité et voient le même signal, en valeur absolue, on dit que le pont est équilibré. La sortie V_0 est alors nulle quelle que soit l'entrée.

On connaît également des variantes à ce montage (dit « en pont complet ») qui permettent de diminuer le nombre de résistances sensibles : ce sont les montages en « demi pont » et en « quart de pont ».



Si le pont est équilibré, on a :

$$V_O = \frac{\Delta R}{2R_0} V_S$$



Si le pont est équilibré, on a :

$$V_O = \frac{\Delta R}{2(2R_0 + \Delta R)} V_S$$

Les tensions de sortie V_O du pont sont ensuite généralement lues et amplifiées grâce à un amplificateur différentiel. Lorsque le pont n'est pas équilibré, une erreur d'offset est présente en sortie de l'amplificateur. Cette erreur est cependant corrigable grâce à un circuit de calibration.

On trouve même dans la littérature des architectures [14] où l'amplificateur différentiel est remplacé par un système de contre réaction (Figure 1-6). Ce système effectue à la fois une correction de l'erreur d'offset liée à un éventuel déséquilibre du pont, et en même temps la conversion analogique numérique. Le système s'efforce de faire tendre la sortie du pont à sa tension d'équilibre (V_{ref}) grâce un réseau de résistances que l'on ajoute ou que l'on retire du pont à l'aide d'interrupteurs. Ainsi, c'est la valeur numérique de la contre-réaction qui permet d'obtenir la quantification de la variation des éléments sensibles du pont.

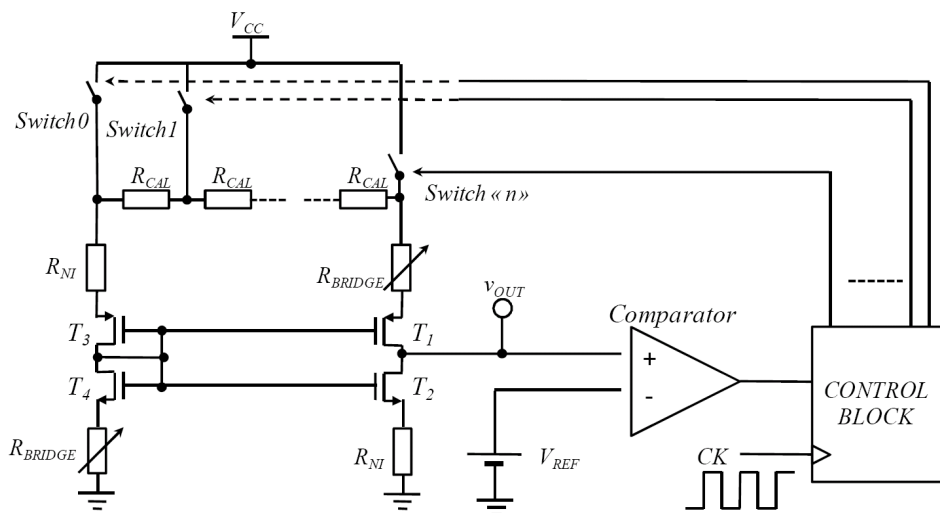


Figure 1-6. [14] Pont actif différentiel à contre-réaction pour annuler l'offset

Cependant les principaux inconvénients du pont de Wheatstone sont les suivants :

1. En pont complet ou en demi pont, les éléments sensibles doivent varier dans un sens différent dans deux bras voisins du pont ($R_0 + \Delta R$ d'une part, $R_0 - \Delta R$ d'autre part), ou autrement dit, doivent avoir des sensibilités opposées. Dans la situation particulière où le signal à mesurer est sinusoïdal spatialement, il est facile d'obtenir cette propriété en plaçant des capteurs TMR en opposition de phase. Dans ce cas, le capteur n'est alors plus adapté à un signal de période spatiale différente, or dans notre application où les TMR sont placées en face des pôles magnétiques de la roue codeuse (cf Figure 1-2), la période spatiale

dépend de l'espacement entre chaque TMR. Tout écart d'espacement se traduirait alors par une erreur en sortie du pont.

2. Le réglage des différentes valeurs de R_0 doit être fait très précisément et une fois pour toute à la fabrication du pont.

3. Si l'on travaille en quart de pont, il faut trouver une résistance R_{02} de compensation insensible au phénomène que l'on souhaite mesurer mais possédant le même type de dérive que l'élément sensible. Cette caractéristique est difficile à obtenir dans la mesure où les TMR ne répondent pas aux mêmes lois physiques que les résistances.

Dans l'exemple particulier de notre capteur magnétorésistif, il est difficile de réunir les conditions suivantes :

- une bonne uniformité des valeurs R_{0i} , à cause de la dispersion du procédé. En particulier dans le cas de magnétorésistances à effet tunnel (TMR), la couche déterminante (la barrière tunnel) fait quelques nanomètres d'épaisseur et la valeur de la résistance à excitation nulle est alors très sensible à la planéité, à la structuration et à la composition des couches sur lesquelles elle est déposée.
- une variation des résistances dans des sens opposés dans les bras voisins du pont de Wheatstone. Bien que théoriquement possible – il suffit d'orienter les couches de référence dans des sens différents –, cette configuration est difficilement réalisable pratiquement, dans un procédé par plaquette (wafer) où les éléments sensibles n'ont des dimensions que de quelques microns. Une solution simple serait de travailler en quart de pont : malheureusement, outre les inconvénients inhérents à cette solution (non linéarité de la sortie), il est alors très difficile de compléter le pont par une résistance insensible au champ dont la dérive soit similaire à celle d'une magnétorésistance, en particulier dans le cas d'une TMR, puisque des phénomènes quantiques entrent en jeu, très différents de ceux d'une résistance classique.

On trouve cependant dans la littérature des réponses à ces problèmes techniques :

- Thalès, avec le brevet FR2809185, envisage le dépôt d'une piste métallique au dessus du pont, qui permet lors du passage d'un courant (générant donc un champ magnétique) d'orienter individuellement les différents capteurs du pont (Figure 1-7). Iset représente le courant qui passe dans la piste conductrice située au-dessus des jonctions. Le passage du courant dans la piste métallique génère un champ magnétique H_r qui oriente l'aimantation des couches de référence (flèche foncée) dans la direction adéquate. La flèche la plus claire représente la direction de l'aimantation de la couche sensible. Bien qu'astucieuse, cette technique demande de faire passer des courants importants (supérieurs à 1A) dans le capteur. Outre la difficulté de générer de tels courants dans des applications embarquées, leur présence peut perturber, voire détériorer, d'autres composants électroniques à proximité. D'autre part, cette technique limite le champ coercitif de la couche de référence (puisque'elle doit pouvoir être retournée relativement facilement) et rend donc le capteur plus sensible aux forts champs : il peut par exemple être endommagé au contact d'un aimant permanent. Ceci oblige à la « réinitialisation » des différentes couches dures périodiquement, et cette fois, en plus des inconvénients cités précédemment, ce sont le bilan énergétique et la complexité du capteur qui en souffrent.

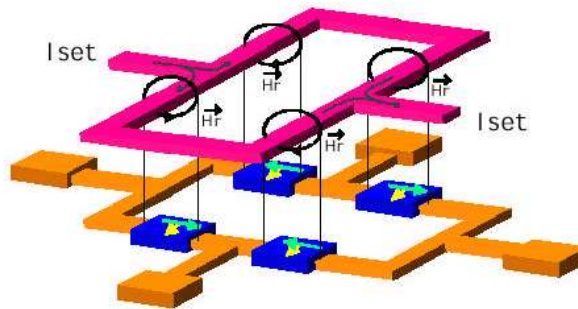


Figure 1-7. Schéma d'une structure en pont de Wheatstone comportant quatre TMR

- D'autres publications (IBM, INESC, NVE) proposent de faire circuler ces courants sous haute température pendant la fabrication du capteur, ce qui permet aux couches d'avoir un champ coercitif plus important. Le procédé de fabrication devient alors relativement complexe et délicat, car des migrations de composants peuvent avoir lieu d'une couche à l'autre.
- Certaines publications (INESC, Siemens, NVE, Bosch) proposent d'utiliser deux types d'éléments sensibles différents par leur couche de référence. Ces deux variantes du capteur sont obtenues par un procédé plus complexe, comportant plus d'étapes et donc plus coûteux.

1.3.2. Oscillateurs

Pour les capteurs résistifs ou capacitifs, il existe aussi des méthodes de conditionnement par oscillation. En effet, l'utilisation d'un oscillateur comme conditionneur permet de transférer sur la fréquence des oscillations, l'information liée à la valeur de l'impédance. Le signal délivré par l'oscillateur est donc modulé en fréquence.

Ce type de montage offre plusieurs avantages :

- L'information portée par la fréquence possède une immunité aux bruits supérieure à celle d'une information portée sur l'amplitude
- La conversion sous une forme numérique est simple, elle consiste à compter les périodes du signal pendant un temps déterminé.
- Le signal modulé en fréquence peut être transmis par voie hertzienne permettant alors des télémessures, utiles en particulier sur des pièces tournantes.

Il existe deux grandes familles d'oscillateur à savoir les oscillateurs sinusoïdaux et les oscillateurs par relaxation. L'exemple en Figure 1-8 fait partie de la deuxième catégorie, il s'agit d'un multivibrateur astable. Son étude permettra de comprendre les phénomènes liés à l'utilisation d'un oscillateur dans notre application.

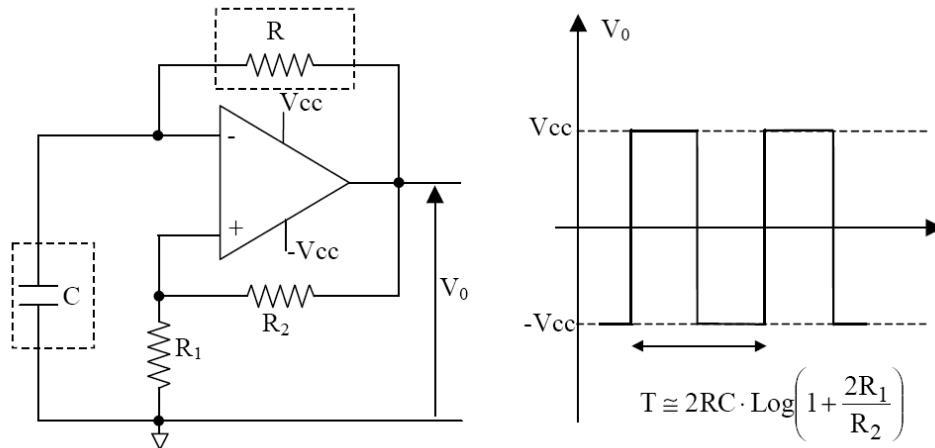


Figure 1-8. Multivibrateur astable

Ce montage à base d'amplificateur opérationnel fonctionne comme un comparateur dont la sortie bascule entre ses deux tensions de saturation. Sur la branche V+ du comparateur se trouve une référence imposée par le diviseur de tension des résistances R1 et R2. Sur la branche V-, on charge et décharge la capacité C au travers de la résistance R ce qui nous donne une constante de temps RC. Lorsque l'entrée V- atteint le même potentiel que l'entrée V+, la sortie de l'amplificateur bascule. La période des oscillations est égale à

$$T \approx 2RC \log\left(1 + 2\frac{R1}{R2}\right)$$

Cette période dépend aussi des tensions de saturation V_{SAT}^- à V_{SAT}^+ de l'amplificateur qui ne sont pas intégrées dans cette équation.

Pour notre application, il semble difficile d'utiliser des montages à oscillation car la connaissance actuelle du capteur ne permet pas d'avoir un modèle précis notamment en ce qui concerne la valeur de sa capacité équivalente.

1.3.3. Boucle d'Anderson

Les boucles d'Anderson sont une solution de conditionnement introduite dans [13]. Ce conditionnement consiste à effectuer des soustractions aux bornes des capteurs de manière active (grâce un soustracteur). Cette approche est similaire au pont de Wheatstone qui lui par contre effectue des soustractions passives. La Figure 1-9 représente une boucle d'Anderson avec un seul capteur résistif.

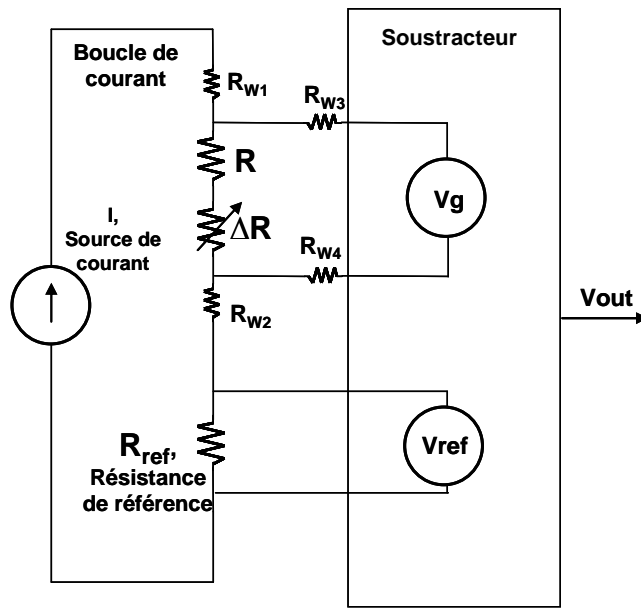


Figure 1-9. Circuit en boucle d'Anderson

V_g est la tension aux bornes des TMR et V_{ref} la tension aux bornes de la résistance de référence. R_{WN} sont les résistances de ligne. Elles sont négligeables si les entrées du soustracteur sont haute impédance. Voici les équations de la sortie :

$$V_{OUT} = V_g - V_{ref} = I(R_g) - I(R_{ref})$$

$$V_{OUT} = I(R + \Delta R) - I(R_{ref})$$

$$R_g = R_{ref} + (V_{OUT} / I)$$

Pour $R_{ref}=R$

$$V_{OUT} = I(R + \Delta R) - I(R)$$

$$V_{OUT} = I(\Delta R)$$

Les avantages de cette solution pour notre application sont :

- l'absence de toute nécessité d'utiliser des capteurs de sensibilités opposées. Dans le cas des magnétorésistances, il n'est ainsi pas nécessaire d'orienter les couches de référence de certains capteurs dans des sens différents,
- la possibilité d'ajuster le conditionnement à des résistances de valeurs à vide R_0 différentes, connaissant par exemple une certaine dispersion du procédé,
- de pouvoir éloigner le capteur de son conditionnement tout en restant insensible à la résistance des fils d'interconnexion ainsi qu'aux perturbations électriques captées sur ses mêmes fils (bruit de mode commun),
- de pouvoir adapter le capteur à des signaux de différentes périodes spatiales.

Bien évidemment, ce conditionnement permettra également :

- d'amplifier le signal,
- d'enlever sa composante continue,
- d'être insensible aux dérives de la valeur à vide des différentes résistances.

Dans [8] une comparaison entre le pont de Wheatstone et les boucles d'Anderson est proposée. L'étude aboutit aux mêmes conclusions. Dans [9], une solution avec gain différentiel pour chaque résistance est introduite.

Le problème dans ce montage est l'utilisation systématique d'une résistance de référence de valeur R_{ref} pour supprimer l'offset R du signal ΔR . Cette résistance doit rester insensible à la grandeur mesurée tout en ayant une dérive similaire (en température par exemple). Ceci n'est pas réaliste dans notre application à base de magnétorésistances à effet tunnel. L'absence de cette résistance de référence a pour conséquence une composante continue qui empêche l'utilisation de fort gain en sortie des capteurs qui engendrerait une saturation de la sortie. Or l'idéal de manière générale est de mettre un maximum de gain sur le ou les premiers étages d'amplification, afin de ne pas détériorer le rapport signal-sur-bruit. En effet, plus les forts gains sont proches du signal mesuré, moins on amplifie le bruit rajouté par les amplificateurs et l'électronique du circuit dans les étages suivants. Malheureusement, la composante continue liée au montage ne peut disparaître qu'avec un montage additionnel.

L'approche finalement retenue pour conditionner les TMR est une variante des boucles Anderson [9], [10]. Elle permet de résoudre les différentes difficultés techniques liées à la dispersion du capteur (notamment grâce à des réglages de gain sur l'étage soustracteur). Le

conditionnement choisi sera expliqué ci-après. Il tire pleinement parti du fait que le signal à mesurer est spatialement sinusoïdal, ou du moins peut être approximé correctement par une sinusoïde ou une portion de sinusoïde. Il permet de s'affranchir d'une résistance de référence.

1.3.4. Conditionnement élaboré (approche par boucle d'Anderson)

Les capteurs TMR doivent mesurer un champ magnétique donné par une roue codeuse (Figure 1-10a). Le conditionnement consiste à alimenter 4 capteurs TMR (R1, R2, R3, R4) soit en tension soit en boucle de courant [10]. Les capteurs TMR sont constitués de n résistances en série placées le long du champ sinusoïdal (réalisé par la roue codeuse) et espacés régulièrement. Ils sont positionnés de façon à correspondre au quart de la période spatiale du champ magnétique (Figure 1-10b). Ce positionnement est assuré lors de la fabrication des TMR. Ainsi, dans les deux cas d'alimentation (boucle de courant ou générateur de tension), grâce au positionnement des TMR, la résistance équivalente totale des capteurs en série est constante (car la somme des variations est nulle) et donc le courant est constant. Comme on peut le voir sur la Figure 1-10c, chaque sortie différentielle idéale des capteurs est un sinus déphasé de $\pi/2$. Les signaux obtenus peuvent être amplifiés et corrigés en fonction de la dispersion des TMR. Le but de ce conditionnement est de fournir en sortie deux signaux appelés «sinus» et «cosinus» (en quadrature de phase), d'amplitudes égales et proportionnelles à l'amplitude du signal à mesurer. Ces signaux serviront de base à la mesure de vitesse et de position.

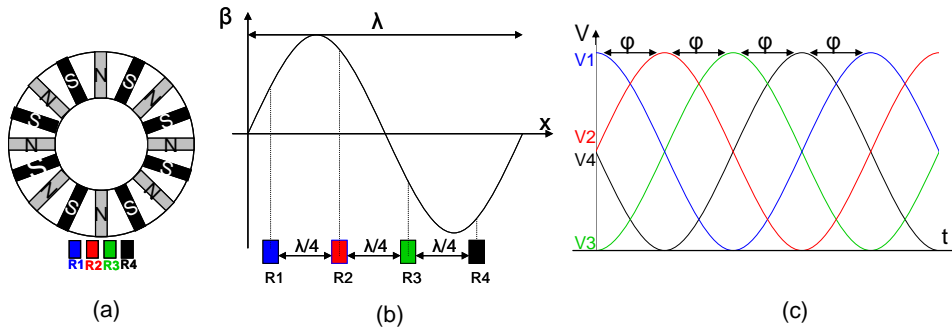


Figure 1-10. (a) Capteur TMR en face de la roue codeuse, (b) Champ magnétique généré par la roue codeuse vu par les TMR, (c) Sorties différentielles des sorties des TMR

Les tensions de sortie des capteurs sont :

$$V_1 = (R_{01} + \Delta R_1 \sin(\omega t + 0\varphi)) \cdot i \quad (1)$$

$$V_2 = (R_{02} + \Delta R_2 \sin(\omega t + 1\varphi)) \cdot i \quad (2)$$

$$V_3 = (R_{03} + \Delta R_3 \sin(\omega t + 2\varphi)) \cdot i \quad (3)$$

$$V_4 = (R_{04} + \Delta R_4 \sin(\omega t + 3\varphi)) \cdot i \quad (4)$$

Avec φ et la différence de phase entre chaque bloc de résistance. Cette phase dépend de l'espacement entre chaque TMR (Idéalement $\varphi = \pi/2 \Leftrightarrow \lambda/4$)

Comme expliqué précédemment, l'objectif de l'interface capteur est de fournir deux signaux sinusoïdaux en quadrature de phase (c.à.d. un sinus et un cosinus) de même amplitude. Pour cela, il y a plusieurs possibilités. Dans le cas particulier où $\varphi = \pi/2$, on peut récupérer directement le sinus et le cosinus comme indiqué sur le schéma suivant :

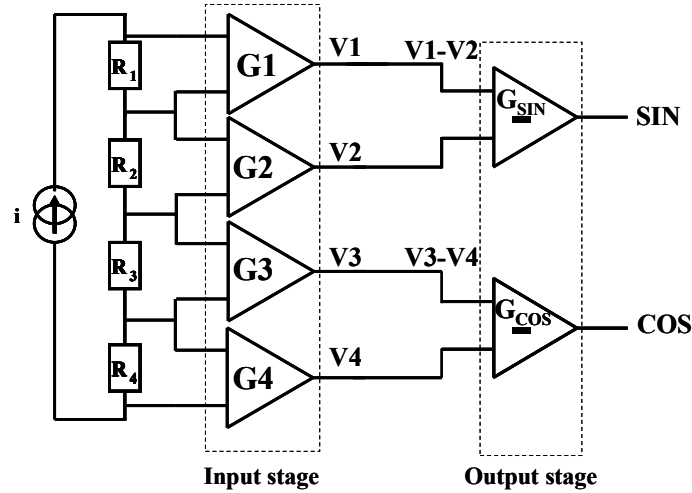


Figure 1-11. Schématique simple d'obtention du sinus et du cosinus à partir des TMRs

D'après la Figure 1-11 on obtient l'équation suivante en sortie des premiers amplificateurs :

$$V_N = G_N \cdot (R_{0N} + \Delta R_N \sin(\omega t + (N-1) \cdot \varphi)) \cdot i \quad (5)$$

Où G_N est le gain du $N^{\text{ième}}$ amplificateur et V_N la sortie de l'amplificateur correspondant. Chaque gain G_N doit être calibré pour obtenir l'équation ci-dessous afin de corriger la dispersion des TMR :

$$G_1 \cdot R_{01} = G_2 \cdot R_{02} = G_3 \cdot R_{03} = G_4 \cdot R_{04} = G \cdot R_0. \quad (6)$$

Ainsi les tensions V_N deviennent égales entre elle, ce qui implique $G_1 \cdot \Delta R_1 = G_2 \cdot \Delta R_2 = G_3 \cdot \Delta R_3 = G_4 \cdot \Delta R_4 = G \cdot \Delta R$ car la construction du capteur impose que ΔR_N soit proportionnelle à R_{0N} . La conception par amplification différentielle telle qu'on le voit sur la Figure 1-12 aboutit aux équations suivantes :

$$V_{SIN} = \left[\sqrt{2} \times G \Delta R_{SIN} \times \sin\left(\omega t + \frac{\pi}{4}\right) \right] \times i \quad (7)$$

$$V_{COS} = - \left[\sqrt{2} \times G \Delta R_{SIN} \times \sin\left(\omega t + \frac{\pi}{4}\right) \right] \times i \quad (8)$$

La seule contrainte dans le cas de cette première solution est la condition sur la valeur de φ qui conduit à avoir un motif de barrette adapté à la période spatiale du signal à mesurer (et donc non utilisable pour un signal de période spatiale différente). Le capteur n'étant pas finalisé, cette première méthode reste contraignante.

Pour palier ce problème, une deuxième solution est proposée ci-dessous (Figure 1-12) dans laquelle on a ajouté un étage d'amplification afin d'être indépendant de la valeur de φ .

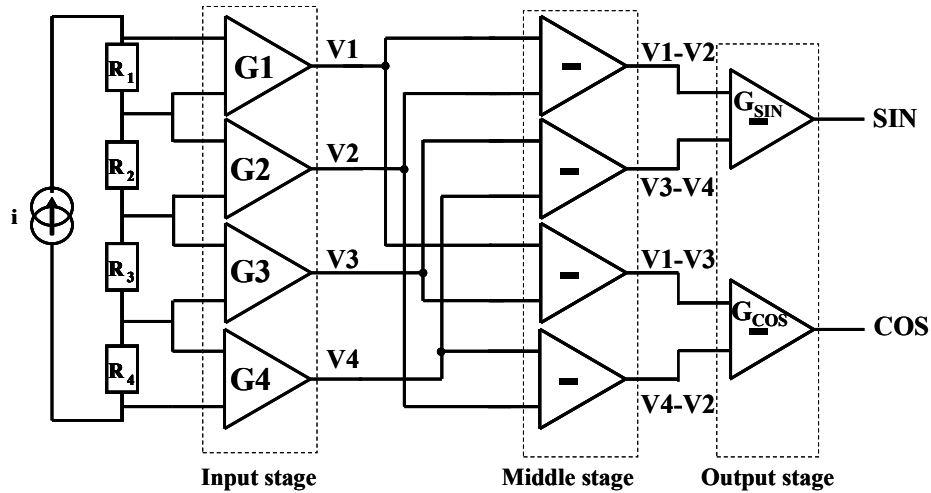


Figure 1-12. Schématique élaboré d'obtention du sinus et du cosinus à partir des TMR

Les sorties sinus et cosinus sont alors égales à :

$$V_{\sin} = -4G_{\sin} \times G\Delta R \times \sin(\varphi) \times \sin\left(\frac{\varphi}{2}\right) \times \sin\left(\omega t + \frac{3\varphi}{2}\right) \times i \quad (9)$$

$$V_{\cos} = -4G_{\cos} \times G\Delta R \times \sin(\varphi) \times \cos\left(\frac{\varphi}{2}\right) \times \cos\left(\omega t + \frac{3\varphi}{2}\right) \times i \quad (10)$$

On note une différence d'amplitude du signal entre le cosinus et le sinus, dans un cas nous avons un $\cos(\varphi/2)$ et dans l'autre cas un $\sin(\varphi/2)$. Dans le cas où $\varphi = \pi/2$, ces deux tensions sont égales à $\cos(\pi/4) = \sin(\pi/4) = \sqrt{2}/2$. Par contre si $\varphi \neq \pi/2$ alors c'est le gain du dernier étage d'amplification qui nous permettra d'égaliser les 2 amplitudes : on choisira par conséquent G_{\sin} et G_{\cos} de manière à ce qu'ils satisfassent la relation :

$$G_{\sin} \times \sin\left(\frac{\varphi}{2}\right) = G_{\cos} \times \cos\left(\frac{\varphi}{2}\right) \quad (11)$$

Pour une application donnée, φ est constant et connu par définition : c'est un paramètre spatial d'adéquation entre la barrette et le signal à mesurer. Les gains du dernier étage permettront de s'adapter à ce paramètre.

1.3.5. Synthèse

Le tableau ci-dessous fait la synthèse des architectures précédemment étudiées.

	Correction dispersion capteur TMR (R0)	Correction position capteur (λ)	Mise en œuvre des corrections
Pont de wheatstone + Amplificateur différentiel	+	--	+
Pont de wheatstone + asservissement [4]	++	--	++
Oscillateur	-	--	++
Boucle d'anderson	+	--	+
Conditionnement élaboré	+	++	-

Tableau 1-3 Synthèse des architectures de conditionnement de TMR

Le critère dominant dans le choix de l'architecture est la possibilité de pouvoir corriger l'erreur de position spatiale du capteur en face des pôles magnétiques de la roue codeuse. Le critère de mise en œuvre des corrections correspond à la facilité de calibration des capteurs. Dans le cas de la publication [4], la calibration est automatique grâce au système asservi. Dans le cas de l'oscillateur, la sortie est un temps. Ce temps est facilement quantifiable numériquement grâce à un compteur. Un traitement numérique de la correction est ensuite simple à mettre en œuvre. Pour les autres architectures, à moins d'intégrer un convertisseur analogique numérique, la correction à effectuer est analogique. De plus, dans le cas de notre architecture élaborée, le fait de pouvoir corriger les erreurs de phase induit par le positionnement des capteurs entraîne nécessairement des calibrations supplémentaires. C'est pourquoi dans le tableau récapitulatif [Tableau 1-3], on peut voir que la mise en œuvre des corrections est la plus contraignante mais d'un autre côté la plus complète.

La partie suivante détaille les besoins de l'application afin de dimensionner correctement chaque élément de cette architecture.

1.4. Dimensionnement de la chaîne d'amplification

1.4.1. Cahier des charges

Le cahier des charges lié aux caractéristiques des TMR est résumé dans le Tableau 1-2. Le circuit est un ASIC en technologie standard, mature et bon marché. En résumé, l'objectif est de fournir deux signaux sinusoïdaux en quadrature de phase de même amplitude (à 5mV près) et avec moins de 2% d'erreur sur phase. Le circuit devra posséder les réglages suffisant pour corriger une dispersion de 20% des capteurs TMR avec la précision voulue. Il devra aussi être très faible bruit sur une plage de fonctionnement de 0 à 7.5kHz et avoir une consommation aussi faible que possible. L'ensemble du cahier des charges de l'ASIC établi avec le client est résumé dans le Tableau 1-4.

Paramètres	Unité	Min	Max	Notes
Alimentation V_{DD}	V	3	3,6	Typiquement 3,3V avec un ASIC conçue en technologie 0.35 μ m
Alimentation en tension des capteurs	V		[0.4 ; V_{DD} -0.4]	
Alimentation en courant des capteurs	μ A	1	500	
Erreur de linéarité entre le sinus et le cosinus final			0.5%	Erreur maximale avec une courbe linéaire idéale
Réglage du gain du sinus et du cosinus		2	500	
Réglage de l'amplitude relative entre le sinus et le cosinus		1	1.5	
Réglage de l'offset entre le sinus et le cosinus	V	-1	1	
Offset toléré entre le sinus et le cosinus	mV		5	
Consommation du circuit	mA		8	aussi faible que possible
Fréquence de coupure des sorties	kHz		10	Filtre nécessaire pour la réduction et le repliement du bruit
Bruit maximal du circuit intégré sur la bande passante et ramené en entrée avec le gain maximum	μ V		3.5	Aussi faible que possible
Déphasage entre le sinus et le cosinus engendré par le circuit	°		2	

Tableau 1-4. Cahier des charges ASIC

L'alimentation des capteurs se fera grâce à des sources de tension. L'indication de l'alimentation en courant correspond au courant que devront fournir les sources de tension. La valeur finale du courant à travers les TMR dépendra de la valeur de la résistance finale des capteurs.

1.4.2. Architecture fonctionnelle

Le cahier des charges de l'ASIC a abouti à l'architecture Figure 1-13. Elle représente la schématique globale du circuit avec tous les blocs nécessaires tels que les étages d'amplification, les cellules de polarisation, les références de tension, les cellules de test. Le circuit inclut aussi une mémoire programmable de type OTP (One Time Programmable) avec son lien série afin de calibrer tous les réglages du circuit (gain, offset) et les enregistrer pour un capteur TMR associé. L'architecture ainsi proposée permet d'obtenir deux tensions de sortie de même amplitude en prenant en compte la dispersion des capteurs et aussi de l'électronique. Le système est ratiométrique (proportionnel) par rapport à l'alimentation. La technologie retenue est la CMOS 0.35 μ m d'AMS.

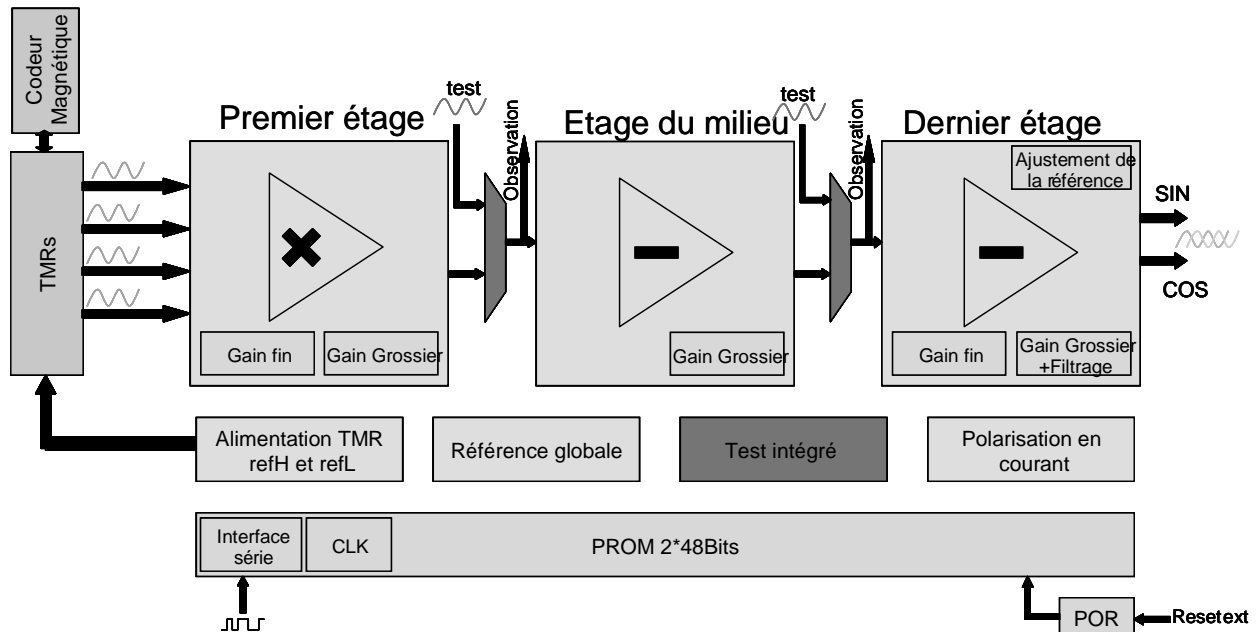


Figure 1-13. Schématique globale avec tous les éléments à réaliser

Le choix et la répartition des gains et des réglages sont détaillés dans le paragraphe suivant.

1.4.3. Choix de conception et de dimensionnement

1.4.3.1. Choix et résolution des réglages et répartition des gains

1.4.3.1.1. Premier étage

Le premier étage doit permettre de corriger $\pm 20\%$ de dispersion des capteurs imposé par la table des spécifications TMR. Pour cela, un gain variable de 1 à 1.5 est nécessaire. L'exemple ci-dessous illustre cette plage de correction:

Soit une TMR avec une résistance nominale de 100Ω et avec une dispersion de $\pm 20\%$. Afin d'égaliser les amplitudes de sortie du premier étage (cf équation 6), il faudra appliquer les gains suivants :

$$-R_{MIN} * G_{Nmax} = 80 * 1.5 = 120$$

$$-R_{TYP} * G_{Ntyp} = 100 * 1.2 = 120$$

$$-R_{MAX} * G_{Nmin} = 120 * 1.0 = 120$$

L'erreur de correction liée à la précision de ce réglage se retrouve en fin de chaîne amplifiée par les gains du deuxième et dernier étage. L'erreur maximale tolérée par le cahier des charges fixera la résolution et la répartition des réglages. Pour ce faire, il faut considérer les deux types d'erreur à savoir l'erreur DC (l'erreur d'offset) et l'erreur AC (l'erreur d'amplitude). En effet d'après les équations 9 et 10, les amplitudes AC sont amplifiées par un gain de $4 * G_{SIN_COS} \times \sin(\varphi/2)$ induit par les soustractions du montage en plus des gains maximums du circuit, alors que les erreurs d'offset sont multipliées seulement par les gains du montage. Les gains maximum DC et AC sont donc différents et implique donc des contraintes différentes.

- On considère dans un premier temps la précision de la correction du premier étage en considérant l'erreur de correction DC. L'erreur de sortie sera maximale avec l'utilisation du gain maximum prévu par le cahier des charges (500) et ne doit pas excéder 5mV d'offset sur la sortie. On se place donc dans ce cas où l'on a besoin du gain maximal et que l'entrée DC correspond au maximum de la dispersion. Cela se traduit par l'équation suivante :

$$(DC_{MAX}IN - DC_{MAX}IN \times (1 - \delta G_N)) \times GainMAX_{TOTAL} \leq 0.005 \quad (12)$$

Avec $DC_{MAX}IN$ la valeur DC maximale en sortie du premier étage, $GainMAX_{TOTAL}$ la valeur du gain maximal total, et δG_N la valeur du pas de quantification du gain de correction du premier étage. Cette valeur du pas de quantification correspond donc aussi à l'erreur maximale résiduelle après correction. Elle est égale à :

$$\delta G_N = \frac{G_N \max - G_N \min}{2^{Résol}} \quad (13)$$

D'après (12) , on obtient :

$$\delta G_N \leq \frac{0.005}{GainMAX_{TOTAL} \times DC_{MAX}IN} \quad (14)$$

Avec (13) et (14) On obtient alors une résolution de :

$$Résol \geq \frac{\log(G_N \max - G_N \min) - \log(\delta G_N)}{\log(2)} \quad (15)$$

Pour connaître cette résolution minimale, il faut d'abord connaître la valeur de notre $DC_{MAX}IN$. Celle-ci est imposée par l'alimentation des capteurs et par la dispersion max de ceux-ci.

Si on choisit les valeurs maximales du cahier des charges, on a $[0.4V ; V_{DD}-0.4V]$ sur nos 4 capteurs en série. Avec $V_{CC}=3.3V$, chacune des 4 TMRs voit une différence de potentiel de 0.625V à ses bornes. Cette différence de potentiel constitue la valeur DC en sortie du premier étage sans amplification. Cependant pour pouvoir amplifier l'amplitude en sortie du capteur sans saturer à cause de cette composante continue, on décide d'alimenter les TMR entre 0.64V et 2.64V typique, soit une différence de potentiel typique de 0.5V par TMR. Ces valeurs prennent en compte deux autres considérations. Premièrement le fait que la résistance statique R_0 du capteur soit sensible à la tension imposée à ses bornes. Moins cette valeur sera importante, moins le capteur sera sensible à cette variation. Et deuxièmement pour assurer un fonctionnement dans le régime linéaire de l'amplificateur du premier étage. On garde cependant une possibilité d'une alimentation extérieure au moyen de plots supplémentaires. Ce choix permettra si nécessaire de placer le capteur dans sa meilleure zone de linéarité. La tension aux bornes des capteurs varie aussi en fonction de la dispersion des TMRs pour atteindre une valeur maximale de 0.66V lorsque toutes les TMR ont une dispersion maximale de -20% sauf une qui à une dispersion de +20%, cette dernière se retrouvant à ce potentiel de 0.66V (Figure 1-14).

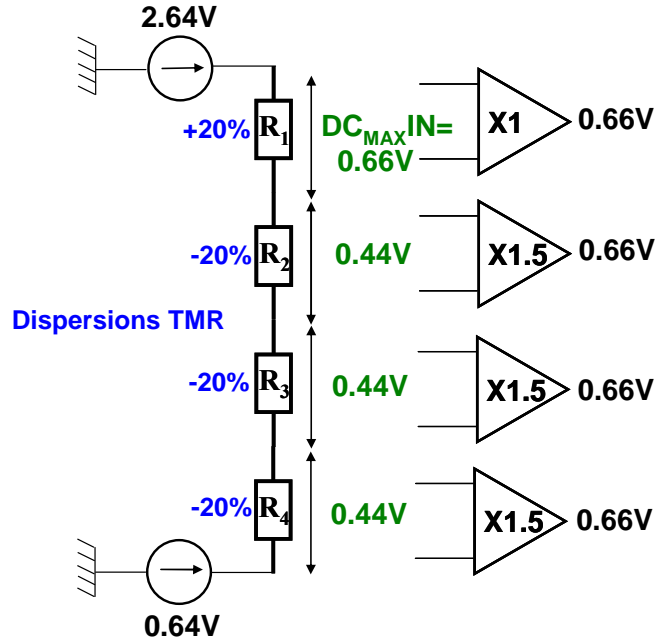


Figure 1-14. Représentation d'un cas de dispersion entrainant la tension DC maximale en sortie du premier étage

On peut voir sur cette figure l'utilisation des gains minimaux et maximaux pour corriger les dispersions maximales du capteur avec $G_1 = G_{Nmin} = 1$ et $G_2 = G_3 = G_4 = G_{Nmax} = 1.5$.

Ce cas de dispersion paraît peu probable dans un procédé de fabrication industriel. Nous gardons cependant ce cas pour être conforme au cahier des charges.

Avec $DC_{MAX} IN = 0.66V$, $GainMAX_{TOTAL} = 500$, $VCC = 3.3V$ on obtient d'après (14) :

$$\delta G_N \leq 2.96 \times 10^{-6} \quad \delta G_N \leq 1.51 \times 10^{-5}$$

Ce qui nous donne pour le réglage du premier étage d'après (15) :

$$Résol \geq 15,01 Bits$$

Une telle résolution est extrêmement difficile à réaliser car du même ordre de grandeur que le bruit. De plus si on s'impose une correction uniquement sur le premier étage, on ne prend pas en compte les dispersions du reste du circuit. Pour relâcher les contraintes sur le premier étage, on peut répartir les réglages sur les autres étages d'amplification. En effet, l'erreur DC sur l'étage d'entrée peut être corrigée par un réglage d'offset sur le dernier étage. Pour être corrigée facilement par un réglage d'offset, l'erreur en sortie ne doit pas excéder $\pm VCC/2$. Cette condition se traduit par l'équation suivante où l'on remplace simplement les 5mV de l'équation (14) par $VCC/2$:

$$\delta G_N \leq \frac{(VCC / 2) / GainMAX_{TOTAL} - DC_{MAX} IN}{DC_{MAX} IN} + 1 \quad (16)$$

Avec $VCC = 3.3V$, $GainMAX_{TOTAL} = 500$, $DC_{MAX} IN = 0.66$ on obtient d'après (16)

$$\delta Gain_{InputStage} \leq 0.005$$

Avec (15), on trouve pour le réglage du premier du premier étage: $Résol \geq 6.64 Bits$

- Si on considère maintenant l'erreur AC (l'erreur d'amplitude), il faut multiplier le gain maximum par $4 \times \sin(\varphi / 2)$.

Dans le cas idéal ou $\varphi = \pi/2$ on obtient l'équation :

$$(AC_{IN} - AC_{IN} \times (1 - \delta Gain_{InputStage})) \times 2\sqrt{2} \times GainMAX_{TOTAL} \leq 0.005 \quad (17)$$

Avec AC_{IN} l'amplitude de sortie du premier étage.

On remarque cependant que si l'on veut utiliser le gain maximum, on ne peut pas utiliser la sensibilité minimale de 10% prévue par le cahier des charges. En effet si on ne veut pas saturer les sorties avec $GainMAX_{TOTAL} = 500$, l'amplitude maximale d'entrée doit au plus être égale à :

$$AC_{MIN_IN} = VDD / (GainMax \times 2\sqrt{2})_{TOTAL} = 2.27 mV$$

Cela revient à une sensibilité du capteur de 0.45%. Malgré qu'une si faible sensibilité ne soit pas prévue par le cahier des charges, on effectue quand même le calcul avec cette valeur :

$$(AC_{MIN_IN} - AC_{MIN_IN} \times (1 - \delta Gain_{InputStage})) \times 2\sqrt{2} \times GainMAX_{TOTAL} \leq 0.005 \quad (18)$$

Soit :

$$\delta G_N \leq \frac{0.005}{GainMAX_{TOTAL} \times 2\sqrt{2} \times AC_{MIN_IN}} \quad (19)$$

D'après (14), on trouve : $\boxed{Résol \geq 8,33 Bits}$

Avec d'autres valeurs de sensibilité, on ne peut pas utiliser le gain maximum prévu par le cahier des charges. On utilise cependant un gain adapté pour obtenir la dynamique maximale de sortie.

$$\text{Ainsi : } GainMAX_{TOTAL} \times 2\sqrt{2} \times AC_{MIN_IN} = Gain_{TOTAL} \times 2\sqrt{2} \times AC_{IN} \approx 3.3V$$

La résolution calculée pour une sensibilité minimale est donc valable pour des sensibilités plus élevées. C'est donc cette valeur de résolution calculée avec des signaux AC qui est la plus contraignante. Ce résultat sera affiné en fonction du choix des réglages de gain présent sur le dernier étage.

1.4.3.1.2. Etage du milieu et dernier étage

Après réglage de la dispersion du capteur, il est nécessaire d'amplifier au maximum le signal de sortie du premier étage. On considère un gain moyen de 2 sur le premier étage pour ne pas saturer sa sortie. Il reste donc un gain de 250 à répartir entre l'étage du milieu et le dernier étage. Ainsi, on décide d'introduire un gain variable de 1 à 32 sur l'étage du milieu et un gain variable de 1 à 8 sur le dernier étage. Cela permet d'avoir un maximum de gain sur l'étage du milieu et de garder une flexibilité de réglage sur le dernier étage.

Au niveau du dernier étage, un réglage de la référence est aussi nécessaire pour corriger l'erreur DC du premier étage. Pour assurer un maximum de 5 mV d'offset entre le sinus et le cosinus, un pas de quantification DC de 10 mV pour chaque voie est envisageable sur une plage de correction de $\pm 1,65V$. L'équation suivante permet de trouver la résolution nécessaire à ces conditions :

$$Résol_réf \geq \frac{\log(réf\ max - réf\ min) - \log(\delta réf)}{\log(2)}$$

Soit : $Résol_réf \geq 8,37\ Bits$

Il est enfin également nécessaire d'introduire un réglage de gain fin sur ce dernier étage. Pour rappel d'après (11), une variation de la phase ϕ engendre un écart d'amplitudes sur les sorties SINUS et COSINUS. Le cahier des charges ne spécifie pas de minimum ni de maximum pour cette correction de phase. Le graphe ci après représente le rapport d'amplitude entre le sinus et le cosinus de sortie en fonction de la phase. Il a été obtenu par simulation fonctionnelle avec des modèles idéaux d'amplificateurs sur toute la chaîne de mesure.

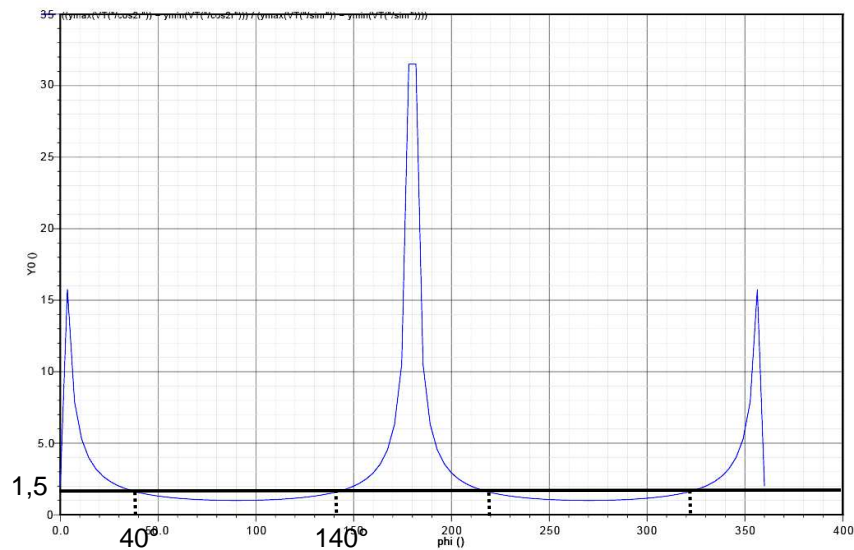


Figure 1-15. Rapport Amplitude_Cos/Amplitude_Sin en fonction de la phase ϕ des signaux de sorties des TMR

On constate qu'avec un gain de 1 à 1,5, on couvre une variation de ϕ allant de 40° à 140° soit $90^\circ \pm 50^\circ$. C'est donc cette plage de réglage qui est choisie. Ce gain variable permet aussi de légèrement relâcher les contraintes sur le réglage du premier étage et ainsi d'envisager une résolution de 8 bits au lieu des 9 requis (8,33). Les réglages de gain du dernier étage permettront aussi de corriger la dispersion de l'électronique de conditionnement.

Le tableau ci-dessous récapitule la répartition et la résolution des réglages qui font suite aux précédentes réflexions.

	Etage d'entrée		Etage du milieu	Etage de sortie		
	Gain global	Gain fin	Gain global	Gain global	Gain fin	Ajustement offset
Résolution (bits)	0	8	3	2	8	8
[Min:Max]	[1,8;1,8]	[1;1,5]	[1;32]	[1;8]	[1;1,5]	[0V;3,3V]

Tableau 1-5. Répartition et résolution des gains de la chaîne d'amplification du circuit de conditionnement

Le gain de 1,8 du premier étage correspond au gain maximal choisi pour ne pas saturer les sorties en cas de forte sensibilité obtenue sur le capteur.

1.4.3.2. Considérations et autres choix de conception

-Le premier étage d'amplification différentiel doit posséder des entrées avec une haute impédance afin de ne pas absorber le courant des TMR et rendre les résistances de ligne négligeables. Le choix d'un amplificateur d'instrumentation s'est donc naturellement imposé.

-Le deuxième et le troisième étage doivent posséder des amplificateurs avec suffisamment de bande passante pour ne pas déphaser les signaux. En effet, le système ne propose pas de réglage de la phase lié à un déphasage de l'électronique.

- Le circuit possèdera une référence de tension globale en milieu d'alimentation ($V_{CC}/2$) et une référence de tension plus basse ($V_{CC}/4$) sur le premier étage pour compenser la composante continue. Les valeurs de courant absorbé (I_{sink}) et de courant fourni (I_{source}) seront fixées en fonction des besoins de l'ensemble du circuit.

1.5. Conception chaîne d'amplification

1.5.1. Premier étage

Le premier étage est composé de 4 amplificateurs d'instrumentations (Figure 1-16), eux même composés de 3 amplificateurs opérationnels (Figure 1-17). Afin de traiter au mieux les signaux de sortie des TMRs, 2 amplificateurs ont été conçus et placés en fonction des modes communs des entrées. Le premier est un amplificateur avec une paire différentielle NMOS et le second avec une paire différentielle PMOS.

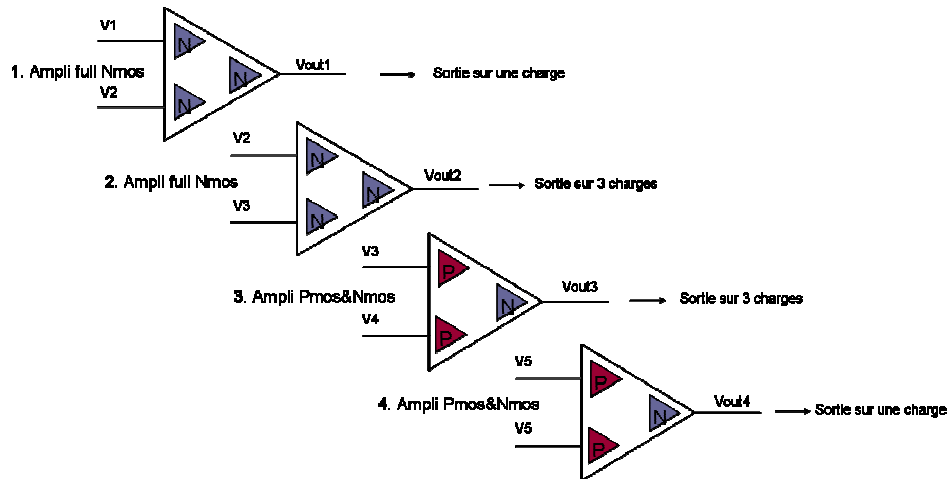


Figure 1-16. (a) Représentation de la répartition des amplificateurs PMOS et NMOS du premier étage

Les gains différentiels G_N sont réalisés grâce à 3 AOP. Il se décompose en un gain statique G_A et un gain programmable G_B pour la dispersion des TMR. G_A est réalisé à partir des AOP A_1 et A_2 grâce aux résistances R et r :

$$G_A = 1 + \frac{2r}{R} \quad (20)$$

Afin de limiter le bruit blanc (en $4KTR$), les résistances utilisées dans l'amplificateur d'instrumentation sont assez faibles ($R=5k\Omega$ et $r=4K\Omega$). Par contre, cette valeur oblige

l'étage de sortie des amplificateurs à fournir un courant adapté. Cela nous donne un gain $G_A=1.8$ qui permet de ne pas saturer la sortie.

Le gain G_B est réalisé grâce à un réseau de résistances R-2R. Il possède un réglage sur 8 bits pour un gain compris entre 1 et 1,5. Cette résolution assure une erreur suffisamment faible avant les prochains étages d'amplification.

$$G_B = \frac{R_{feedback}}{R_{IN}} + R_{feedback} * \left(\sum_0^{N-1} (B_K / 2^{N-K}) / (2 * R_{DAC}) \right) \quad (21)$$

K est le numéro du bit et B_K la valeur du bit K (0 ou 1)

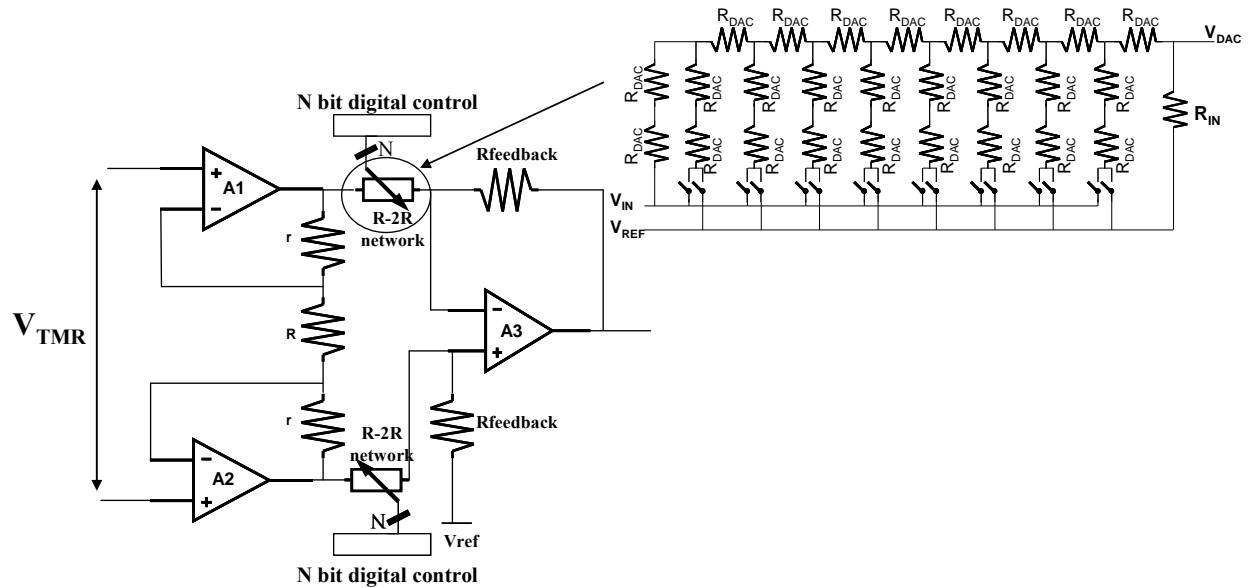


Figure 1-17. Architecture d'un amplificateur d'instrumentation de l'étage d'entrée

L'appariement du réseau R-2R de résistance est un point clef. L'écart type de cet appariement donné par $\sigma_c = A_R / \sqrt{WL}$ dans le DRM de la technologie avec $A_R=6,5\% \mu m$, W et L la largeur et la longueur des résistances. Les dimensions choisies aboutissent à un écart type inférieur à 0,01%. Ce résultat permet de rendre négligeable l'influence de la dispersion des résistances sur la linéarité du réseau R-2R.

Deux AOP composés d'une paire différentielle et d'un étage de sortie avec un condensateur de compensation Miller ont été conçus. Le premier possède une paire différentielle NMOS et le second une paire différentielle PMOS. Chaque amplificateur permet de fonctionner à un mode commun différent en fonction des besoins du circuit. Ils ont respectivement seulement $0.86\mu VRMS$ et $1.18\mu VRMS$ de bruit intégré ramené en entrée sur la bande 0-10 kHz. Cette valeur est compatible avec les $3.5\mu VRMS$ de bruit du circuit complet.

1.5.1.1. Amplificateurs PMOS

Il s'agit du premier amplificateur opérationnel que l'on retrouvera dans le design de plusieurs autres blocs du circuit. Il est constitué d'une paire différentielle PMOS en entrée et d'un montage source commune en sortie. Cet amplificateur a été optimisé faible bruit et est capable de supporter des niveaux de tension proches de la masse en entrée et d'absorber de forts courants en sortie. Il a besoin d'un générateur de courant de $11\mu A$ sur son entrée IBIAS afin de l'alimenter au travers de différents miroirs de courant. Enfin, il possède 2 entrées complémentaires de mise en stand by.

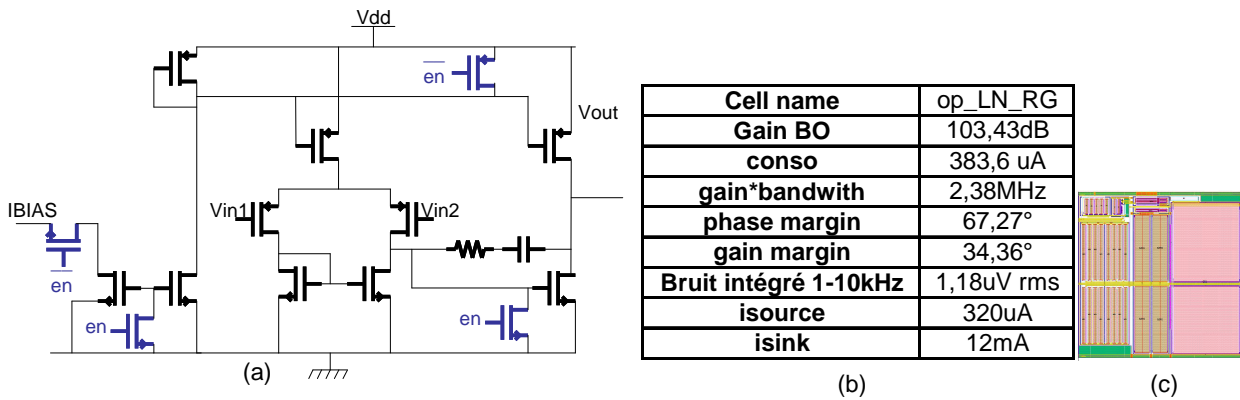


Figure 1-18. Amplificateur PMOS, (a) schématique, (b) performance, (c) layout

Condition de test : Entrée=1.65V (milieu de la plage de fonctionnement) Charge : 100MΩ et 10pF, courant 11 μA

1.5.1.2. Amplificateur NMOS

Le deuxième amplificateur de base du design est constitué d'une paire différentielle NMOS. Il a été conçu pour supporter de forts niveaux de tension (proche de l'alimentation) et être capable de fournir du courant en sortie. L'amplificateur à base de transistor Nmos a aussi été orienté faible bruit. Dans cette technologie AMS 0.35μm, les composantes de « flicker noise » ou bruit en 1/f sont proches là où dans d'autres technologies, il est courant de voir un rapport supérieur à 2 entre Pmos et Nmos. Sur la bande 0-10Khz, les performances en bruit de cet amplificateur Pmos sont proches de la version Nmos.

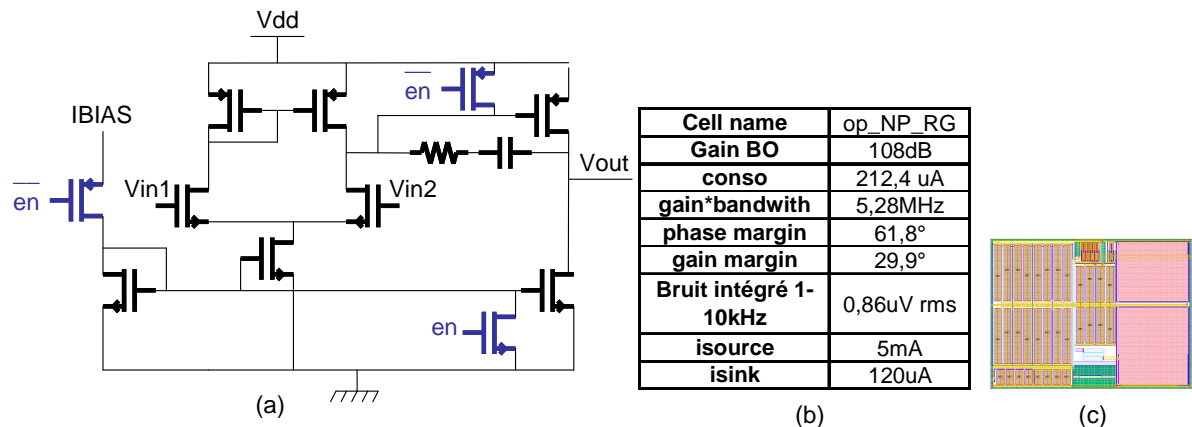


Figure 1-19. Amplificateur NMOS (a) schématique, (b) performance, (c) layout

Condition de test : Entrée=1.65V Charge : 100MΩ et 10pF, courant 11uA

La puissance consommée de chaque amplificateur d'instrumentation est de 2.6mW pour un bruit de 2.5μVRMS intégré ramené en entrée sur la bande 0-10Khz. Le tableau ci-dessous résume les caractéristiques des montages d'amplificateurs d'instrumentation.

	Amplitude d'entrée	Gain idéal	Gain Simulé	Consommation	Bruit intégré ramené en entrée sur la bande 0-10Khz
Amplificateur Full Nmos	25mV	1.8	1.7988	973.5uA	2.893μVrms
		2.25	2.2472	1.014mA	2.588μVrms
		2.7	2.6916	1.054mA	2.407μVrms
Amplificateur Pmos&Nmos	25mV	1.8	1.7972	706.1uA	2.62μVrms
		2.25	2.2452	792.2uA	2.28μVrms
		2.7	2.6888	915.8uA	2.073μVrms

Tableau 1-6. Performances du premier étage

L'écart des gains entre les valeurs idéales et les valeurs simulées est lié à la présence d'interrupteurs qui modifient les rapports résistifs. Ses interrupteurs sont nécessaires au test et leur fonction est détaillée dans la partie test. Les simulations de chaque bloc prennent en compte leurs perturbations.

1.5.2. Deuxième étage

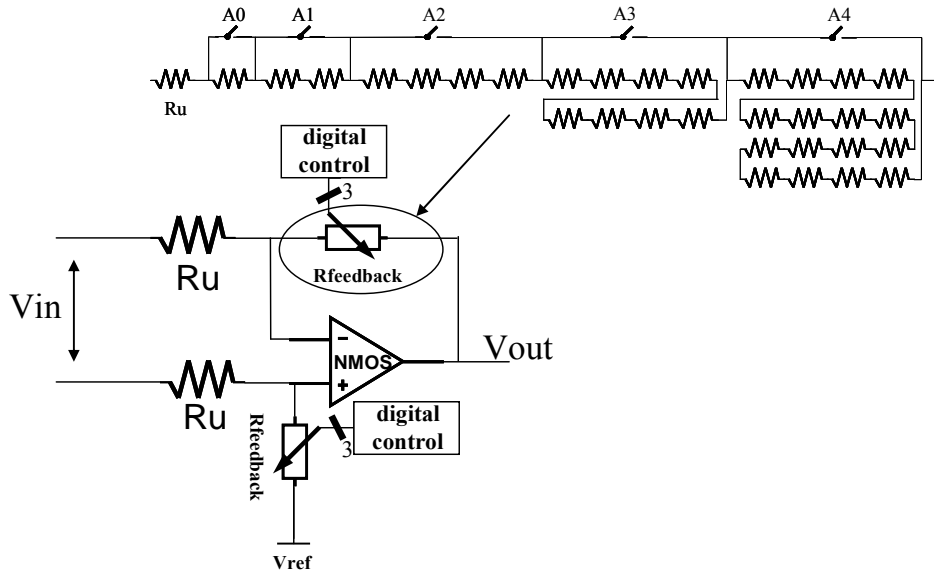


Figure 1-20. Amplificateur différentiel du second étage

Les sorties du premier étage sont connectées à un second étage composé de 4 amplificateurs différentiels (Figure 1-20). Il réalise les premières soustractions et une amplification globale nécessaire à l'obtention des sinus et cosinus finaux. La composante continue des capteurs est éliminée avec la soustraction. Chaque amplificateur différentiel est composé de l'AOP à paire différentielle Nmos. Il possède également un réglage de gain (de 1x à 32x) sur 3 bits qui permettent de gérer 5 interrupteurs (grâce à un décodeur 3 vers 5). Pour compenser l'erreur de gain due à la valeur des résistances de ces interrupteurs de sélection du gain, des interrupteurs « dummy » ont été rajoutées aux entrées de l'amplificateur dans le but de rendre les lignes de signaux identiques. De même, les résistances parasites des interrupteurs d'aiguillages du test de ce bloc ont été prises en compte afin que les valeurs de gain soient conformes.

Gain théorique	Gain simulé	Bruit intégré 0-10Khz ramené en entrée	Consommation
1	1,022	2,48 μ Vrms	221 μ A
2	1,992	2,04 μ Vrms	221 μ A
4	3,94	1,8 μ Vrms	221 μ A
8	7,84	1,68 μ Vrms	221 μ A
16	15,66	1,62 μ Vrms	221 μ A
32	31,19	1,59 μ Vrms	221 μ A

Tableau 1-7 Performances de l'étage du milieu

1.5.3. Troisième étage

Enfin, l'étage de sortie (Figure 1-21) est composé de 2 amplificateurs différentiels. Ils possèdent une calibration fine sur 8 bits (1x à 1.5x) ainsi qu'un gain global sur 2bits (1x à 8x). L'association du gain global du deuxième et du troisième étage permet d'avoir une amplitude de sortie maximale. Cet étage possède aussi une référence ajustable pour

corriger l'offset global du système. Celle-ci est réalisée grâce à un convertisseur analogique numérique 8 bit suivi d'un amplificateur rail-to-rail. Enfin l'étage possède un filtre passe bas du premier ordre à 10Khz.

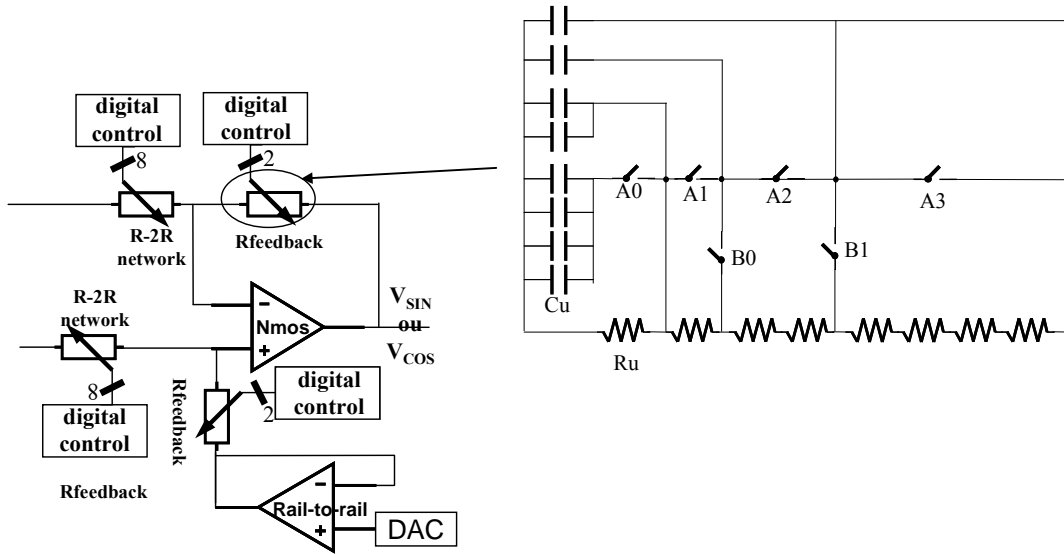


Figure 1-21. Amplificateur différentiel du dernier étage avec réglage de la référence, du gain et filtrage à 10Khz

1.5.3.1. Amplificateur Rail to rail

Cet amplificateur possède 2 paires différentielles en entrée, une à base de transistor PMOS et l'autre avec des NMOS. Cela permet à l'entrée d'être proche des tensions d'alimentation. L'étage de sortie a aussi été conçu sur un modèle rail-to-rail ce qui permet à cet amplificateur d'être entièrement rail-to-rail. La qualité de ce type d'amplificateur dépend fortement de l'étage de recombinaison des signaux issus des 2 paires différentielles.

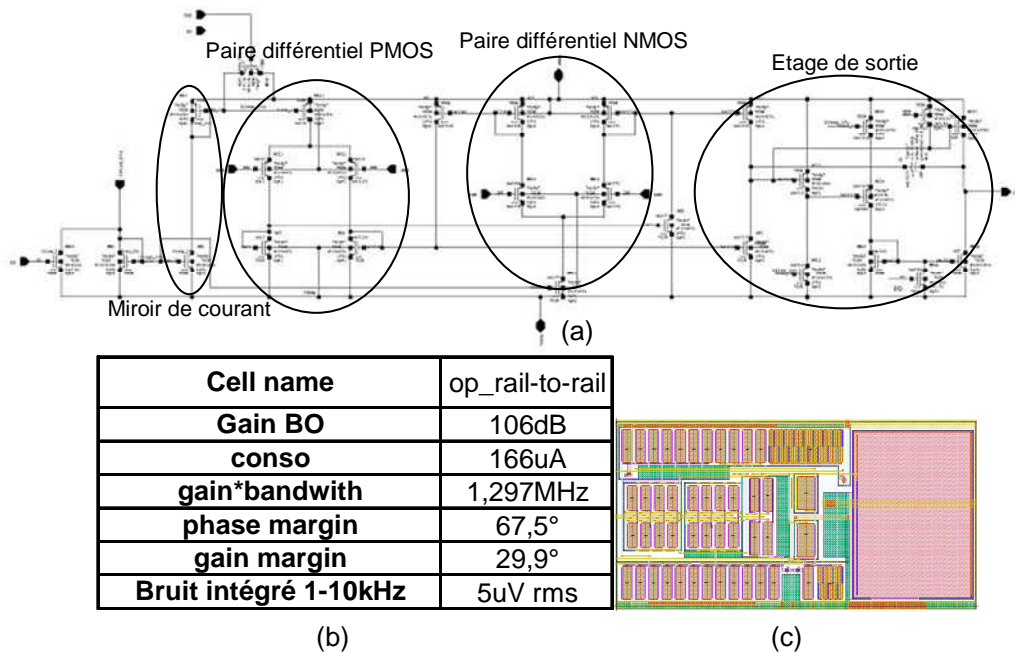


Figure 1-22. Amplificateur rail-to-rail (a) schématique, (b) performance, (c) layout

La double paire différentielle a été dessinée comme les paires différentielles des amplificateurs à entrées NMOS et PMOS décrits précédemment.

1.5.3.2. DAC 8 bits de réglage de la référence

Le Dac utilisé est une cellule bibliothèque. Il est constitué d'un double réseau de résistances. Le premier est constitué de 16 résistances, il permet de faire une approximation grossière (bits de poids fort). Le second (bits de poids faible) est constitué également de 16 résistances. Il permet de diviser le pas grossier obtenu en un pas 16 fois plus fin. Pour ne pas fausser le résultat ce DAC a besoin d'un amplificateur suiveur à haute impédance d'entrée. L'amplificateur utilisé est l'amplificateur rail-to-rail précédemment décrit pour disposer de la totalité de la dynamique. Cette structure est monotone par construction.

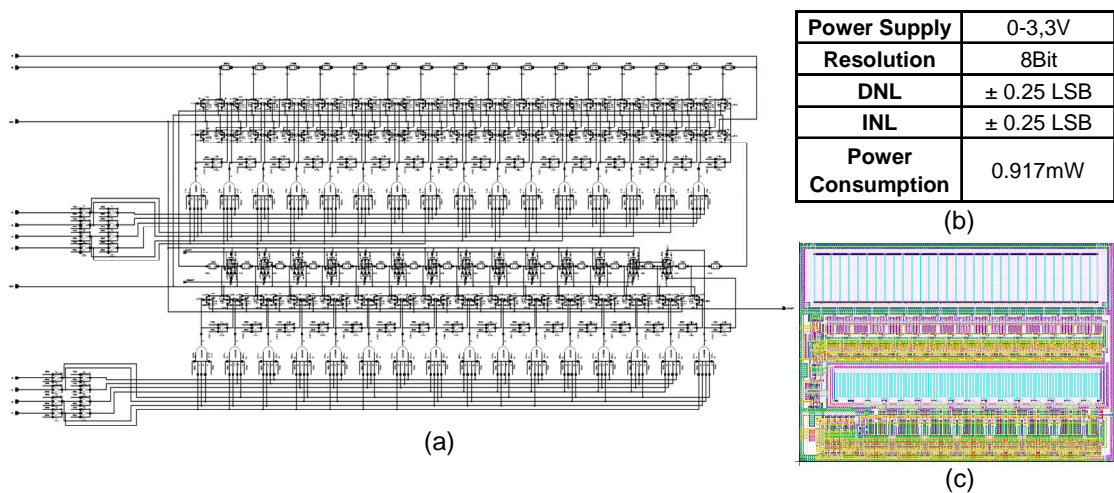


Figure 1-23. Schématique du DAC 8 (a) schématique, (b) performance, (c) layout

La qualité du layout dépend principalement du design des résistances pour obtenir une bonne linéarité différentielle et du faible impact du Ron des résistances dans l'aiguillage des chemins.

1.5.3.3. Le filtrage

L'étage de sortie possède un filtre passe bas du premier ordre à 10kHz. Il est formé par les résistances du gain grossier de la boucle de contre réaction de l'amplificateur et de condensateurs associés. Afin que la fréquence de coupure reste la même quel que soit le gain, un système d'interrupteurs permet de rajouter des condensateurs en parallèle lorsque que le gain est faible et inversement afin de conserver un produit RC constant.

1.5.3.4. Performance globale

Les performances globales du dernier étage sont résumées dans la table ci-dessous.

Amplitude d'entrée	Gain recommandé	Gain Simulé (500Hz)	Amplitude de sortie	bandwith (Hz)	bruit intégré 0-10Khz ramené en entrée	Consommation (A)
41,7mV à 83,3mV	8	7,98	666mV à 1,33V	10,15K	9,1µVrms	665µ
83,3mV à 166,7mV	4	3,98		10,21K	9,54µVrms	664,9µ
166,7mV à 333,3mV	2	2		10,24K	10,56µVrms	664,9µ
333,3mV à 0,67V	1	1		10,25K	12,81µVrms	664,9µ

Tableau 1-8 Performances du dernier étage

1.5.4. Autres bloc

1.5.4.1. La Référence de tension

La référence de tension est construite à partir d'un diviseur résistif (Figure 1-24). Il permet de générer une tension à $VCC/2$ et une autre à $VCC/4$. Ces tensions sont reliées au reste du circuit respectivement grâce aux amplificateurs NMOS et PMOS montés en suiveur. La première référence est présente sur tout le circuit. Le choix du Nmos permet de fournir le courant nécessaire. Le $VCC/4$ est présent sur l'étage d'entrée afin de ne pas saturer la sortie à cause du mode commun. L'amplificateur PMOS qui le compose est prévu pour absorber le courant nécessaire.

Les résistances du diviseur résistif sont réalisées par des transistors pmos montés en résistance. Cela permet d'avoir une plus grande résistivité pour moins de surface. Le choix de la valeur de ces résistances est un compromis entre surface, consommation et bruit. Une capacité de filtrage a été ajoutée pour limiter le bruit.

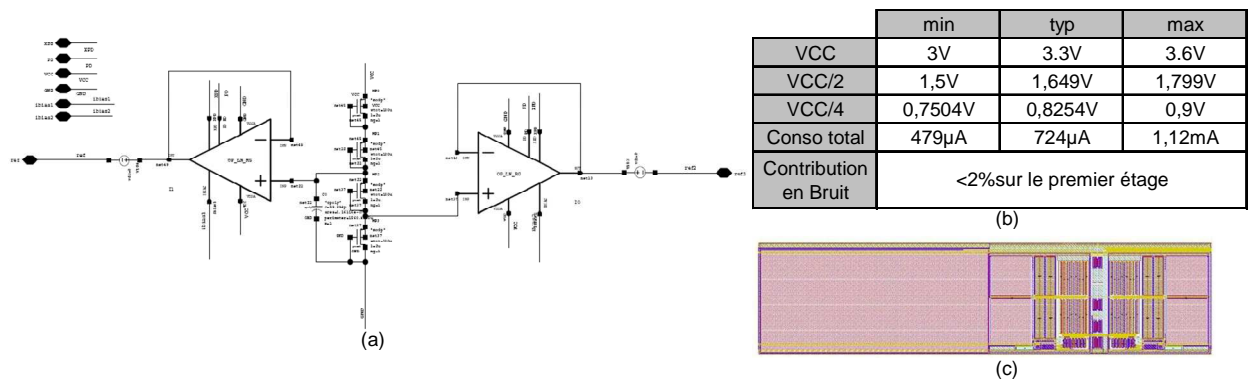


Figure 1-24. Référence de tension du circuit (a) schématique, (b) performance, (c) layout

1.5.4.2. Amplificateur d'alimentation des TMR

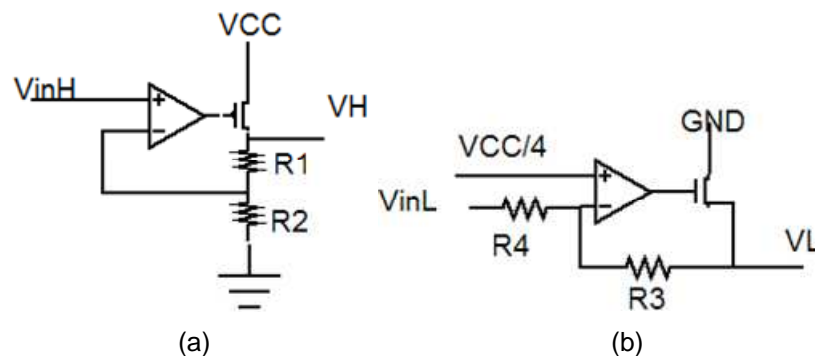


Figure 1-25. Alimentation des TMR constituée d'une référence haute (a) et d'une référence basse (b)

Le réseau de TMR est alimenté par une référence haute V_H de 2,64V et une référence basse V_L de 0,64V proportionnelle à V_{CC} . V_L est obtenue grâce à un amplificateur doté d'une paire différentielle Pmos et V_H d'une paire différentielle Nmos.

$$V_H = \left(\frac{R_1}{R_2} + 1\right) \times V_{inH}$$

$$V_L = \frac{V_{CC}}{4} \left(\frac{R_3}{R_4} + 1\right) - \frac{R_3}{R_4} \times V_{inL}$$

L'étage de sortie intègre les résistances qui permettent d'obtenir la tension voulue (gain de tension). V_H et V_L ont besoin d'une tension $V_{inH}=V_{inL}=V_{CC}/2$ fourni soit grâce au $V_{CC}/2$ interne par le bloc référence, soit par un plot externe.

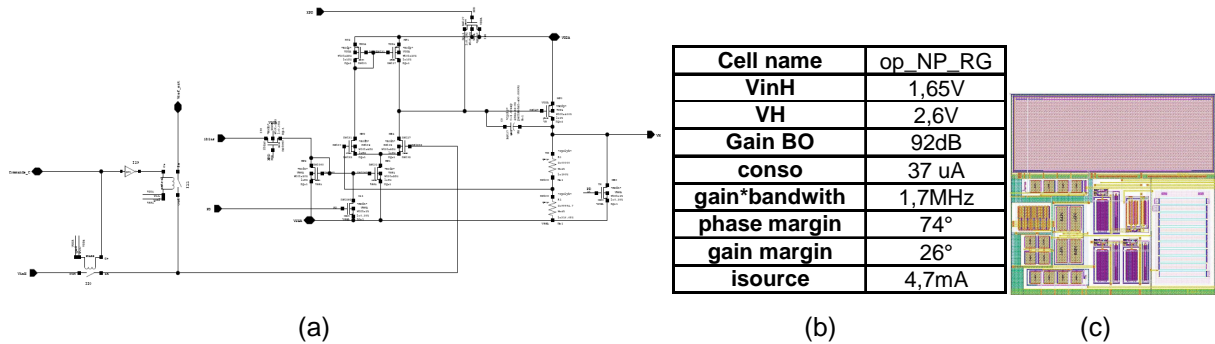


Figure 1-26. Amplificateur d'alimentation haute des TMR (a) schématique, (b) performance, (c) layout

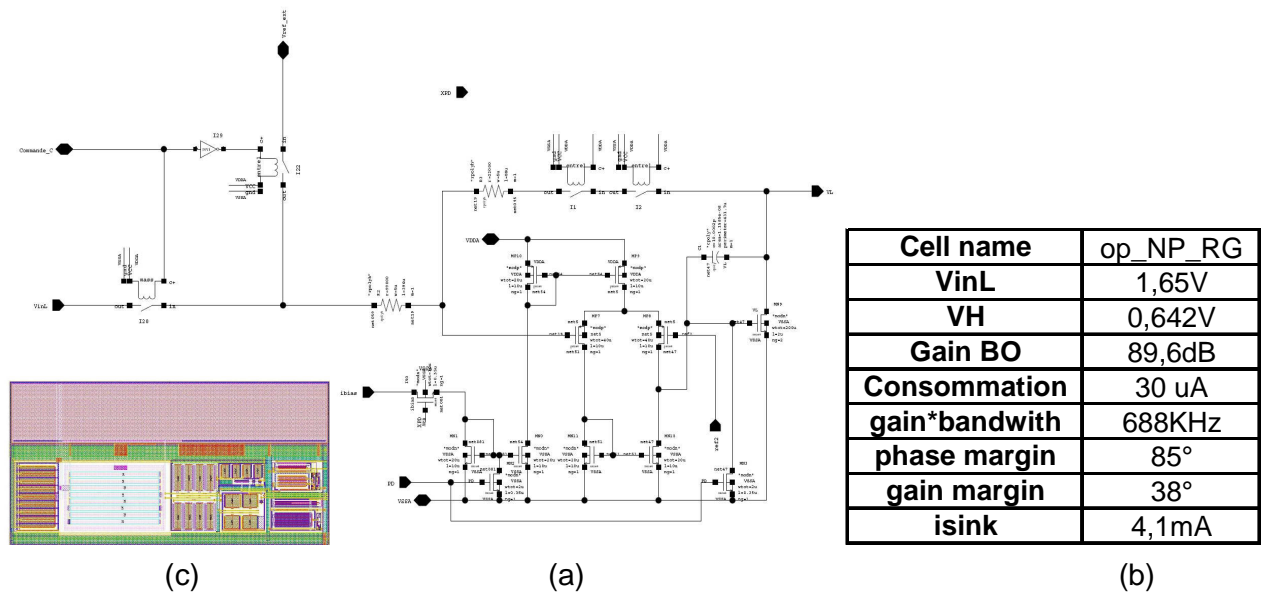


Figure 1-27. Amplificateur d'alimentation basse des TMR (a) schématique, (b) performance, (c) layout

1.5.4.3. La Cellule de Polarisation

La cellule de polarisation est constituée d'un band gap (partie centrale) conçue à partir de PNP latéraux dont les collecteurs sont reliés au substrat. Ce type de PNP est essentiellement fourni pour réaliser des band gap en technologie purement CMOS. Cette partie centrale doit également disposer d'un miroir de courant suffisamment précis pour que le courant soit identique dans chaque branche, d'où une taille conséquente visible sur le

layout. La partie de gauche est le circuit d'enclenchement où la valeur du courant attendu est donné par la définition suivante : $I = \frac{V_t \ln(N)}{R}$

avec $V_t = \frac{KT}{q}$, N le rapport des surfaces entre les 2 PNP ou le rapport du nombre de PNP et R la résistance. Ce courant est ensuite miroité via un réseau de NMOS et de PMOS. La partie de droite représente les miroirs de courant qui alimentent les blocs du circuit.

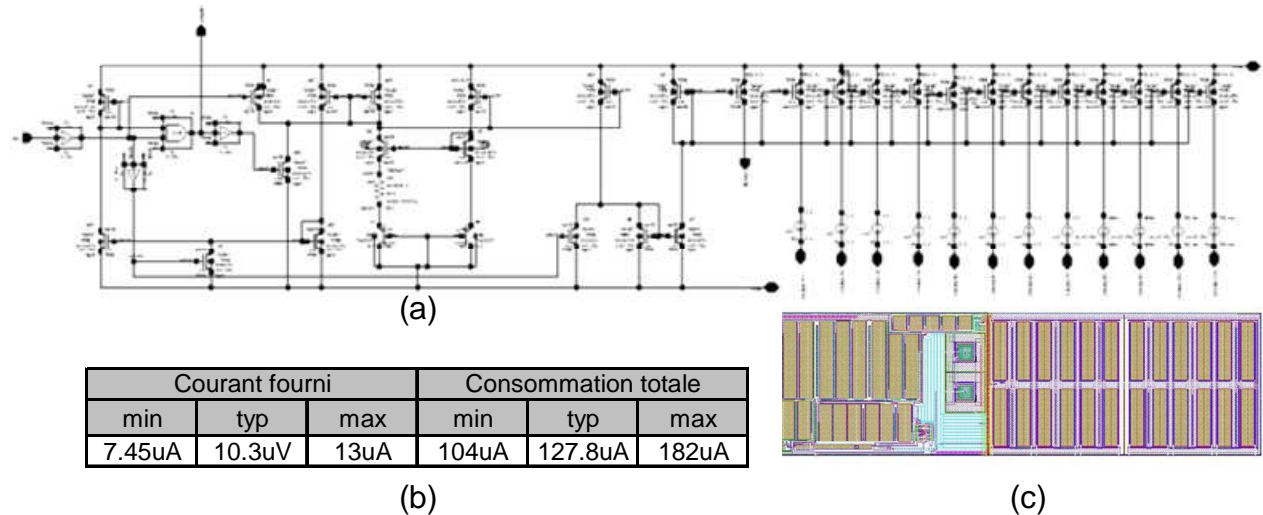


Figure 1-28. Résultats de la cellule de polarisation IBIAS

1.5.4.4. TEST INTEGRE

- Le circuit doit être conçu pour permettre de tester indépendamment chacun des blocs. Les simulations devront prendre en compte les perturbations engendrées par les interrupteurs de test. Il possèdera aussi des options de mise en sommeil (ou stand by) afin de mesurer la consommation de chaque partie.

Le but du test intégré est d'avoir la possibilité d'observer et de qualifier les blocs internes du circuit. Pour cela on déconnecte les entrées et les sorties de chaque bloc et on injecte des stimuli par des entrées additionnelles de test. On observe ensuite les sorties multiplexées sur des plots de sortie additionnels ou sur les sorties propres du circuit. On peut donc tester indépendamment chaque étage. Un troisième plot de test a été ajouté pour tester séparément le DAC 8 bits et son amplificateur rail to rail de l'étage de sortie décrit précédemment. Tous les éléments additionnels introduits pour faciliter le test ont été inclus dès le début de la conception dans les schémas de simulation pour analyser leur impact.

Le test permet également de couper l'alimentation de certains blocs (grâce à la présence de stand by) pour analyser la consommation de certains blocs.

1.6. Implémentation et mesure de test

Les parties numériques et analogiques ont été indépendamment simulées lors de la conception. Les parties analogiques ont été simulées en utilisant les pires cas technologiques, de température et de tension d'alimentation (corner) préconisés par le fondeur, ainsi qu'en Monte Carlo.

Ces simulations ont été faites à plusieurs niveaux et avec plusieurs outils :

- Partie analogique : Spectre
- Partie numérique : Verilog XL

Enfin des simulations complètes mixtes SpectreVerilog ont été mise en place pour vérifier la fonctionnalité globale du circuit. Le capteur a été modélisé en verilog-A avec les mêmes spécifications en bruit que l'on retrouve dans [12].

1.6.1. Simulations globales

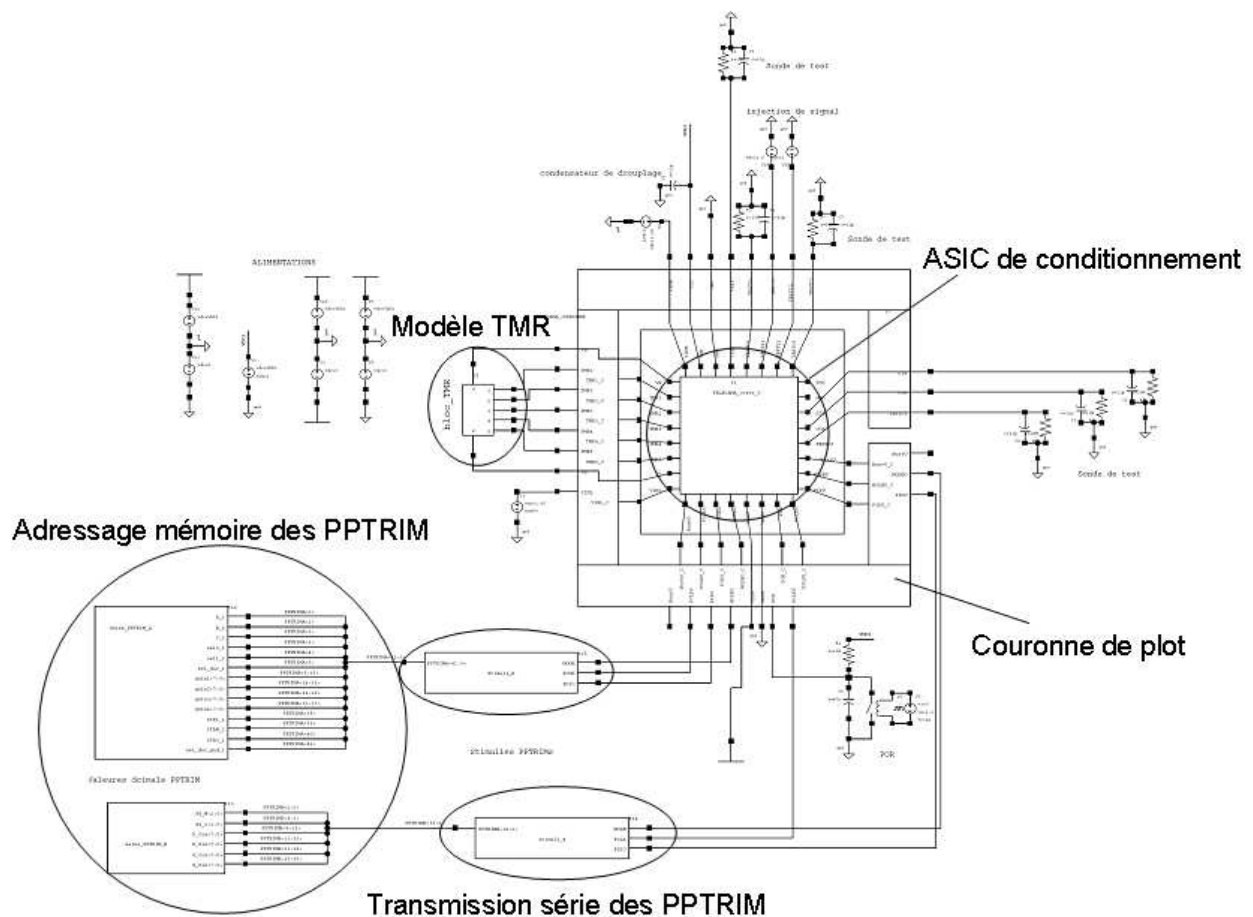


Figure 1-29 Schématique CADENCE puce complète

Le but des simulations globales est de vérifier le fonctionnement de toutes les étapes de réglage en recréant des situations compatibles avec la dispersion prévue des capteurs, puis de vérifier que ces réglages ne dérivent pas en température. Nous présenterons donc dans ce document plusieurs cas représentatifs :

-Le cas idéal : les TMR ne sont pas dispersées et leur positionnement assure un déphasage de 90° entre les signaux de sortie. Il suffit de régler l'amplitude et l'offset de sortie en fin de chaîne.

-Le cas faible gain : les TMR sont dispersées et déphasées de $90^\circ \pm 40^\circ$. Elles possèdent une bonne sensibilité dans leur zone linéaire de fonctionnement ce qui permet d'utiliser un faible gain grossier global (<16)

-Le cas fort gain : les TMR sont dispersées et déphasées de $90^\circ \pm 40^\circ$. Elles possèdent une faible sensibilité dans leur zone linéaire de fonctionnement ce qui oblige d'utiliser un fort gain grossier global (>16). Cela amplifie d'autant plus les erreurs et un ajustement final de la référence vient s'ajouter aux réglages précédents.

La figure ci-dessous représente le cas fort gain et les étapes de réglage nécessaire.

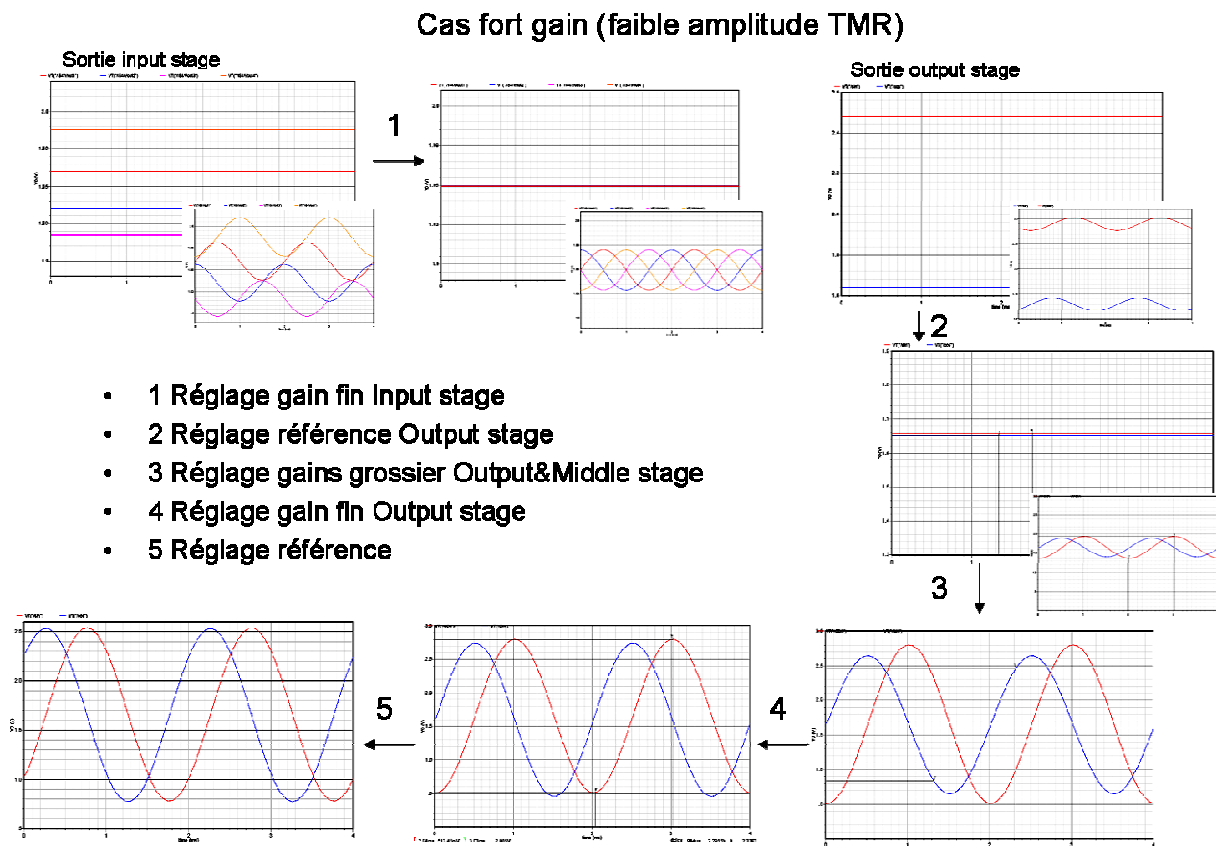


Figure 1-30. Procédure de réglage

Le premier réglage consiste à égaliser les tensions de sortie du premier étage. Il s'effectue avec un champ magnétique statique ou nul en face des TMR. Une légère erreur de correction liée à la résolution 8 bits du réglage de gain persiste. La seconde étape est l'égalisation des références de sortie en un point proche de $V_{CC}/2$. Cela permettra aux tensions de sortie de ne pas saturer si elles sont trop proches d'un rail d'alimentation et d'exploiter la pleine dynamique. On applique maintenant le champ magnétique tournant en face des TMR (par modélisation) afin de régler la dynamique des sorties sinus et cosinus grâce aux gains globaux. Le réglage de gain fin de l'étage de sortie permet maintenant d'égaliser les amplitudes de sortie. Enfin, à cause de l'amplification de l'erreur de réglage du premier étage, un ajustement de référence est de nouveau nécessaire.

1.6.2. Layout et implémentation

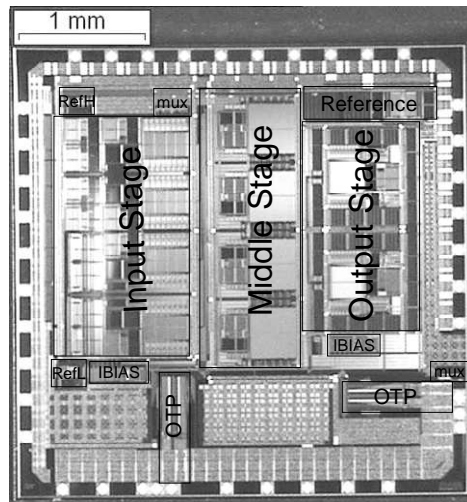


Figure 1-31. Photographie de la puce

Le circuit a été réalisé en technologie 3.3V AMS 0.35µm CMOS et occupe une superficie de 12.7mm².

Le layout de tous les éléments qui composent le circuit a été réalisé dans les règles de l'art d'un bon appariement. Les paires différentielles des amplificateurs sont appariées avec une architecture centroïde à 2 dimensions. Les dimensions des transistors sont telles que l'on a

une déviation standard $\sigma(\Delta P) = \frac{A \cdot P}{\sqrt{W \cdot L}} \approx 0.1\%$.

Les résistances ont une structure appariée symétrique avec annulation des effets thermoélectriques, une grande dimension et la présence de dummy pour assurer une gravure uniforme de chacun des éléments qui constituent la résistance.

Le layout de l'étage d'entrée consiste à assembler quatre étages en respectant la même orientation et en limitant l'écartement entre chaque bloc. La consommation propre du circuit et de l'environnement ne prévoit pas la présence d'un gradient de température qui pourrait apporter un déséquilibre des étages entre eux. Il faut également éviter de ramener du bruit par la référence locale mais comme le circuit fonctionne sans horloge et avec des courants relativement faibles les risques sont très limités.

Le second étage est agencé suivant les mêmes critères que l'étage d'entrée, quatre modules positionnés suivant la même orientation et le plus proche possible. La résistivité de la ligne de distribution de la référence doit être la plus proche pour chacun des quatre blocs (connexion en étoile plutôt qu'en série).

Le layout de l'étage de sortie est constitué par l'assemblage de deux blocs identiques et assez proche de l'étage central mais avec leur propre référence réglable. C'est le câblage des entrées qui différencie le SINUS du COSINUS. La capacité du filtre a été répartie tout autour du bloc pour optimiser la taille de la cellule.

1.6.3. Mesure de test

Les mesures ont été effectuées grâce à une carte de test spécialement développée autour d'un socket QFN48. Le matériel utilisé est le suivant :

- Oscilloscope LECROY 104Mxi,
- Générateurs de tension pour l'alimentation de la carte de test (Agilent E3631A)
- Multimètre multi-voies Keithley 2700 avec la carte de switching Keithley 7700.
- Carte de stimulus et d'acquisition numérique et analogique NI USB-6259 (bornier à vis)
- Logiciel acquisition (LABVIEW 8.6)
- Multimètre TEKTRONIX DMM155

Les tests ont été effectués sur le système complet sans capteur mais avec une émulation de celui-ci. Le premier test à effectuer est celui de la PPTRIM. En effet, tous les bits de réglage et de mode de fonctionnement du circuit sont contenus dans cette mémoire. Son fonctionnement est obligatoire pour tester toutes les parties analogiques du circuit. Une procédure de test est décrite dans la notice d'utilisation de cette IP. Son fonctionnement étant conforme, la suite récapitule les tests de chaque partie analogique qui compose le circuit dont les caractéristiques ont été définies plus tôt.

1.6.3.1. Test de Consommation

Les options de mise en sommeil de certaines parties du circuit ont permis d'isoler la consommation de celles-ci. Le tableau ci-dessous représente les consommations relevées grâce aux simulations et grâce au test. Les parties surlignées correspondent aux blocs reliés à une même mise en sommeil (STBx pour Stand by)

Consommation (mA)		simulation		TEST
Alimentation TMR haute		0,037	4,065	4,16
Alimentation TMR basse		0,03		
Etage d'entrée		3,612	0,884	0,95
Etage milieu		0,884		
Etage sortie	ampli	0,442	0,442	0,55
	rail-to-rail	0,332		
	DAC	0,554		
	Total	1,328		
PPTRIM				0,08
bias		0,254		
Référence VCC/2 et VCC/4		0,724		
TOTAL		6,869		7,32

STBI
STBM
STBO

Tableau 1-9. Relevé des consommations par simulation et par test de la puce réelle

On constate une consommation légèrement plus élevée sur toutes les parties du circuit. Cela peut facilement s'expliquer par une légère dispersion des cellules de polarisation en courant du circuit qui fixe le courant dans tout le circuit.

1.6.3.2. Test de l'étage d'entrée

La tension de sortie du premier étage est définie par :

$$V_{out_ampli_entrée} = \frac{V_{CC}}{4} + V_{différentielle} * 1.8 * \left[1 + \frac{K * 0.5}{255} \right]$$

Cette équation correspond à l'équation (5) avec les valeurs réelles de gain et K la valeur décimale du réglage codé sur 8 bits.

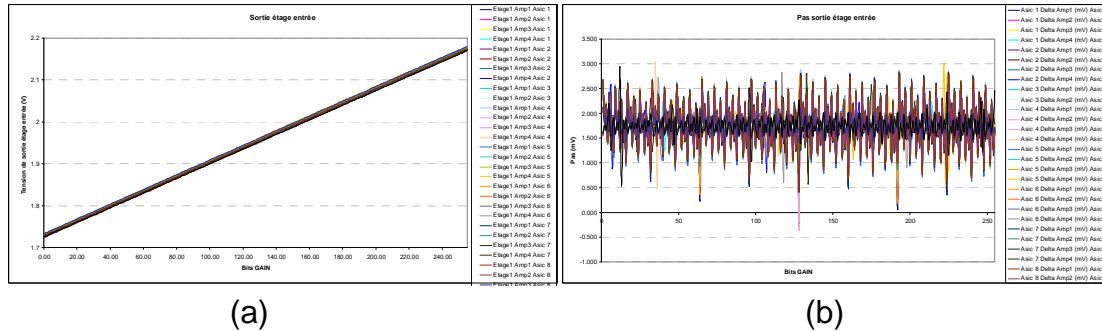


Figure 1-32. Test du gain fin du premier étage (a) Sortie, (b) INL

Les gains du premier étage sont conformes (Tableau 1-10). Cependant, on constate une perte de la monotonie pour les deux amplificateurs du haut de l'étage d'entrée entre la transition 127 et 128 sur certains circuit. Le pas moyen est de 1.752mV.

	théorique	simulé	réel
Pas moyen	1,757mV	1,757mV	1,752mV

Tableau 1-10. Pas moyen du gain fin du premier étage

Ce phénomène a pu être reproduit en simulation en reportant les valeurs des résistances de ligne entre la référence et le premier étage. En effet, les variations de courants au travers des résistances de ligne dues à l'incrémentatation du réglage du premier étage entraînent un léger offset. Celui-ci est inférieur au pas de quantification sauf sur 2 puces. Une modification du layout devrait permettre de fortement diminuer ce phénomène.

1.6.3.3. Test de l'étage du milieu

La tension de sortie idéale est la suivante :

$$V_{out_ampli_middle} = V_{différentielle} * GG_M + V_{ref}$$

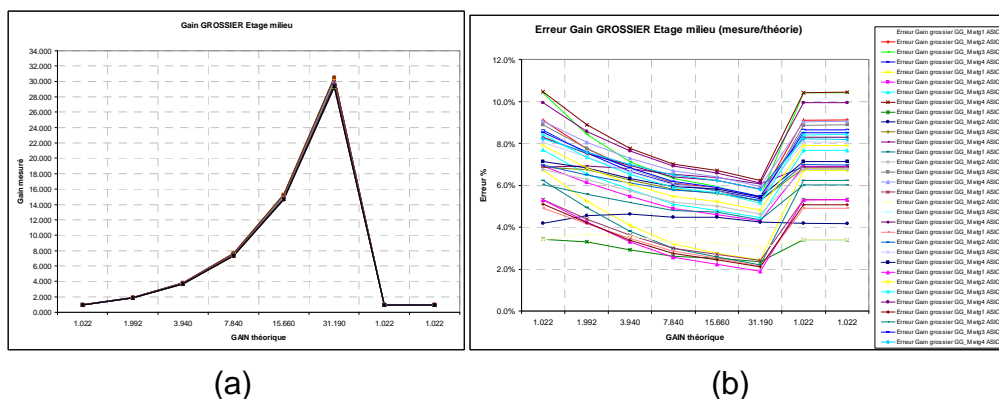


Figure 1-33. Test du gain global du deuxième étage (a) Sortie, (b) INL

Les gains grossiers de l'étage du milieu sont fonctionnels. On remarque un écart max de 10% sur les valeurs de gain en comparaison avec la théorie (Tableau 1-11).

Gain théorique	Gain simulé	Gain réel	
		min	max
1	1,022	0,9198	0,99134
2	1,992	1,7928	1,93224
4	3,94	3,546	3,8218
8	7,84	7,056	7,6048
16	15,66	14,094	15,1902
32	31,19	29,3186	30,2543

Tableau 1-11. Gain du deuxième étage

Plus les gains sont élevés et plus l'erreur est faible (en pourcentage). Cette erreur est à relativiser car elle englobe l'erreur liée à la tension de référence. En effet, les référence de tension en entrée sont réglée manuellement (écart de quelques mV) avant chaque mesure. A cause de la ratiométrie du circuit, l'imperfection du réglage impacte la précision de la mesure.

1.6.3.4. Test de l'étage de sortie

Pour le test du gain, doit obtenir :

$$V_{out_ampli_sortie} = V_{différentielle} * Gain_{grossier} * \left[1 + \frac{n * 0.5}{255} \right] + V_{ref}$$

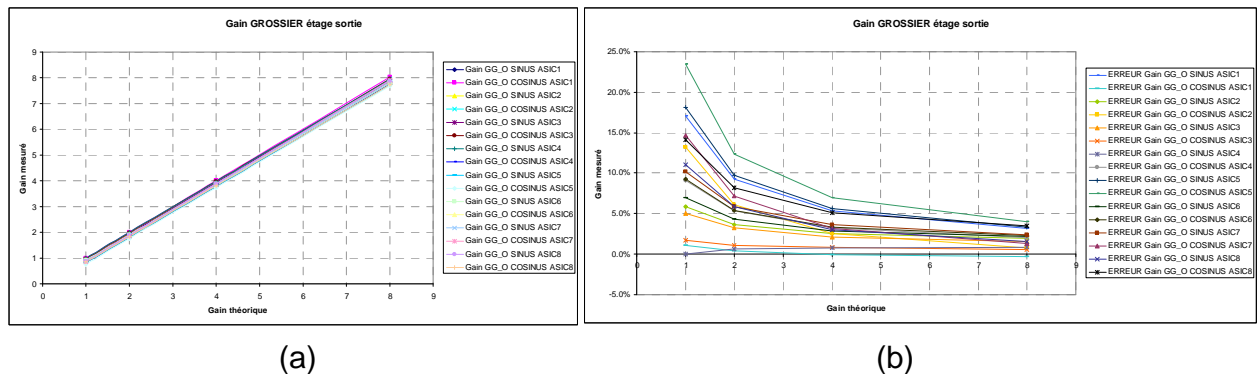


Figure 1-34. Test du gain global du dernier étage (a) Sortie, (b) INL

Les valeurs des gains grossiers pour l'étage de sortie sont :

Gain recommandé	Gain simulé	Gain réel	
		Min	Max
8	7,98	7,66	7,98
4	3,98	3,7	3,98
2	2	1,76	2
1	1	0,78	1

Tableau 1-12 Gain grossier du dernier étage

Les écarts avec les valeurs théoriques sont à nuancer car elles englobent l'erreur liée à la tension de référence et l'offset des amplificateurs. Les erreurs sur la tension de référence

proviennent de la ratiométrie de l'alimentation qui est réglée manuellement (écart de quelques mV).

Pour le test du gain fin, on obtient les courbes suivantes :

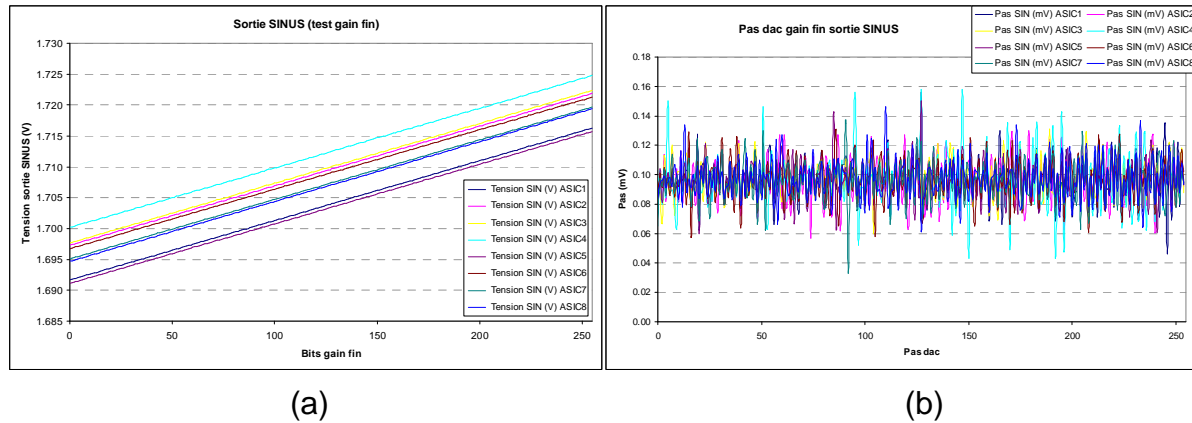


Figure 1-35. Test du gain fin du dernier étage (a) Sortie, (b) INL

Les appels de courant sur Vref sont 10 fois plus faibles que sur les amplis d'entrée (page 16) à cause de la valeur des résistances. Les performances du DAC s'en ressentent directement (Tableau 1-11).

	théorique	simulé	réel
Pas moyen du gain fin	97,6μV	97,5μV	96,5μV

Tableau 1-13 Pas moyen du gain fin du dernier étage

Le pas moyen est de 96.5μV pour sinus et 96.4 μV pour le cosinus (écart-type de 14μV)

1.6.3.5. Test des DACs de l'étage de sortie

On lit la sortie des DAC sur les plots de test. On doit obtenir une rampe allant de 0 à VCC qui correspond à l'équation théorique :

$$V_{TESTOUT3} = VCC * \left[\frac{n}{255} \right]$$

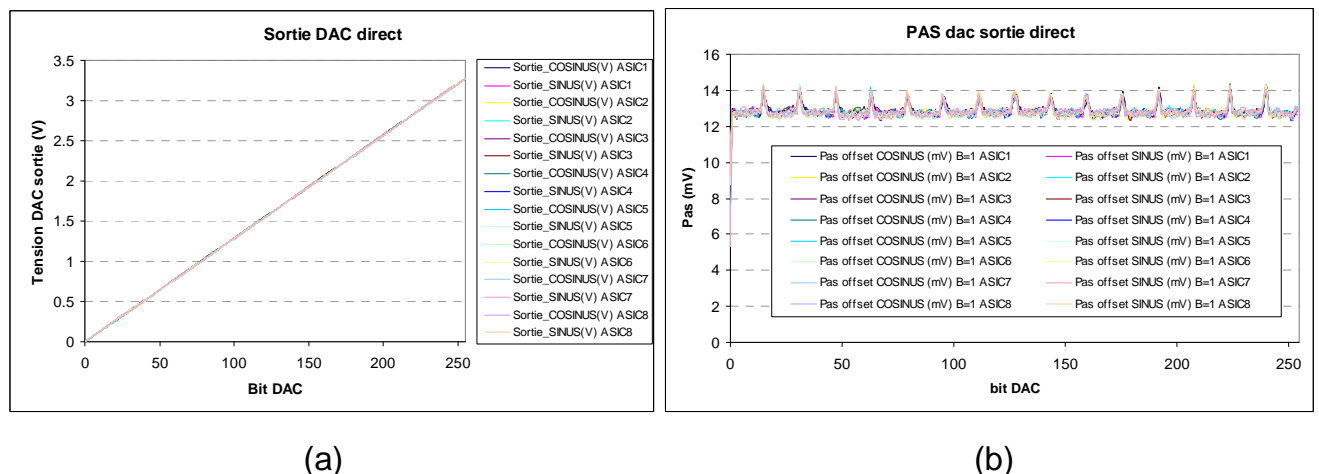


Figure 1-36. Test du DAC du dernier étage (a) Sortie, (b) INL

Le DAC gérant l'offset de sortie du COSINUS et du SINUS est totalement fonctionnel.

	théorique	simulé	réel
Pas moyen du DAC	12,89mV	12,85mV	12,82mV
Min-Max DAC	0-0	10mV-30mV	10mV-43mV

Tableau 1-14

Le pas moyen est de 12.82 mV avec un écart-type de 0.44 mV. Le DAC est monotone. Le résidu haut du DAC est en moyenne à 43mV (3 LSB), celui du bas est de 10mV (1 LSB). Cette écart est du à la saturation de l'amplificateur utilisé.

1.6.3.6. Test charge limite de l'alimentation capteur

On regarde ici à partir de quelle valeur de résistance la tension des alimentations des TMR chute.

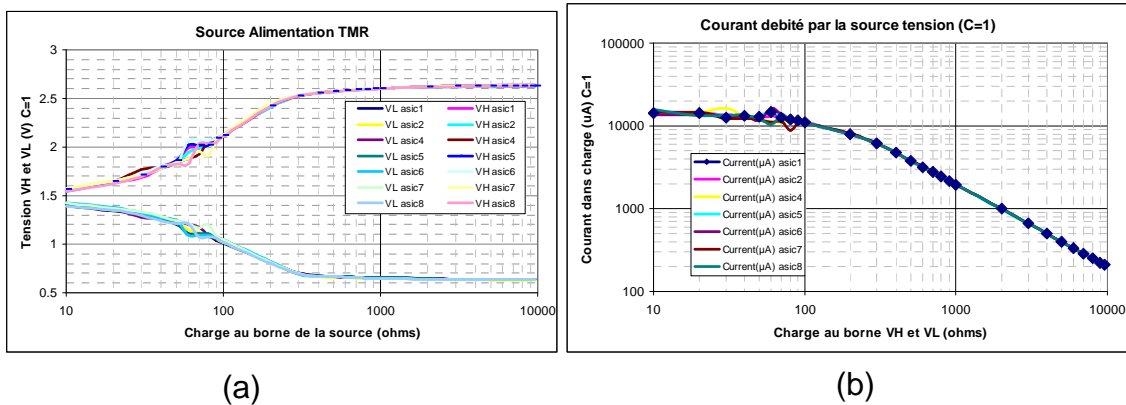


Figure 1-37. Test de charge maximal des alimentations TMR (a) Sortie, (b) courant

Pour une résistance globale de TMR de 800Ω minimal, soit 200 Ω par TMR, on a encore le fonctionnement du circuit.

1.6.3.7. Test référence

On vérifie ici que la tension de référence est ratiométrique tel que :

$$V_{REF_asic} = \frac{VCC}{2}$$

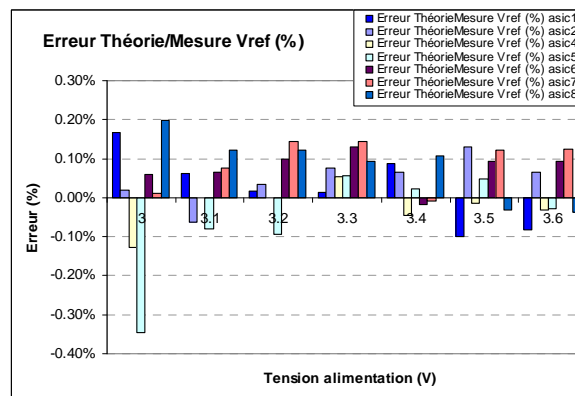
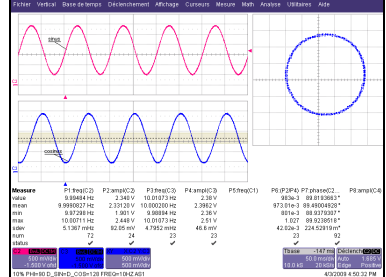
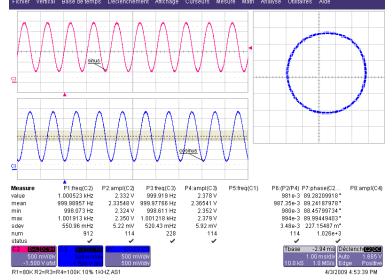
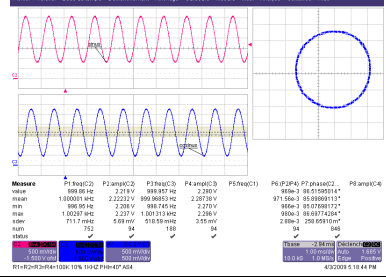
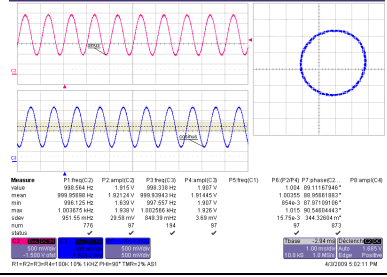


Figure 1-38. Test de la référence globale du circuit.

L'erreur maximale de la référence est de 0.30%. Cette fluctuation de l'erreur est liée au réglage manuel de l'alimentation qui influe directement la tension Vref qui est ratiométrique.

1.6.3.8. Test circuit complet

Le tableau ci-dessous répertorie les pires cas capteur (dispersion max, déphasage max...) que le circuit permet de corriger afin d'obtenir une sortie sinus et cosinus avec moins de 2% d'erreur.

Test	Stimuli	Sortie	Figure
Effet TMR typique	$R_{0N}=100K\Omega$, $\varphi=90^\circ$, $\Delta R_N=100mV$, fréquence=10Khz	Sortie SIN et COS à l'oscilloscope	
Dispersion max	$R_{0N}=100K\Omega \pm 20\%$, $\varphi=90^\circ$, $\Delta R_N=100mV$, fréquence=1Khz	On ajuste les gains d'entrée de façon à obtenir un COSINUS et SINUS en sortie de même amplitude.	
Test déphasage max	$R_{0N}=100K\Omega$, $\varphi=70^\circ \text{ à } 140^\circ$, $\Delta R_N=100mV$, fréquence=1Khz	On ajuste les gains cosinus et sinus de façon à obtenir un COSINUS et SINUS en sortie de même amplitude et même offset.	
Test sensibilité minimum en dynamique avec carte de test	$R_{0N}=100K\Omega$, $\varphi=90^\circ$, $\Delta R_N=2mV$, fréquence=1Khz	On ajuste les gains cosinus et sinus de façon à obtenir un COSINUS et SINUS en sortie de même amplitude et même offset.	

Les résultats de test et de simulations sont résumés dans le Tableau 1-14. Les réglages du circuit permettent d'obtenir moins de 2% d'erreur maximale sur la phase et l'amplitude des sinus et cosinus de sortie. Cette précision était requise pour la mesure de vitesse et de position dans notre application de roue codeuse. Les linéarités des gains et du DAC sont inférieures à un LSB (c.à.d. un bit de poids faible). La dérive en température ne perturbe pas l'égalité des amplitudes du sinus et du cosinus grâce au fonctionnement ratiométrique du

circuit complet. Enfin, une mesure en bruit à l'oscilloscope nous permet d'obtenir un bruit équivalent ramené en entrée du circuit égal à $7.5\mu\text{Vrms}$.

Paramètre	Simulation	Resultat de tests
Bruit [0-10KHz]	$3.59\mu\text{Vrms}$	$7.5\mu\text{Vrms}$
Consommation	22,8mw	23,9mW
Dispersion maximal réglable des TMR	20%/-20%	20%/-20%
Résistance minimal des TMR	200Ω	200Ω
Correction maximale de la phase ϕ	40° à 140°	70° à 140°
sensibilité minimale des TMR (ΔR)	2%	0,50%

Tableau 1-15. Résultat de test

1.7. Conclusion et perspective

Une nouvelle architecture de conditionnement de capteur a été proposée et conçue en prenant en compte des besoins d'une technologie innovante des magnétorésistances à effet tunnel dans leur régime de fonctionnement linéaire. Le circuit sera prochainement testé avec des TMR en cours de fabrication. Les premiers prototypes montrent des caractéristiques de sensibilité et de linéarité conformes au cahier des charges [56] (Figure 1-39).

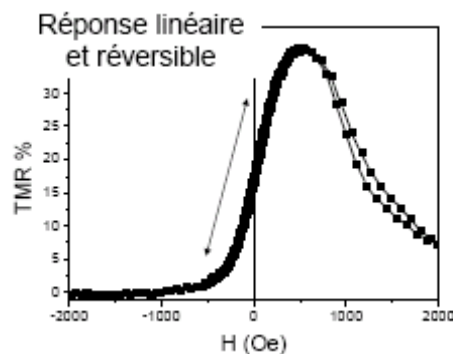


Figure 1-39. Sensibilité des premiers prototypes de TMR industriel en fonction du champ magnétique

Les connexions sont réalisées grâce au procédé TAB (Tape Automated Bonding) sur circuit flex car il ne met pas en œuvre de matériaux magnétiques pouvant perturber le champ à mesurer. Il permet aussi de bien contrôler et minimiser l'entrefer magnétique entre l'aimant et le capteur. Un capteur prototype comprenant des éléments sensibles TMR et un circuit de conditionnement intégré est en cours de finalisation (Figure 1-40). Les premiers résultats obtenus permettent de valider les attendus du projet en termes de sensibilité, plage de champ magnétique mesurable, tenue en température et réduction de consommation électrique.

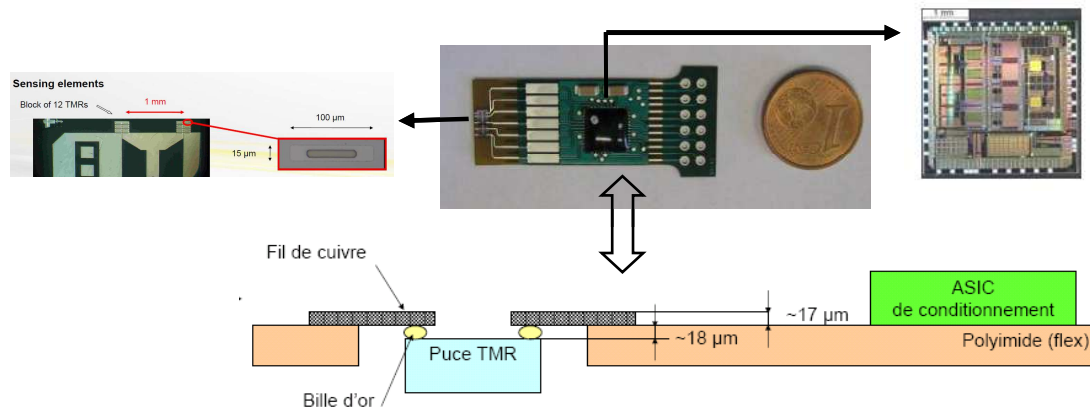


Figure 1-40. Encapsulation TAB (Tape Automated Bonding)

Afin de proposer une chaîne complète de conditionnement, un convertisseur analogique numérique est indispensable. En effet les dispositifs de traitement du signal actuels sont le plus souvent numériques car ils présentent de nombreux avantages en termes de coût, de volume de données à traiter, de flexibilité par rapport à l'application et d'immunité au bruit. Les ADC (Analog to Digital Converter) constituent donc un élément essentiel dans toutes les chaînes de traitement du signal et d'instrumentation de capteur. La suite du document s'intéressera donc à l'étude et à la conception de convertisseur analogique numérique à travers d'autres sujets, qui sont potentiellement utilisables, moyennant une adaptation, pour numériser les sorties analogiques décrites dans ce premier chapitre.

Chapitre 2

2. Convertisseur Analogique/Numérique pour application d'interface neuronale

Ce chapitre décrit la conception et la réalisation d'un convertisseur Analogique/Numérique de type SAR. Il constitue le deuxième élément étudié de la chaîne d'instrumentation de capteur. La première partie décrit le contexte du projet BCI (Brain Computer Interface) dont le but est d'interfacer le cerveau humain. Un rapide état de l'art des ADC est ensuite proposé. Il aboutit au choix de l'ADC SAR dont les caractéristiques de consommation, résolution, vitesse et surface utilisée font de lui un candidat particulièrement bien adapté à cette application. Les parties conception, simulation et test sont ensuite détaillées ainsi que des perspectives d'amélioration.

L'ADC est réalisé en technologie AMS CMOS 0.35 μ m. Il possède un convertisseur Numérique/Analogique capacitif avec une capacité d'atténuation afin de réduire le nombre total de condensateurs et ainsi la consommation. Le comparateur possède une entrée rail-to-rail et un système de préamplification avec auto zéro pour diminuer l'offset. Sa consommation est de 86 μ W pour une vitesse de 24 kS/s et 12 bits de résolution.

2.1. Introduction aux interfaces cerveau machine

Les avancées technologiques dans la fabrication de matrice d'électrodes MEA (Multi-electrode array) ont permis le développement de nouvelles architectures pour des applications neurologiques in-vitro et in-vivo. Une grande densité d'électrodes associées à un circuit intégré dans un produit compact et implémentable permet d'offrir un système de mesure d'activité cérébrale et de stimulation neuronale. De nombreuses équipes de recherche internationales travaillent d'ailleurs sur la conception de ce type d'implant en y associant traitement du signal et radio communication. Les exemples d'applications finales sont l'interfaçage homme machine ou la stimulation d'une région du cerveau afin de limiter une crise d'épilepsie. La Figure 2-1 présente quelques exemples de réalisations actuelles ainsi que les méthodes de mesures utilisées.

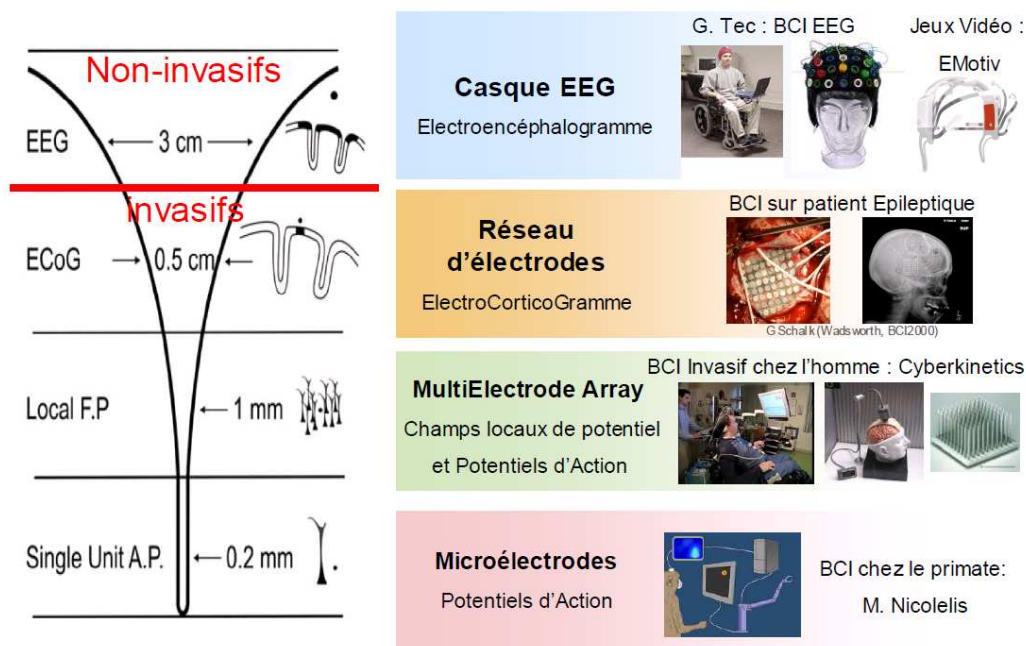


Figure 2-1. Etat de l'art des techniques de mesures et applications récentes

Les systèmes sont dits invasifs s'ils nécessitent une opération chirurgicale, et non invasifs dans le cas contraire.

Alors que des systèmes de stimulation in-vivo existent déjà, le véritable challenge est de fournir un système autonome haute résolution capable de traiter et d'enregistrer les signaux provenant d'un très grand nombre d'électrodes MEA. Pour cela, l'architecture doit embarquer une partie digitale faible consommation de traitement du signal pour réduire la quantité importante de données et ainsi permettre une transmission sans fil sur la bande passante choisie. L'implantation in vivo impose une architecture aussi petite que possible (inférieure à 5 cm^2), une consommation électrique la plus faible possible (inférieure à 80 mV/cm^2) afin de limiter tout échauffement des cellules neuronales, et un fonctionnement autonome.

Le développement de telles architectures nécessite l'intégration de beaucoup de blocs technologiques, soit sur le même substrat lorsque c'est possible, soit sur des substrats différents. La conception au niveau système est essentielle pour l'optimisation des performances, l'assemblage des différents modules ou encore la distribution des alimentations.

L'un des projets géré actuellement par le centre de recherche CLIMATEC du CEA-LETI est le projet BCI-Clinatec financé par l'Agence Nationale de la Recherche et dont le but est la réalisation d'un système de type BCI regroupé (électrodes, électronique de mesure et de

transmission, blocs d'alimentation et de transmission intégrés au même implant) capable de faire l'acquisition et la stimulation de nombreuses voies de mesure. Ce projet rassemble de nombreuses compétences au sein du CEA-LETI dont le DTBS (Département pour les Technologies de la Biologie et de la Santé), le DIHS (Département pour l'Intégration Hétérogène des Systèmes) le DCIS (Département de Conception et d'Intégration des systèmes), en partenariat avec d'autres organismes publics (CHU de Grenoble) et entreprises privées (Bio Logic Science Instruments S.A.). L'objectif à terme du projet BCI est de faire marcher un tétraplégique en lui permettant de piloter des effecteurs par la pensée.

2.2. Application et cahier des charges

Une étude système a permis de définir l'architecture d'un implant capable de réaliser la mesure des signaux EcoG. Celle-ci est présentée sur la figure ci-dessous :

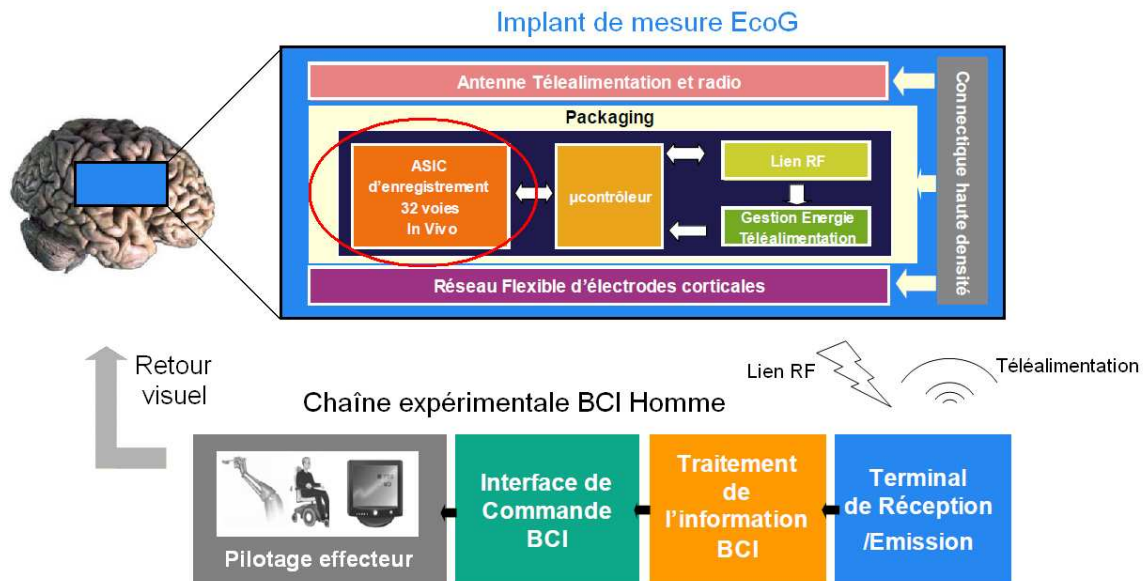


Figure 2-2. Architecture générale d'un implant de mesure

Le travail de cette thèse se focalise sur l'ASIC d'enregistrement à 32 voies et en particulier sur l'ADC. Les principales caractéristiques que l'on attend des voies de lecture sont les suivantes :

- Sécurité du patient : c'est la condition indispensable aux validations médicales. Non seulement l'implant ne doit pas générer trop de chaleur ou d'ondes, mais l'électronique embarquée doit comporter des sécurités passives ou actives qui empêcheront les retours de courant vers les électrodes.
- Filtrage : bien que la mesure de la tension DC présente sur les électrodes permette l'analyse du potentiel de repos, l'étude pratique des signaux neuronaux se fait souvent en filtrant les basses fréquences (inférieures à 1 Hz) et les hautes fréquences ne contenant aucune information utile (de quelques centaines de Hz à quelques kHz).
- Bruit : les sources de bruit, en dehors de l'amplificateur étant de l'ordre de la dizaine de micro volts rms, les amplificateurs doivent être conçus pour générer un bruit d'environ $1\mu V_{rms}$. Ceci correspond à des densités spectrales de bruit moyennes de $50\text{ nV Hz}^{-1/2}$. Ces valeurs sont relativement basses du fait de la présence de bruit en $1/f$ à ces faibles fréquences. La bande étudiée est de l'ordre de 0.5-300Hz

- Gain et distorsion : L'amplificateur doit réaliser un gain de 1000 et avoir une distorsion inférieure à 1% pour retranscrire correctement le signal. Il faut également noter qu'une faible disparité entre les gains des différentes voies apporte des avantages pour le traitement numérique.

Le synoptique général des fonctions remplies par le circuit de mesure à N voies est présenté sur la Figure 2-3:

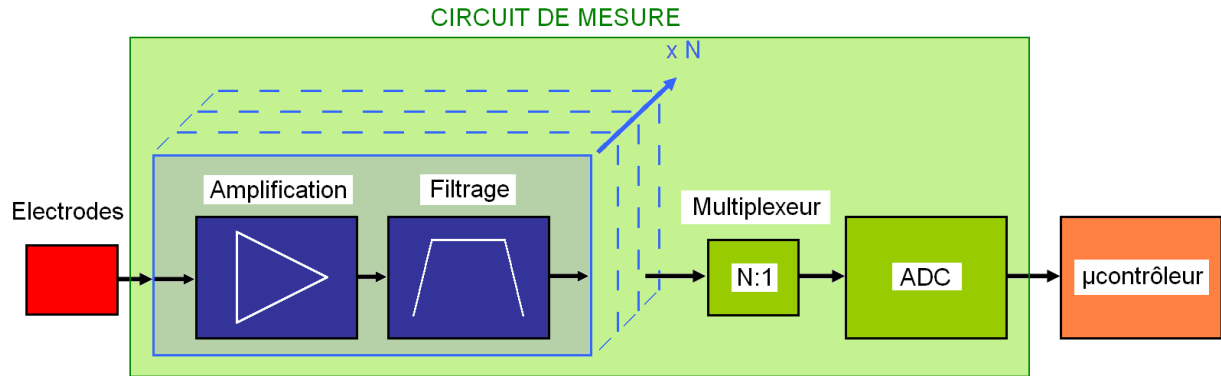


Figure 2-3. Architecture générale d'un circuit de mesure

Afin de réduire le nombre important de données et de permettre une transmission sans fil, le système intègre une mise en forme numérique des signaux grâce à un microcontrôleur. Le cahier des charges du convertisseur analogique/numérique est le suivant :

Résolution	12Bits (10 ENOB)
Nombre de voies	32
Vitesse par voie	1kS/s (3KS/s max)
Signal d'entrée après amplification	0-3,3V
Alimentation	3,3V
Puissance consommée pour toutes les voies	minimale (<150μW)
Surface	minimale (<1mm²)

En fonction de ces performances attendues, le paragraphe suivant va nous permettre de choisir l'architecture la mieux adaptée pour cette ADC.

2.3. Les Convertisseurs analogiques numériques

Les ADC font correspondre un nombre binaire B codé sur N bits à une tension d'entrée V_{in} . B étant un nombre entier il peut correspondre à plusieurs valeurs de V_{in} . Un convertisseur est caractérisé par plusieurs propriétés qui définissent ses performances et dont il faut tenir compte pour l'application désirée.

2.3.1. Caractéristiques d'un convertisseur :

- **Le bruit de quantification** : La conversion ou la quantification d'un signal analogique en un signal discret induit une erreur systématique. Cette erreur est due à la différence entre la valeur réelle du signal d'entrée et la valeur numérique disponible en sortie. On appelle cette erreur le bruit de quantification. La Figure 2-4 illustre ce

phénomène. Δ représente le pas de quantification, ce qui entraîne une erreur de quantification égale à $\pm \Delta/2$ si le signal d'entrée reste dans la zone de non saturation du quantificateur.

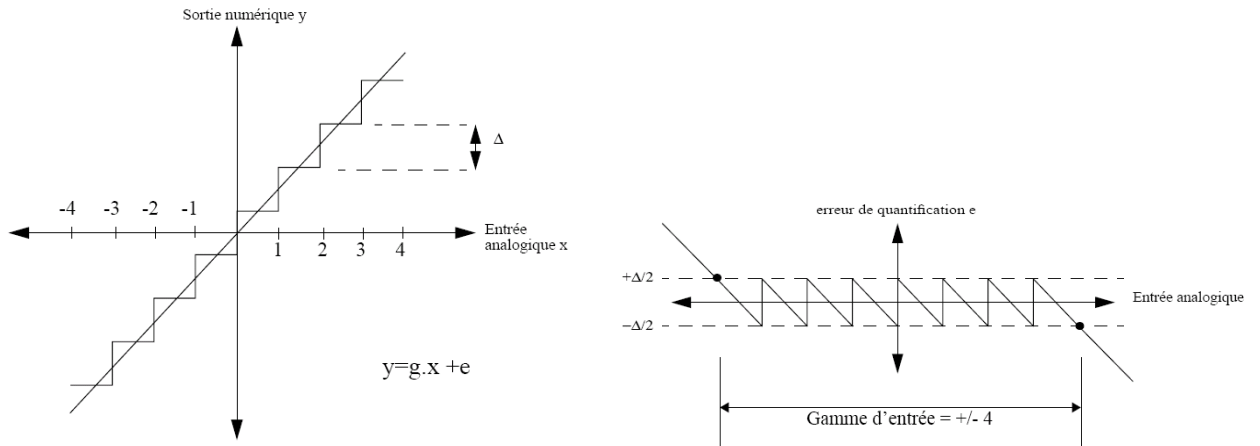


Figure 2-4. Principe de quantification et erreur de quantification

En supposant que le bruit de quantification est blanc on peut considérer que la probabilité d'erreur est répartie de façon uniforme sur l'intervalle $[-\Delta/2, \Delta/2]$, la variance peut s'exprimer par :

$$\sigma_q^2 = \frac{1}{\Delta} \int_{-\frac{\Delta}{2}}^{\frac{\Delta}{2}} q^2 dq = \frac{\Delta^2}{12} \quad (22)$$

Ce qui correspond à une densité spectrale de bruit (DSP) pour une fréquence d'échantillonnage f_s :

$$E_q^2(f) = \frac{\sigma_q^2}{f_s} = \frac{\Delta^2}{12 f_s} \quad (23)$$

- **Résolution** (exprimée en nombre de bits ou en % de la pleine échelle) : elle définit la valeur de la variation de la tension d'entrée donnant lieu à une variation d'une unité de la donnée numérique présente en sortie. En d'autres termes, si un convertisseur a une résolution de n bits, la tension d'entrée continue (infinité de valeurs possibles) ne pourra être codée que sur $(2^n)-1$ valeurs en sortie.
- **Effective Number of Bit (ENOB)**: c'est une mesure de la performance réelle d'un convertisseur A/D après avoir pris en compte les sources d'erreurs diverses (bruit, mismatch...) et des non-linéarités .
- **Erreur d'offset**: C'est la tension de décalage du zéro. Ce paramètre est réglable par des structures spéciales intégrées aux amplificateurs utilisés. Voir Figure 2-5
- **Erreur de gain**: L'erreur de gain caractérise la différence de tension pleine échelle entre un convertisseur idéal et un convertisseur réel. Voir Figure 2-5

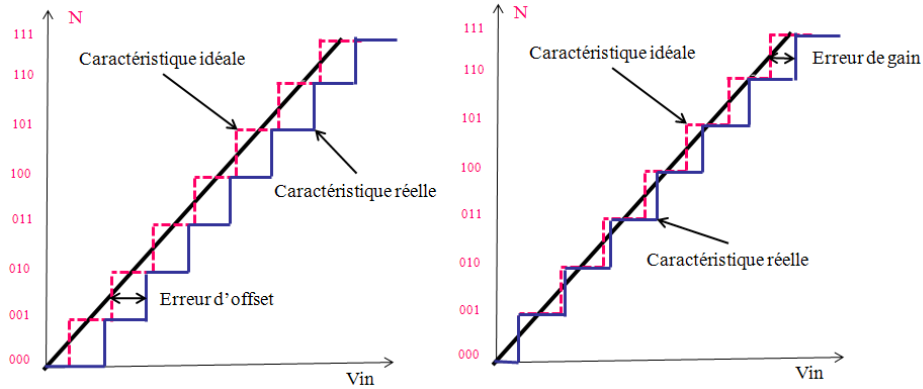


Figure 2-5. Représentation des erreurs d'offset et de gain

- **Erreur de linéarité différentielle (Differential nonlinearity (DNL)):** Elle est définie pour chaque palier du convertisseur. Elle représente la différence de hauteur de marche pour chaque mot de sortie par rapport à la caractéristique réelle entre deux paliers. On l'exprime en LSB (Less Significant Bit) qui correspond à la différence entre deux paliers. Une $DNL > \pm 1 \text{ LSB}$ garantit un ADC sans code manquant
- **Erreur de linéarité intégrale (Integral nonlinearity (INL)):** Elle est définie comme la différence entre la caractéristique réelle et la caractéristique idéale du convertisseur, avec annulation des erreurs de gain et d'offset. On l'exprime également en LSB.

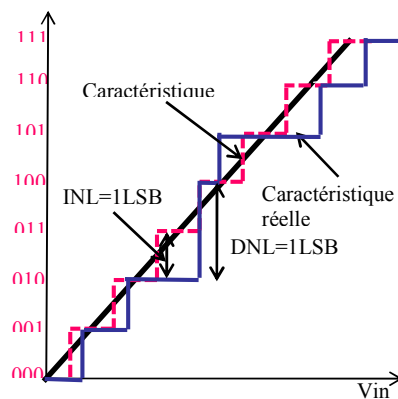


Figure 2-6. Représentation de l'INL et du DNL

1. **Temps de conversion:** Durée écoulée (T_c) entre l'instant d'apparition de l'impulsion de début de conversion et l'instant où la donnée est disponible sur le bus de sortie. Cette caractéristique limite la fréquence d'échantillonnage F_s du convertisseur selon l'équation ci-dessous :

$$F_{s_{\max}} = \frac{1}{T_c} \quad (24)$$

- **Figure Of Merite (FOM) :** C'est un critère de qualité et de comparaison pour les convertisseurs analogiques/numériques.

$$FOM = \frac{POWER}{2^{ENOB} F_s} \quad (25)$$

2.3.2. Les différents ADC

On dénombre plusieurs types de convertisseurs tels que le flash, le pipeline, le sigma-delta, le SAR... Chacun d'entre eux a des caractéristiques propres et correspond à certaines applications. Le paragraphe ci-dessous résume les différentes structures d'ADC afin de sélectionner la plus adaptée à notre application.

2.3.2.1. Convertisseurs flash

L'architecture flash [18] [19] [20] ou parallèle est l'architecture de convertisseurs la plus rapide. Un ADC flash à n bits de résolution est basiquement constitué de $2^n - 1$ comparateurs et du même nombre de signaux de référence appelés V_{ref} . La Figure 2-7 illustre un ADC flash à 2 bits. L'ordre des seuils est croissant de V_{ref1} à V_{refn} . Chaque comparateur compare l'échantillon du signal d'entrée à la référence (V_{ref}) qui lui est assignée. Ainsi, chaque comparateur génère un signal en sortie indiquant si le signal est supérieur ou inférieur à sa référence. La variation des sorties des comparateurs est similaire à celle du mercure dans un thermomètre, d'où le nom du code en thermomètre. Les comparateurs dont la sortie est à 1 sont tous en bas et les zéros sont tous en haut, la limite entre les « zéros » et les « uns » (ou le nombre de comparateurs à 1) détermine la valeur du signal. Un encodeur sert à convertir le code thermomètre en code binaire.

Cette architecture montre ses limitations dès lors que la résolution dépasse les 8 bits. Le nombre de comparateurs requis pour des hautes résolutions devient très grand ($2^N - 1$) ce qui conduit à une surface du circuit importante, une forte consommation et une capacité d'entrée très élevée. De plus les erreurs sur les tensions de référence viennent s'ajouter à l'offset des comparateurs qui doit être inférieur à $\frac{1}{2}$ LSB, cette valeur est très petite pour des grandes résolutions.

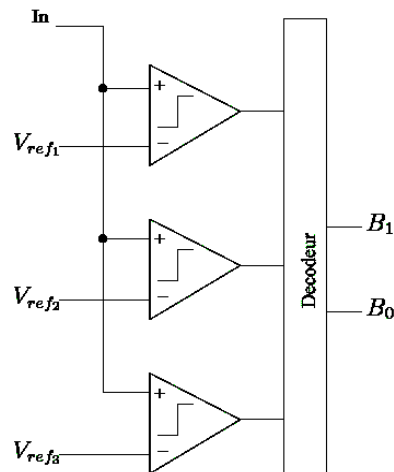


Figure 2-7. ADC Flash

2.3.2.2. Convertisseurs Demi-flash

La principale idée de cette architecture est de réduire le nombre de comparateurs d'un ADC flash [31] [32]. Comme on le voit sur la Figure 2-8, la conversion est effectuée en deux étapes par deux ADC flash de résolution $2^{N/2}$ chacun. Le nombre total de comparateurs est $2 \times (2^{N/2} - 1)$ au lieu de $2^N - 1$ comparateurs par rapport à un Flash traditionnel. Durant la 1ère étape, les bits de poids fort (Most significant bits –MSB) sont déterminés par le 1er ADC flash. Ensuite, un ADC reconvertit ces bits en signal analogique qui sera soustrait au signal d'entrée. Le

résultat de soustraction amplifié, appelé résidu, est envoyé au 2eme ADC flash qui déterminera les bits de poids faible.

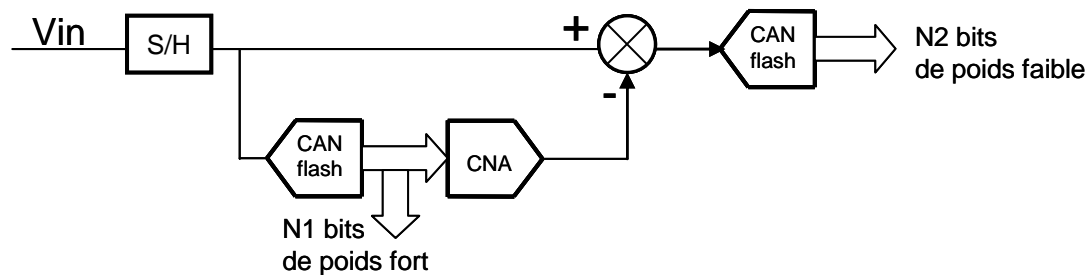


Figure 2-8. ADC Demi-flash

2.3.2.3. *Convertisseurs Pipeline*

Un convertisseur pipeline est un autre type de convertisseurs à multiples étages [33] [34] [35]. Cependant, l'architecture des étages a été modifiée dans le but d'augmenter la fréquence de conversion et diminuer les contraintes sur les comparateurs. Ce type d'ADC est composé d'une cascade d'étages dits pipeline identiques de faible résolution (1 à 3 bits). Chaque étage inclut un échantillonneur-bloqueur (E/B) et un amplificateur (Figure 2-9). A chaque coup d'horloge, on effectue n conversions en parallèle, n étant le nombre d'étages. En traversant le convertisseur (en n clocks), la tension d'entrée est convertie en commençant par les bits de poids forts et finissant par les bits de poids faibles.

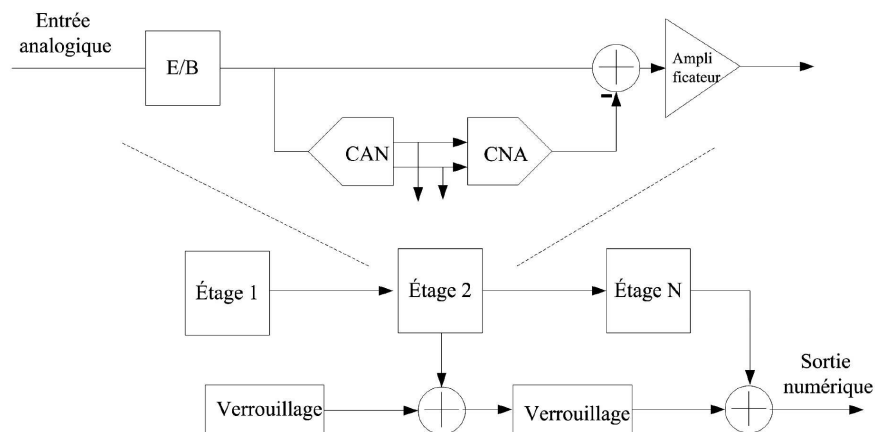


Figure 2-9. ADC Pipeline

Le plus souvent réalisés en technologie CMOS, les ADC pipeline présentent un bon compromis entre performance, consommation et coût. Ils fonctionnent à plusieurs dizaines ou centaines de MS/s pour des résolutions de 10 à 14 bits.

2.3.2.4. Convertisseurs simple rampe analogique

Dans les convertisseurs à rampe [36] [37] la tension analogique d'entrée est convertie en une durée qui est mesurée à l'aide d'une horloge et d'un comparateur. Le principe de fonctionnement de cette architecture à simple rampe est montré sur la Figure 2-10. A l'aide d'un comparateur, on compare une rampe à la tension d'entrée. Un compteur commence à s'incrémenter lorsque le signal de la rampe passe sur le niveau zéro. Le comptage est arrêté par un basculement du comparateur indiquant que le signal de rampe est supérieur à la

tension d'entrée. Le mot binaire du compteur correspond alors à la valeur numérique du signal analogique.

L'avantage de cette technique est sa simplicité et la grande résolution qu'elle peut permettre d'atteindre. Son inconvénient majeur est sa lenteur du fait que sa vitesse de conversion dépend de l'amplitude du signal. Ce type d'ADCs trouve des applications dans les multimètres numériques et les dispositifs de mesures précises ne nécessitant pas de vitesse élevée.

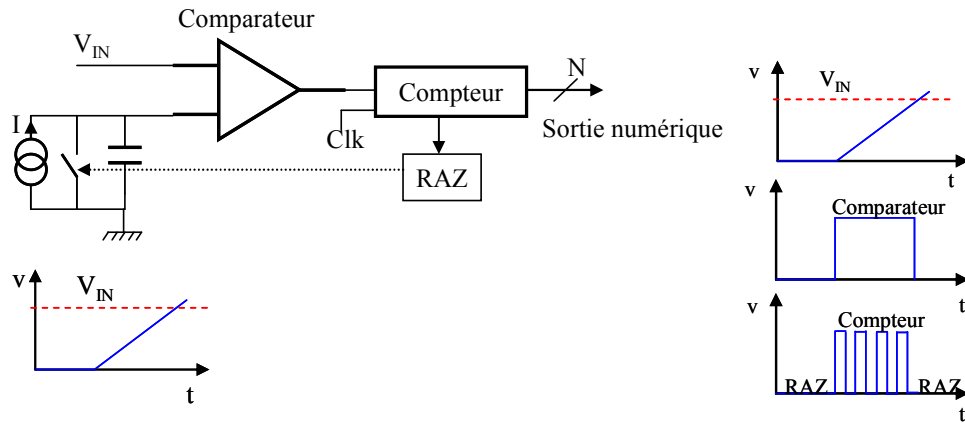


Figure 2-10. ADC simple rampe analogique

2.3.2.5. Convertisseurs à intégration numérique

Dans ce cas, on remplace l'intégrateur analogique par un convertisseur Numérique Analogique [38]. La rampe est ainsi réalisée de manière numérique. Le temps n'intervient plus comme variable. Le compteur part de zéro, et compte jusqu'à ce qu'il atteigne une valeur très proche de celle correspondant à la tension d'entrée.

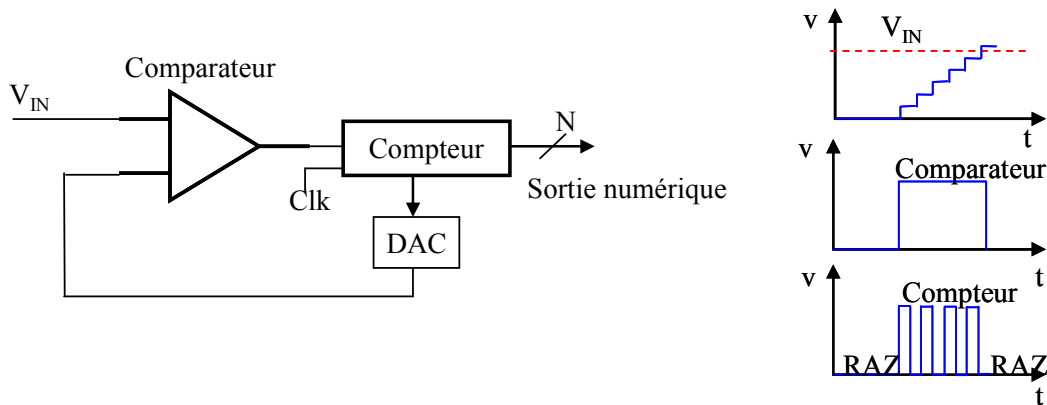


Figure 2-11. Convertisseurs à intégration numérique

2.3.2.6. Convertisseurs à double rampe

On effectue ici une double intégration de manière à faire s'annuler les erreurs dues aux composants [39] [40] :

-Phase 1: On charge une capacité pendant un temps T_0 , fixé, sous la tension à mesurer. T_0 représente un cycle complet du compteur. $V_m = (V_{in}/RC).T_0$

-Phase 2 : On décharge la capacité sous une tension fixée V_{ref} . Durant cette décharge, on incrémente un compteur (n bits) qui une fois la décharge terminée, sera l'image numérique de la tension à quantifier. $V_m = (V_{ref}/RC).T_2$

On notera qu'il faut que V_{ref} et V_{in} soient de signe opposé.

On s'affranchit de l'incertitude sur la capacité. Seule la tension de référence intervient dans la mesure ainsi que le nombre (N) d'impulsions. $V_{in} = (T_2/T_0).V_{ref}$

Ces convertisseurs offrent une bonne résolution, mais sont très lents. En instrumentation basse fréquence, on peut atteindre une résolution de 18 bits. On ne peut espérer des temps de conversion très courts car il faut au moins $2 \cdot 2^N$ cycles d'horloge par acquisition.

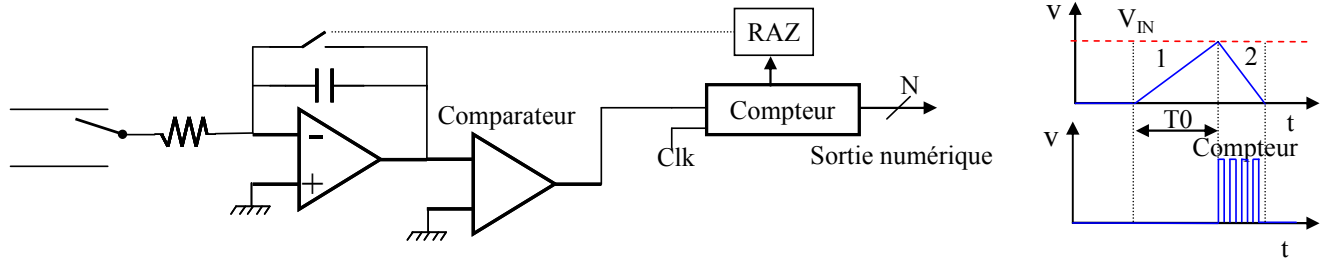


Figure 2-12. Convertisseurs à double rampe

2.3.2.7. Convertisseurs à approximations successives

Les convertisseurs par approximations successives [23] [26] réalisent la conversion par comparaison en plusieurs étapes. A chaque étape, le résultat de cette comparaison est stocké dans un registre, jusqu'à l'obtention du résultat final. Le principe consiste à comparer la tension du signal d'entrée avec une tension issue d'un registre après conversion numérique analogique (DAC). Le schéma bloc de la Figure 2-13 montre le fonctionnement d'un tel convertisseur. Au départ le MSB du registre est mis à 1 et les autres bits sont à 0. Ainsi, la tension en sortie du DAC est égale à la moitié de la pleine échelle. Si la tension d'entrée est inférieure à cette valeur, le MSB est mis à 0. A son tour, le bit suivant sera mis à 1 et une nouvelle comparaison avec le signal d'entrée sera faite, jusqu'au dernier bit du registre. Une résolution de N bits implique une durée de conversion minimale de N cycles d'horloge. Son principal inconvénient est donc le temps de conversion, qui limite ses performances à quelques MS/s environ. En dépit de sa lenteur, ce convertisseur présente l'avantage d'être simple à réaliser et d'avoir une surface modérée. Il permet d'atteindre des résolutions jusqu'à 12 bits sans calibration avec de bonnes performances en termes de INL et DNL. Le temps de conversion est constant.

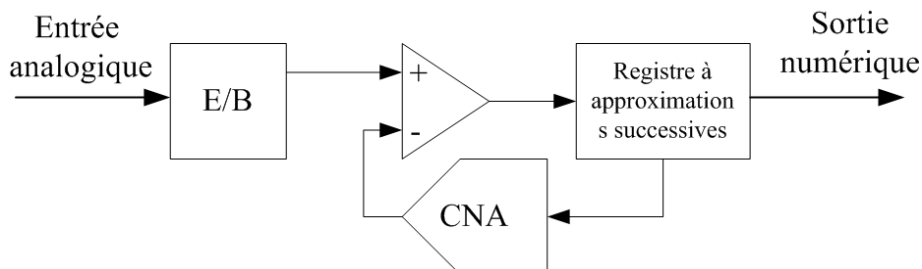


Figure 2-13. ADC SAR (Successive approximation register)

2.3.2.8. Convertisseurs Sigma/Delta

Les convertisseurs Sigma Delta forment une classe à part de convertisseurs analogiques numériques appelées convertisseurs à suréchantillonnage. En effet, le fait de

suréchantillonner l'entrée au-delà de la fréquence de Nyquist, puis de filtrer la sortie numérique en ne conservant que la bande utile du signal permet d'augmenter le rapport signal sur bruit. Cependant, le fait que la fréquence de suréchantillonnage ne peut pas être augmentée indéfiniment constitue la limite de la technique de suréchantillonnage et de filtrage. Ainsi, une autre technique vient alors s'ajouter au processus de suréchantillonnage : la modulation Sigma Delta [19]. Cette technique consiste à mettre en forme le bruit de quantification afin de réduire son énergie dans la bande utile du signal (cf ANNEXE :théorie sur les Sigma-Delta). Un filtre décimateur vient s'ajouter au modulateur pour filtrer le bruit hors de la bande utile du signal et ramener le fonctionnement du système à la fréquence de Nyquist. Le convertisseur Sigma Delta utilise un quantificateur basse résolution (souvent un seul bit), cadencé à des taux considérablement plus élevés que ceux demandés par le critère de Nyquist ($\times 16$ à $\times 1024$). Le quantificateur crée un grand nombre d'échantillons basse résolution qui sont moyennés au cours du temps. En choisissant une quantification sur un bit (deux niveaux logiques), la conception analogique est potentiellement plus simple [20]. Dans le domaine numérique, un filtre décimateur est nécessaire pour reconstruire les données de sortie à la fréquence de Nyquist et retirer le bruit hors bande. La Figure 2-14 montre un convertisseur exploitant un bloc modulateur de premier ordre suivi du filtre décimateur. Il comprend un soustracteur, un intégrateur et un comparateur. La sortie du comparateur alimente un DAC 1 bit qui ferme la boucle de contre-réaction du modulateur. Ce dernier exerce donc la comparaison du signal d'entrée avec un niveau de référence issu du DAC qui commute entre $\pm V_{ref}$. Le comparateur est cadencé à la fréquence de suréchantillonnage.

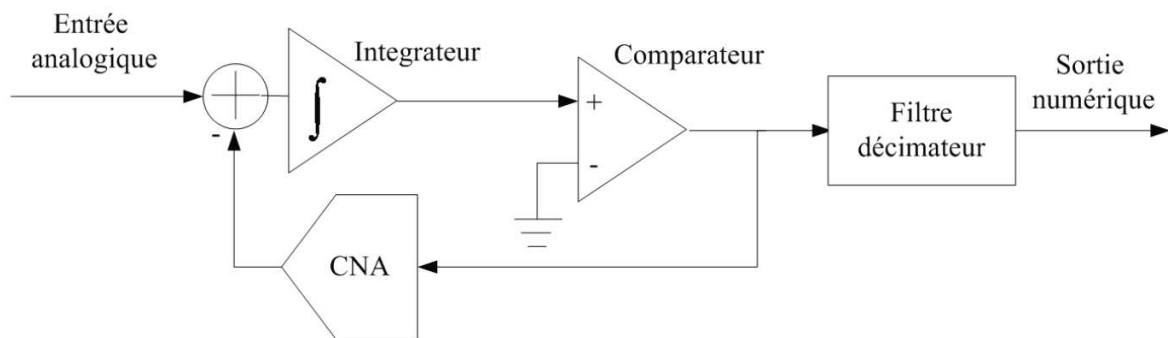


Figure 2-14. ADC Sigma-Delta (Σ/Δ)

Moyennant un gain de boucle suffisant, le modulateur fournit un flux binaire dont la densité de 0 et de 1 est une représentation numérique directe du niveau d'entrée analogique. Les erreurs de quantification au sein du modulateur limitent la plage dynamique. Pour un ADC, l'augmentation de la résolution est obtenue par l'obtention d'un équilibre entre le taux de suréchantillonnage, l'ordre du modulateur, et la résolution du quantificateur [19] [21]. Plus l'ordre du modulateur est élevé, meilleur sera le SNR. Le problème majeur lors de la conception de tels convertisseurs est que dès qu'un ordre élevé (supérieur à deux) est visé, il se pose des problèmes de stabilité [19]. En effet le quantificateur est un élément non linéaire dont la modélisation n'est plus assez précise. En pratique, au détriment du SNR, plus l'ordre augmente plus la dynamique du signal analogique d'entrée doit diminuer afin de conserver la stabilité.

2.3.2.9. Bilan

La Figure 2-15 présente une comparaison des performances de récents ADC de différents types (cf [41]) en termes de nombre effectif de bits en fonction de la fréquence (a) et de puissance consommée en fonction de la fréquence (b).

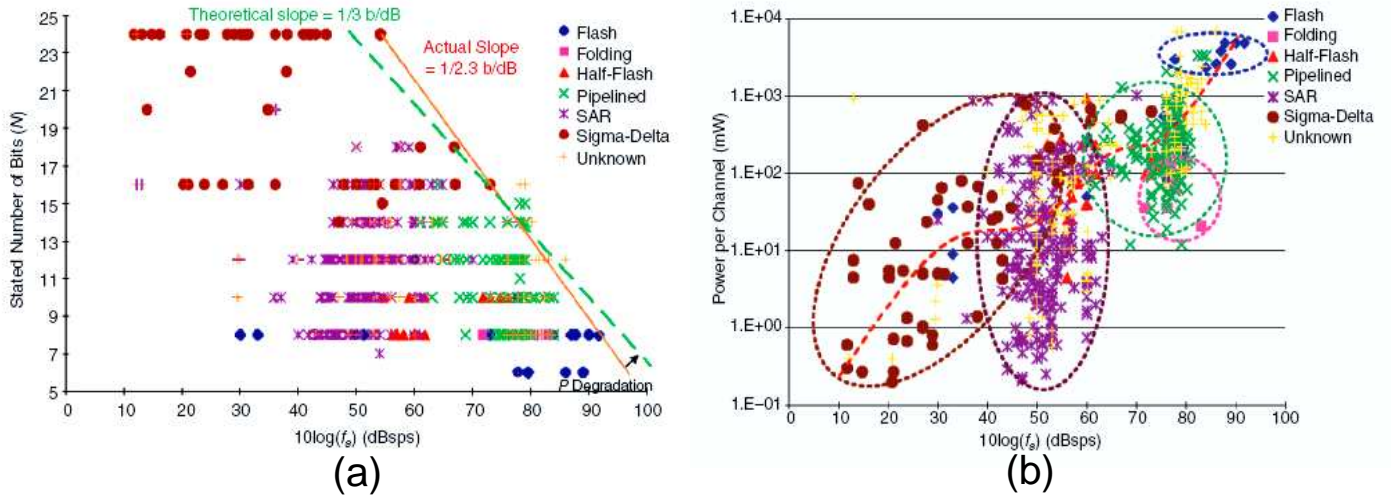


Figure 2-15. Comparatif des performances des différents types d'ADC

Le tableau ci-dessous présente un résumé des performances des ADC précédemment présentés.

	Flash	SAR	Pipeline	Sigma/delta	Double rampe
Vitesse	rapide	moyenne	rapide	moyenne	lent
Consommation	forte	faible	forte	moyenne	moyenne
Surface	grande	moyenne	moyenne	moyenne	faible
Résolution	faible	moyenne	moyenne	grande	moyenne

Tableau 2-1. Résumé des performances ADC

Il apparaît que les convertisseurs SAR et Sigma/Delta sont de bons candidats pour des applications faible puissance avec une vitesse et résolution modérées. Dans le cas de notre technologie 0.35 μ M, l'ADC SAR apparaît comme la solution la plus avantageuse. En effet la surface nécessaire à la réalisation du filtre décimateur (synthèse numérique) du sigma delta est prédominante par rapport à la surface de la partie analogique.

De nos jours les convertisseurs SAR sont très fréquemment utilisés dans le domaine biomédical [42] [43] [45]. La suite du document est l'étude de la conception et des choix architecturaux d'un ADC SAR.

2.4. Choix du nombre d'ADC par voie

Avant de commencer la conception de l'ADC et de choisir l'architecture de chaque bloc, il est nécessaire de fixer le nombre d'ADC utilisé pour les 32 voies de lecture ce qui fixera ses spécifications. Plusieurs solutions sont possibles et les deux solutions extrêmes avec leurs avantages et inconvénients sont résumées ci-dessous :

	1 ADC par voie	1 ADC globale
Avantages	-32 voies autonomes	-Faible surface utilisée
	-un fonctionnement moins rapide donc moins de risque lors de la conception et donc une conception plus robuste.	-ADC performant
Inconvénients	-grande surface utilisée	-Conception d'un multiplexeur et voie asynchrone
		-Vitesse=contrainte pour la conception

Le tableau ci-dessous récapitule tout les cas de figure. :

Vitesse par voie (S/s)	Résolution (bits)	Nombre d'ADC envisagé	Nombre de voies par ADC	Puissance max par ADC (W)	Fréquence par ADC (kS/s)	Fréquence Horloge (kHz)
3,00E+03	12	1	32	5,00E-04	96	1344
3,00E+03	12	2	16	2,50E-04	48	672
3,00E+03	12	4	8	1,25E-04	24	336
3,00E+03	12	8	4	6,25E-05	12	168
3,00E+03	12	16	2	3,13E-05	6	84
3,00E+03	12	32	1	1,56E-05	3	42

La configuration retenue est un compromis en terme de complexité, de performance et de surface silicium: 4 ADC pour 32Voies qui fonctionnent à 24KS/s chacun (Figure 2-16).

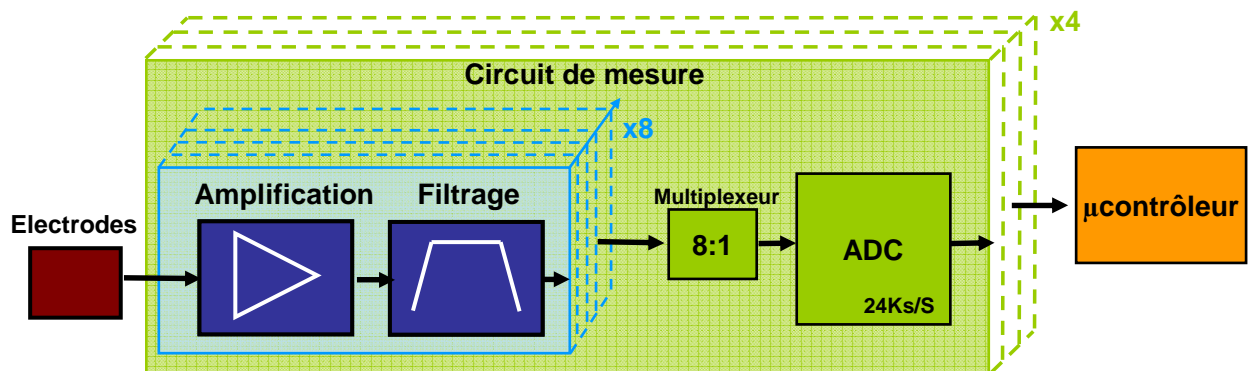


Figure 2-16. Configuration de l'ADC retenue dans son environnement

2.5. Etat de l'art ADC SAR

Un ADC SAR est généralement composé des éléments suivants:

- un registre à décalage et un registre résultat dont le but est d'essayer un à un tous les bits.
- un DAC (Digital to Analog Converter) qui convertit la valeur numérique du registre à décalage en tension analogique.
- Un comparateur qui compare la tension d'entrée V_{in} à convertir à la tension générée par le DAC.
- Un Sample and Hold.

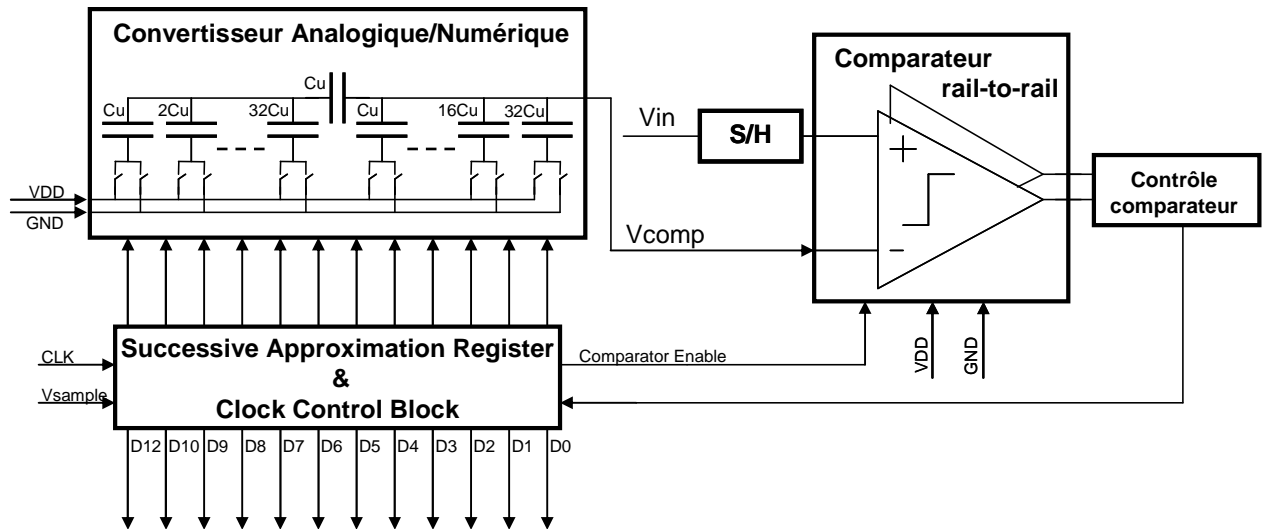


Figure 2-17. ADC SAR rail-to-rail

Une conversion sur N bits nécessite N comparaisons. On commence par le MSB que l'on met à 1 dans le registre à décalage et dans le registre résultat. Le DAC reconvertit la demi dynamique le premier coup. Si la tension d'entrée est supérieure à la tension fournie par le DAC, on sauvegarde le bit à 1, sinon on le remet à zéro dans le registre résultat. On décale d'un bit et on recommence. On n'utilise qu'un seul comparateur, mais il supporte toute la dynamique.

La suite du paragraphe décrit les contraintes et les choix d'architecture pour ces différents blocs.

2.5.1. DAC à Réseaux capacitif

Il existe plusieurs architectures de DAC (à résistances, capacités ou courants pondérés) mais les plus couramment utilisées pour les ADC SAR dans les applications à faibles consommation sont les réseaux capacitifs. Par rapport aux réseaux résistifs ou à courant pondéré, ils présentent l'avantage de peu consommer et d'être faible bruit. Leurs vitesses sont limitées par les temps de chargement des condensateurs. Ces temps sont régis par le couple RC formé par la résistance R_{on} de l'interrupteur et la capacité à charger. Pour des condensateurs de faibles valeurs, les temps de chargement restent négligeables pour notre application. Enfin, ils possèdent une consommation statique nulle.

La réalisation du réseau capacitif est un élément clef dans la mesure où cela impacte directement sur la linéarité de l'ADC. En effet, le principe du convertisseur repose sur la

précision des rapports entre les capacités du réseau, et toute erreur de matching sur les capacités donne une variation dans le pas du convertisseur. Pour avoir la meilleure linéarité possible, les capacités seront toutes formées d'une même capacité unitaire. La suite de cette partie propose d'étudier les différentes architectures de réseaux capacitifs afin de sélectionner la plus adaptée à nos spécifications.

2.5.1.1. Réseau capacitif classique

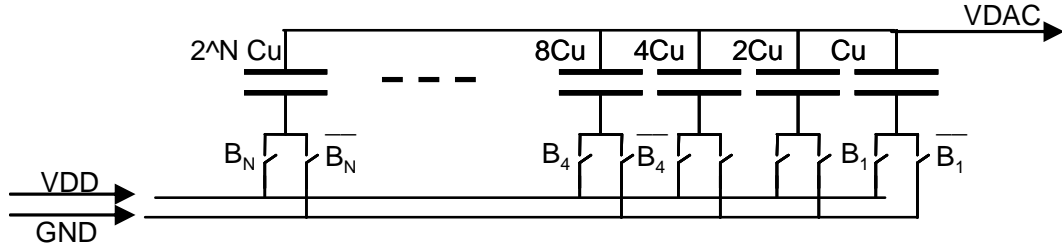


Figure 2-18. DAC capacitif classique

Dans sa version la plus classique, le DAC est composé de 2^N condensateurs en parallèle pour une résolution de N bits. Le fonctionnement de ce DAC est assez simple et sa schématique équivalente pour une valeur finale donnée peut être représentée par le montage ci-dessous :

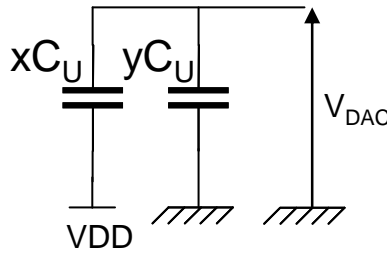


Figure 2-19. Schématique équivalente du DAC capacitif classique

En négligeant les effets des interrupteurs non-idéaux, le DAC se résume à un rapport capacitif qui dépend du code binaire d'entrée.

Ainsi,
$$V_{DAC} = \frac{x}{x+y} VDD \quad (26)$$

avec $x = \sum_{k=0}^{N-1} B_k \times 2^k$ et $y = \sum_{k=0}^{N-1} \overline{B_k} \times 2^k$

Où $k=[0 : N-1]$, $k=0$ correspond au LSB et $k=N-1$ correspond au MSB,

B_k est la valeur des Bits k égaux à 1 et $\overline{B_k}$ vaut 1 quand les Bits k sont à 0.

Le principal inconvénient de ce montage est le nombre important de capacités unitaires nécessaires pour atteindre de grandes résolutions. En effet, à chaque fois que l'on augmente la résolution d'un bit, on multiplie par 2 le nombre de capacités unitaires. De plus, il est aussi nécessaire d'augmenter la taille de cette capacité unitaire afin qu'elle corresponde aux nouvelles contraintes en bruit et en matching imposées par une résolution plus grande, et donc un LSB plus petit.

Pour les fortes résolutions (>12), cela devient vite un facteur limitant en terme de consommation et de surface silicium.

Certaines architectures proposent de diminuer la taille des condensateurs grâce à un calibrage post fonderie pour corriger les erreurs de dispersion [44].

Pour palier le problème de surface il est aussi possible d'utiliser un réseau de type C-2C. Il s'agit du même type d'architecture utilisé dans le chapitre 1 avec des résistances (montage R-2R) pour réaliser les gains variables. La structure C-2C est détaillée ci-après.

2.5.1.2. Réseau capacitif C-2C

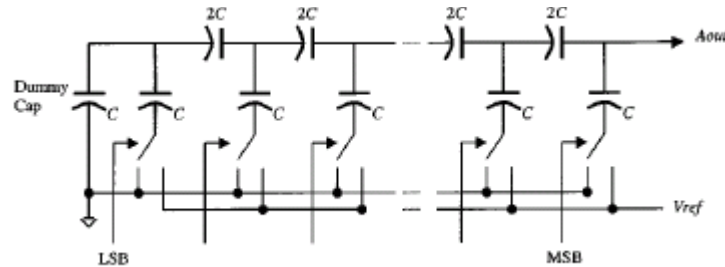


Figure 2-20. DAC capacitif C-2C

Cette architecture [22] ne contient que $(3*N + 1)$ condensateurs unitaires. Les rapports capacitifs sont les mêmes que dans l'architecture précédente mais la valeur de la capacité équivalente est de l'ordre de grandeur d'une capacité unitaire. En effet, la présence des capacités en série subdivise à chaque fois la somme des capacités parallèles. Cela présente l'avantage de pouvoir charger ce réseau facilement grâce à une demande en courant faible et constante. Cependant, ce montage est plus sensible aux capacités extérieures. Par exemple, si on connecte sa sortie en entrée d'un amplificateur, une légère chute de tension se produit à cause du couplage capacitif non négligeable lié à la capacité d'entrée de l'amplificateur.

Un autre inconvénient est que les condensateurs des filières silicium de type poly-Si/Poly-Si possèdent des capacités parasites (C_{p+} et C_{p-}) aux interconnexions. En Cmos 0.35um Ams, la capacité parasite C_{p-} représente 12.2% de la valeur nominale ($0.105fF/um^2$ pour $0.86fF/um^2$).

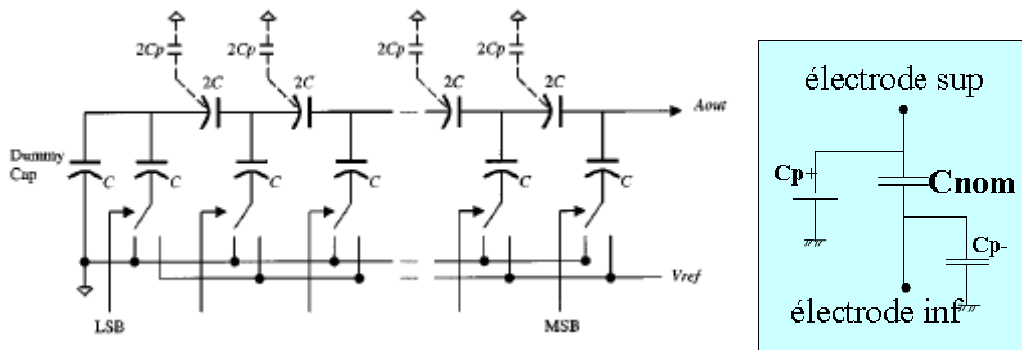


Figure 2-21. DAC capacitif C-2C avec parasites

Ces capacités parasites entraînent des erreurs de linéarité au-delà du LSB. Pour profiter du faible nombre de condensateurs de cette architecture, on trouve dans la littérature des méthodes de compensation des capacités d'interconnexion Figure 2-21 . Pour cela on introduit une capacité de compensation αC ainsi qu'une référence αV_{ref} afin d'obtenir un C-2C équivalent avec $\alpha = \frac{1}{1-2\lambda}$ et $\lambda = \frac{C_p}{C}$. Cette méthode a cependant 3 principaux inconvénients :

- Il faut connaître précisément la valeur des capacités parasites

- Il faut créer une tension αV_{ref} précise. (Pompe charge si $V_{ref} = V_{alim}$)
- La compensation est plus ou moins efficace en fonction des variations des paramètres technologiques

Une autre alternative est d'utiliser des condensateurs de type Métal-Métal disponible sous le nom de CMIM en 0.35um AMS. Ceux-ci ne possèdent pas de capacités parasites. Par contre, la valeur de leur facteur d'appariement (« Capacitor Matching parameter ») est plus importante que pour les capacités Cpoly. Plus ce facteur est grand, plus les dimensions des condensateurs devront eux aussi être grandes pour garantir un bon appariement. La capacité par densité de surface (« Area capacitance ») étant aussi plus importante pour les CMIM, la valeur unitaire minimale d'un condensateur CMIM pour assurer un bon matching est environ 6 fois supérieure à celle d'un CPOLY et la consommation s'en retrouve directement impactée (cf Tableau 2-2)

2.5.1.3. Réseau capacitif à atténuation

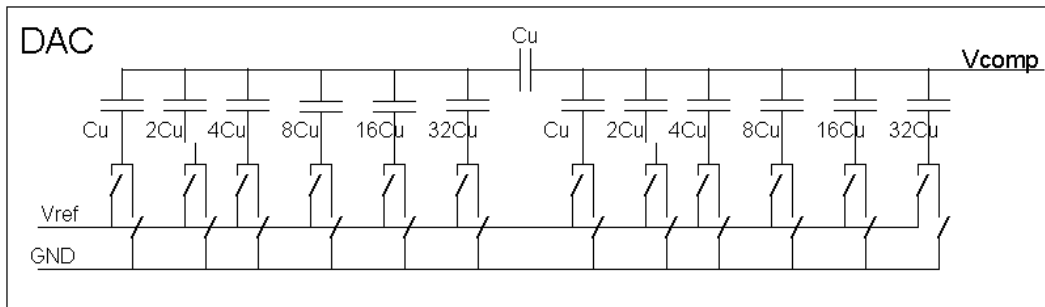


Figure 2-22. DAC à Atténuation 12 Bits

Ce réseau [23] [45] tend à retenir les qualités du réseau C-2C (faible surface) et du réseau parallèle (bon matching). On peut le voir comme un réseau principal et un sous-réseau et les deux sont reliés par une capacité centrale de valeur unitaire. En poly-poly silicium, la capacité parasite du condensateur central qu'on appellera condensateur à atténuation est reliée aux 2^{N-1} condensateurs vus en parallèle. Cette capacité est donc négligeable mais il en résulte tout de même une légère dérive de la linéarité différentielle comme on peut le voir sur la Figure 2-24(b) Sur notre Dac 12 bits (2×6 bits), on a une erreur max de 0.100uV tous les 64 (2^6) pas d'incrémentations. Cela correspond à une erreur maximale intrinsèque à l'architecture de 12% d'un LSB 12bits.

Si on néglige les effets des Switch non idéaux, on peut modéliser le DAC au moment de sa valeur finale par la schématique équivalente :

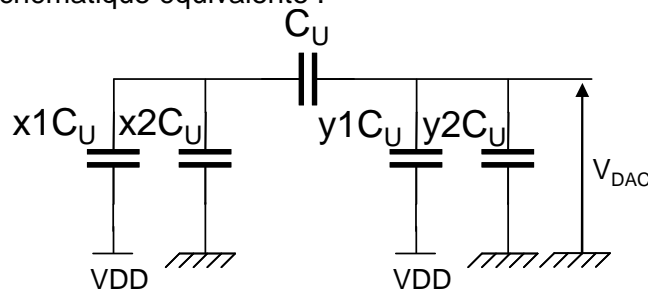


Figure 2-23. Schématique équivalente du DAC capacitif à atténuation

avec
$$x1 = \sum_{k=0}^{\lfloor N/2 \rfloor - 1} B_k \times 2^k, \quad x2 = \sum_{k=0}^{\lfloor N/2 \rfloor - 1} \overline{B_k} \times 2^k, \quad y1 = \sum_{k=N/2}^{N-1} B_k \times 2^{k-(N-1)},$$

$$y2 = \sum_{k=N/2}^{N-1} \overline{B_k} \times 2^{k-(N-1)}$$

Par le théorème de Milleman, on trouve :

$$V_M = \frac{V_{DAC} * Y_{C_U} + V_{DD} * x1 * Y_{C_U}}{x1 * Y_{C_U} + x2 * Y_{C_U} + Y_{C_U}} \quad (27) \text{ et } V_{DAC} = \frac{V_M * Y_{C_U} + V_{DD} * y1 * Y_{C_U}}{Y_{C_U} + y1 * Y_{C_U} + y2 * Y_{C_U}} \quad (28)$$

Ce qui nous donne :

$$V_{DAC} = \frac{Y_{C_U} * (V_{DAC} * Y_{C_U} + V_{DD} * x1 * Y_{C_U})}{Y_{C_U} (1 + x1 + x2) * Y_{C_U} (1 + y1 + y2)} + \frac{V_{DD} * y1 * Y_{C_U}}{Y_{C_U} (1 + y1 + y2)} \quad (29)$$

$$\Leftrightarrow V_{DAC} * \left(1 - \frac{1}{(1 + x1 + x2) * (1 + y1 + y2)}\right) = V_{DD} \frac{x1 + y1 * (1 + x1 + x2)}{(1 + x1 + x2) * (1 + y1 + y2)}$$

$$\Leftrightarrow V_{DAC} = V_{DD} \frac{x1 + y1 * (1 + x1 + x2)}{(1 + x1 + x2) * (1 + y1 + y2) - 1} \quad (30)$$

on peut aussi écrire cette équation par
$$V_{DAC} = V_{DD} \frac{x1 + y1 * (2^{\frac{N}{2}})}{2^N - 1} \quad (31)$$

Pour vérifier ce résultat, on trace cette équation. On retrouve bien le fonctionnement idéal Figure 2-24(a). Si maintenant on rajoute les capacités parasites d'interconnexion, on trouve la linéarité différentielle Figure 2-24(b) .

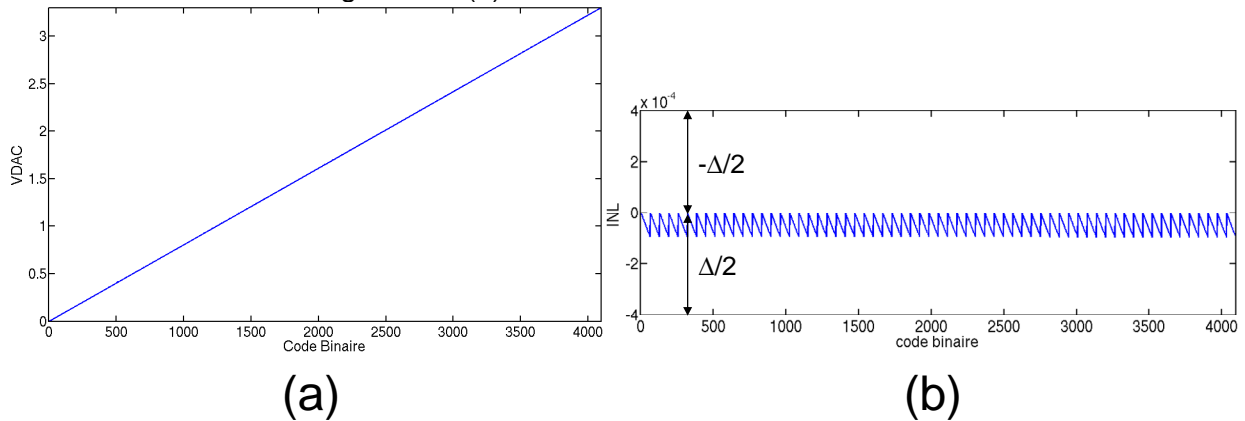


Figure 2-24. Sortie DAC à atténuation (a), linéarité différentielle (b)

La linéarité différentielle théorique de ce montage n'est pas parfaite mais bien inférieure à la valeur de notre LSB. On trouve 1/8 de LSB soit les 12% de parasite de la capacité de transfert.

2.5.1.4. Réseau capacitif différentiel

Lorsque que l'entrée est différentielle, il est possible d'utiliser un DAC différentiel. Le sample&Hold est alors réalisé par le DAC lui-même. Ce type d'architecture présente de très bonnes linéarités car lorsque les erreurs des deux réseaux sont appariées, elles se compensent. Cependant, la surface et la consommation sont doublées.

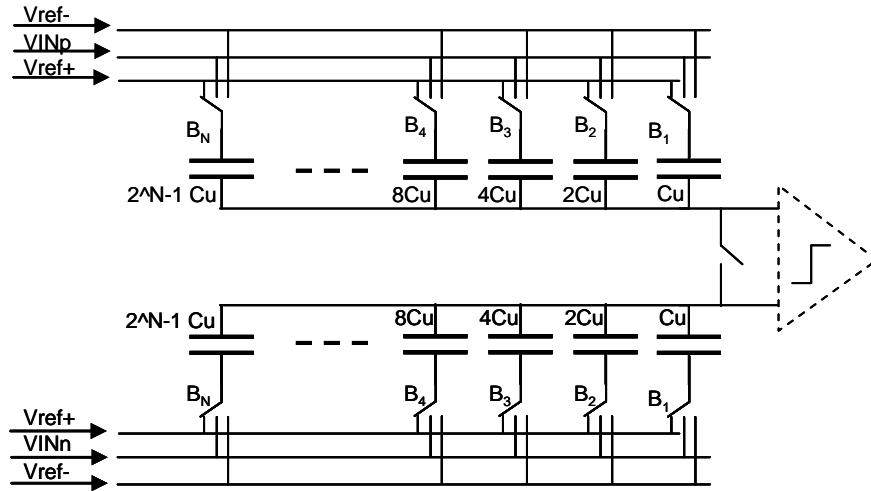


Figure 2-25. Configuration différentiel du DAC capacitif classique

2.5.1.5. Synthèse

Pour comparer ces différents montages et sélectionner celui qui nous intéresse, nous choisissons comme critère déterminant la valeur de la capacité unitaire minimale de chaque montage. Celle-ci est déterminée avec des contraintes de bruit et de matching pour assurer la performance minimale. Cette valeur nous donnera des informations directes sur la consommation des réseaux capacitifs et sur leur surface totale.

On peut déterminer la capacité unitaire C_u minimum soit par le bruit de quantification, soit par l'erreur d'appariement des condensateurs. On retiendra ensuite l'erreur la plus contraignante pour notre taille minimale avec comme erreur maximale admise un demi LSB.

2.5.1.6. Capacité unitaire (C_u) minimale avec contrainte de bruit

Comme vu dans la partie 2.3, la puissance du bruit de quantification s'exprime par:

$$\sigma_q^2 = \frac{1}{\Delta} \int_{-\frac{\Delta}{2}}^{\frac{\Delta}{2}} q^2 dq = \frac{\Delta^2}{12} \quad (24)$$

avec Δ l'erreur de quantification égale à $\frac{V_R}{2^N}$

Le bruit équivalent total dans les condensateurs est de $2kT/C_T$ [23], d'où la valeur de la capacité totale C_T minimale:

$$C_T \geq \frac{24.kT.2^{2N}}{V_R^2} \quad (32)$$

Avec $N=12$; $V_R=V_{DD}=3.3$; $T=300K$; On trouve $C_T > 153fF$

Si on ramène cette valeur à la capacité minimale pour le réseau capacitif classique entièrement parallèle, on trouve : **$C_u > 0.037fF$**

Cette si faible valeur nous permet de conclure que le critère de bruit sur les capacités n'est pas contraignant.

2.5.1.7. Capacité unitaire minimale avec contrainte de matching

La dispersion des capacités donnée par le DRM (Design Rules Matching) de la technologie est :

$$\sigma\left(\frac{\Delta C}{C}\right) = \frac{A_C}{\sqrt{W \times L}} \quad (33)$$

avec A_C (Capacitor Matching Parameter) égal à 0,45%μm

Quelque soit l'architecture du réseau choisie, l'erreur maximale possible a lieu au code milieu, c'est-à-dire dans notre cas avec une résolution de 12 bits au code 2048.

Cela se comprend assez facilement avec le réseau entièrement parallèle (Figure 2-18) où on se retrouve avec la sortie suivante pour le code milieu :

$$V_{DAC} = \frac{2^{N-1} C_u}{(2^{N-1} - 1) C_u + 2^{N-1} C_u} \times V_{DD} \quad (34)$$

Cette configuration correspond au cas où la moitié des capacités est reliée à la masse et l'autre moitié est reliée à la référence haute. Si toutes les erreurs d'appariement sont d'un coté maximales et positives, de l'autre maximales et négatives, la dispersion est maximal. Une étude sur les erreurs de matching dans les réseaux capacitifs des ADC SAR aboutit d'ailleurs au même constat [24].

Pour déterminer la valeur de nos capacités minimales dans les différents DAC, on la définit comme étant égale à $C_u(1 \pm \sigma)$ avec σ l'erreur moyenne d'appariement.

-pour le DAC classique, l'erreur maximale au point milieu vérifie l'équation :

$$\frac{2^{N-1} C_u(1 + \sigma)}{2^{N-1} C_u(1 + \sigma) + 2^{N-1} C_u(1 - \sigma)} \times V_{DD} - \frac{1}{2} \times V_{DD} \leq \frac{V_{DD}}{2^{N+1}} \quad (35)$$

$$\Leftrightarrow \frac{(1 + \sigma)}{(1 + \sigma) + (1 - \sigma)} - \frac{1}{2} \leq \frac{1}{2^{N+1}} \quad \Leftrightarrow \quad \frac{(1 + \sigma)}{2} - \frac{1}{2} \leq \frac{1}{2^{N+1}} \quad \Leftrightarrow$$

$$\boxed{\sqrt{W \times L} \geq A_C \times 2^N}$$

Soit $\sqrt{(W.L)} = 18.43\mu\text{M}$. Avec une capacitance par unité de surface égale à 0.86 fF/μM² en technologie AMS, on trouve :

Cu > 292fF. On retient donc notre Cu minimum par les contraintes d'appariement qui englobent les contraintes de bruit.

-pour le DAC à atténuation, si on néglige le mismatch de la capacité centrale, l'erreur maximale au point milieu vérifie l'équation :

$$\frac{x1 + y1 * (1 + x1 + x2)}{(1 + x1 + x2) * (1 + y1 + y2) - 1} \times V_{DD} - \frac{2^{N-1}}{2^N - 1} \times V_{DD} \leq \frac{1}{2^{N+1}} \times V_{DD} \quad (36)$$

Avec $y1 = 2^{N/2} \times (1 + \sigma)$; $y2 = (2^{(N/2)} - 1) \times (1 - \sigma)$; $x1 = 0$; $x2 = (2^{N/2} - 1) \times (1 + \sigma)$

$$\Leftrightarrow \frac{y1}{(1 + y1 + y2)} - \frac{1}{2} \leq \frac{1}{2^{N+1}} \quad \text{on néglige le -1 au dénominateur}$$

$$\Leftrightarrow \frac{2^{(N/2-1)} \times (1 + \sigma)}{1 + 2^{(N/2-1)} \times (1 + \sigma) + (2^{(N/2-1)} - 1) \times (1 - \sigma)} - \frac{1}{2} \leq \frac{1}{2^{N+1}}$$

$$\Leftrightarrow \frac{2^{(N/2)} \times (1 + \sigma)}{2 \times (2^{(N/2)}) + \sigma} - \frac{1}{2} \times \leq \frac{1}{2^{N+1}} \quad (37)$$

Si on néglige σ au dénominateur on trouve :

$\frac{(1 + \sigma)}{2} - \frac{1}{2} \times \leq \frac{1}{2^{N+1}}$ soit la même équation que pour le DAC capacitif classique et donc la même valeur de capacité unitaire

-Pour le DAC C-2C:

$$V_{DAC} = \frac{C_u}{C_u + C_u} \times V_{DD}$$

La valeur minimale de C_u est égale à la valeur précédente.

-Enfin pour le réseau différentiel, C_u minimum est théoriquement le même que pour le réseau classique. Cependant, les erreurs ont tendance à se compenser ce qui permettrait de réduire les valeurs de C_u minimum.

2.5.1.8. Récapitulatif

Le tableau ci-après résume les caractéristiques de chaque réseau :

Architecture	Technologie	Résolution (Bits)	Area Capacitance (fF/ μm^2)	Capacitor Matching Parameter A_C (% μM)	$\sqrt{(W.L)}$ min pour erreur < LSB/2 (μM)	Cu min équivalent (fF)	Nombre de capacité unitaire	Surface total active (mm ²)	Consommation moyenne (μA)	Linéarité
Réseau classique parallèle	Cpoly-poly Si	12	0,86	0,45	18,432	292,175217	4096	1,3916	94,78	++
C-2C	Cpoly-poly Si	12	0,86	0,45	18,432	292,175217	37	0,0126	0,28	--
C-2C	CMIM	12	1,25	1	40,96	2097,152	37	0,0621	1,99	+
Réseau à atténuation	Cpoly-poly Si	12	0,86	0,45	18,432	292,175217	127	0,0431	2,94	+
Réseau différentiel	Cpoly-poly Si	12	0,86	0,45	18,432	292,175217	8192	2,7831	189,57	++

Tableau 2-2. Comparatif des architectures de DAC Capacitif

Le calcul de la consommation moyenne est basé sur le principe du fonctionnement en dichotomie de l'ADC SAR. En effet lors de chaque cycle de conversion, on charge une capacité équivalente au code imposé par le mode dichotomique. Sur le DAC classique, on charge d'abord la capacité la plus importante (2048 C_u), ensuite la deuxième capacité la plus importante (1024 C_u) et ainsi de suite. Le calcul de la consommation moyenne revient donc à faire la somme de toutes ces consommations pendant une période de sampling :

$$I_{MOY} = \frac{V_{ref}}{T_{conv}} \sum_{1}^N C_{eq}(N)$$

Les deux architectures qui présentent le plus petit produit consommation*surface (Figure 2-26) avec une bonne linéarité sont le C-2C en CMIM et le réseau à atténuation. La solution finalement retenue est le réseau capacitif à atténuation en Cpoly car il présente une surface plus faible. De plus, le principal défaut du réseau C-2C est sa sensibilité aux capacités parasites extérieures. Le graphique ci-dessous est une représentation visuelle du choix du DAC en fonction de la consommation et de la surface active.

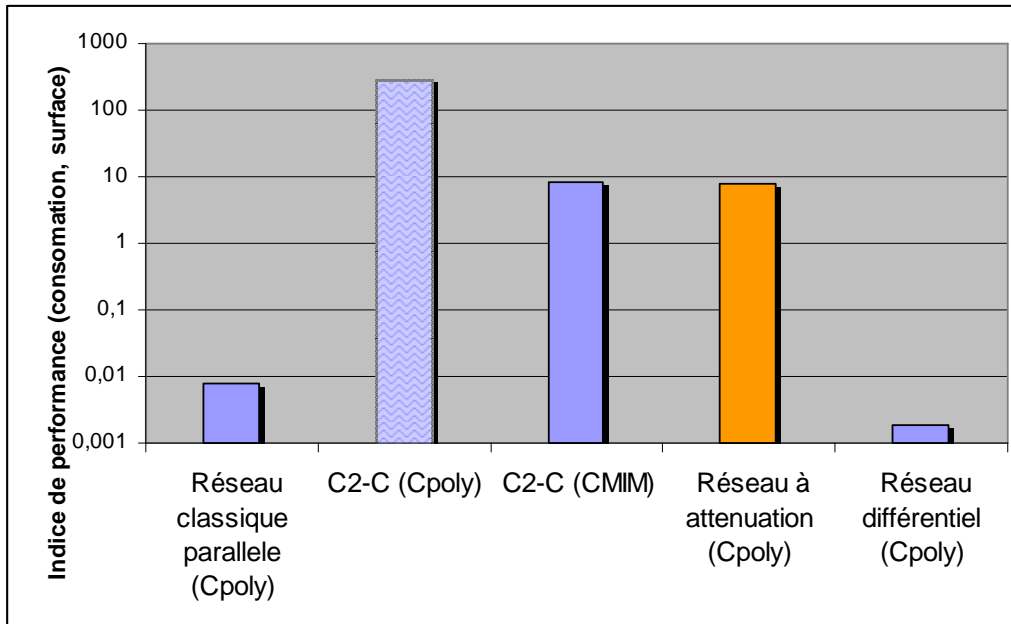


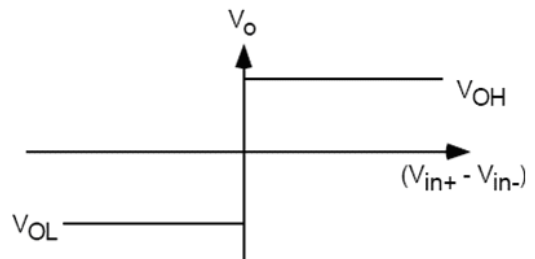
Figure 2-26. Indice de performance des DAC capacitif

2.5.2. Comparateur

2.5.2.1. Caractéristiques

Un comparateur est un circuit qui possède 2 entrées analogiques (V_{in+} et V_{in-}) et une sortie numérique (V_o). Son comportement idéal est le suivant :

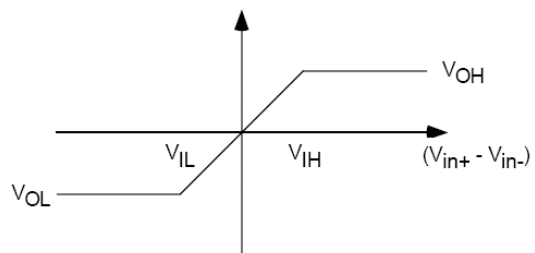
$$V_o = \begin{cases} V_{OH} & \text{si } V_{in+} - V_{in-} > 0 \\ V_{OL} & \text{si } V_{in+} - V_{in-} < 0 \end{cases}$$



Un tel comparateur n'est pas réalisable car il suppose un gain infini. Un comportement qui se rapproche de la réalité est le suivant :

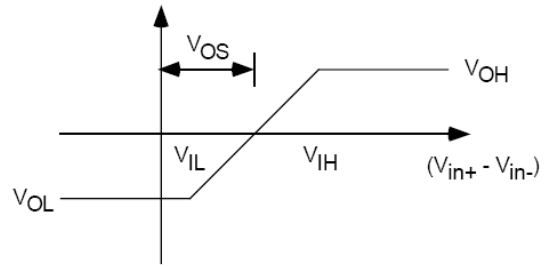
$$V_o = \begin{cases} V_{OH} & \text{si } V_{in+} - V_{in-} > V_{IH} \\ A_v(V_{in+} - V_{in-}) & \text{si } V_{IL} < (V_{in+} - V_{in-}) < V_{IH} \\ V_{OL} & \text{si } V_{in+} - V_{in-} < V_{IL} \end{cases}$$

Avec A_v le gain en tension



Si on rajoute maintenant l'offset des comparateurs, cela donne:

$$V_o = \begin{cases} V_{OH} & \text{si } V_{in}^+ - V_{in}^- > V_{IH} \\ A_v(V_{in}^+ - V_{in}^-) - A_v(V_{os}) & \text{si } V_{IL} < (V_{in}^+ - V_{in}^-) < V_{IH} \\ V_{OL} & \text{si } V_{in}^+ - V_{in}^- < V_{IL} \end{cases}$$

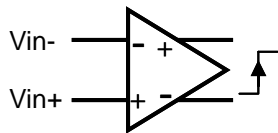


Avec A_v le gain en tension

D'autres phénomènes sont enfin aussi à prendre en compte telle que bruit ou le temps de retard de la réponse du comparateur.

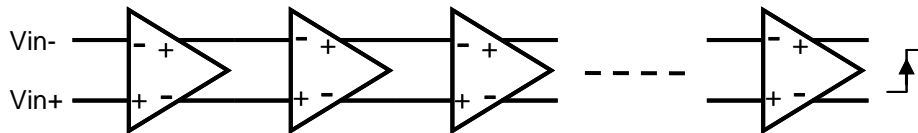
Il existe plusieurs types de comparateur dont une brève description est donnée ci-après.

2.5.2.2. Amplificateur opérationnel en boucle ouverte



Il s'agit du plus simple et du plus facile à réaliser des comparateurs. L'entrée $(V_{in+} - V_{in-})$ est multipliée par le gain A_o en boucle ouverte. Pour avoir de bonnes performances, l'amplificateur a besoin d'un gain le plus grand possible afin que sa sortie V_{out} sature le plus vite possible. Cet amplificateur nécessite donc une forte consommation pour être un bon comparateur. Pour relâcher les contraintes sur cet amplificateur, on peut utiliser une chaîne d'amplificateur avec des gains plus faibles.

2.5.2.3. Comparateur à plusieurs étages d'amplificateur



On utilise ici plusieurs étages d'amplification (par exemple avec plusieurs OTA en série). Le but est d'augmenter le gain global du comparateur et donc la rapidité de la saturation du dernier étage. L'inconvénient majeur dans cette architecture est que les offsets de chaque étage se cumulent et sont aussi amplifiés par les gains. Pour obtenir une saturation rapide de la sortie, on peut utiliser d'autres architectures.

2.5.2.4. Comparateur latché

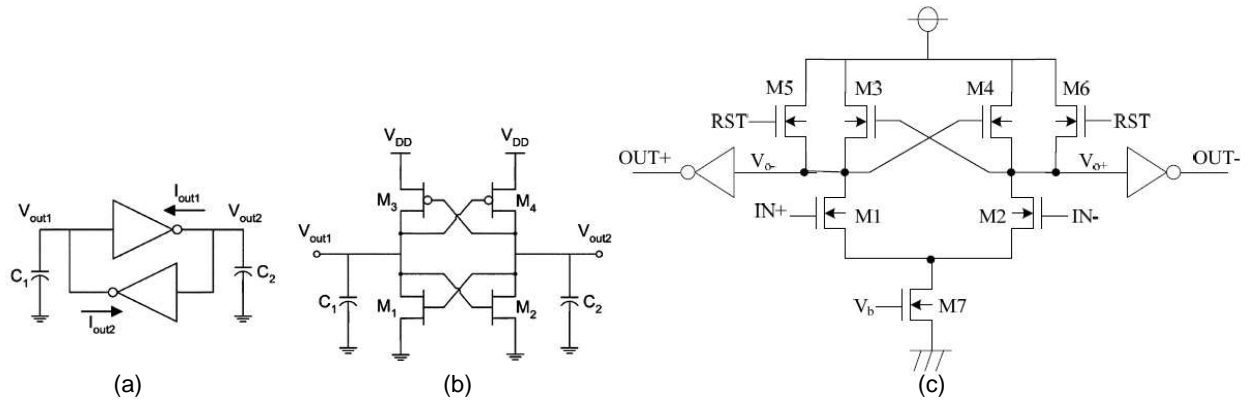


Figure 2-27. (a) Latch dynamique simple (b) Schématique au niveau transistor et schématique complète (c)

Il s'agit d'un comparateur remis à zéro à chaque comparaison [25]. Le principe est celui d'une paire différentielle d'entrée, dont les drains sont connectés à deux « inverseurs » rebouclés. La comparaison se déroule en deux phases, une première phase de reset pendant laquelle les deux sorties sont tirées à GND et les deux branches des transistors de la paire différentielle sont ouvertes, et une seconde phase de comparaison.

Ce comparateur a l'avantage d'avoir une sortie $VOH=VDD$ et $VOL=GND$ (cf 2.5.2.1). Son principal inconvénient réside dans un phénomène de « kick back noise ». En effet, les commutations lors de la comparaison et de la mise à zéro engendrent des injections de charge et des glitches de tension qui se retrouvent à l'entrée du comparateur et qui peuvent perturber la comparaison.

2.5.2.5. Time domain comparator

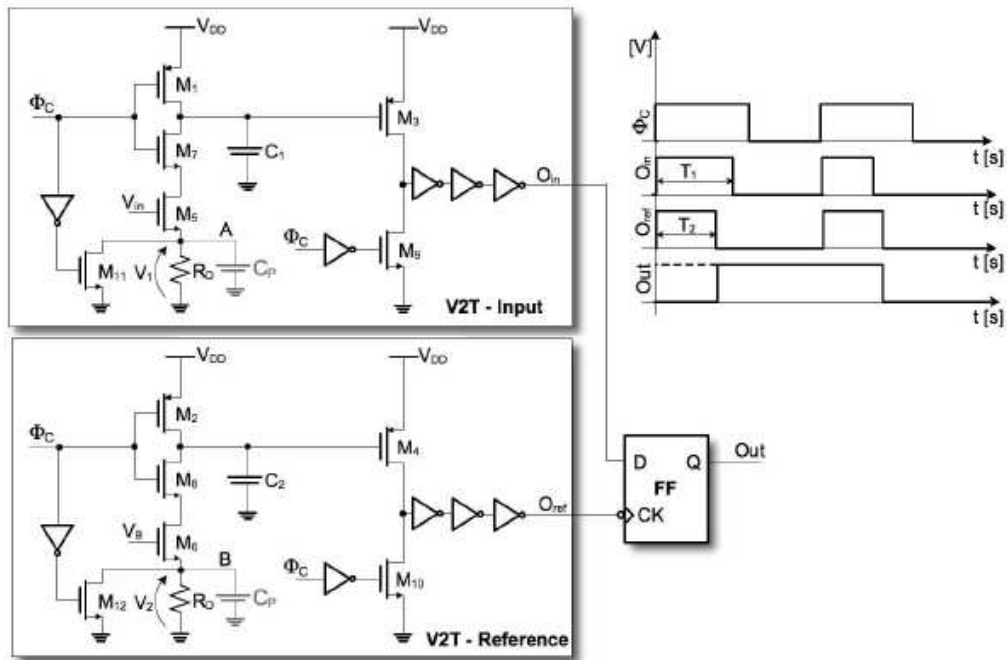


Figure 2-28. Time Domain Comparator

Ce comparateur [26] convertit ses tensions d'entrée en temps : La comparaison se déroule en 2 étapes. Pendant la première phase (état bas de ϕ_c), on charge les condensateurs C1 et C2. Durant la deuxième phase, on les décharge au travers des transistors M5 et M6 qui se comportent comme des générateurs de courant dont la valeur dépend de leur tension V_{gs} et donc des entrées du comparateur. Cette décharge entraîne le basculement plus ou moins rapide des transistors M3 et M4 et c'est ce délai positif ou négatif qui détermine le signe de la comparaison. Ce comparateur est faible bruit et consomme très peu ($\approx 1\mu W$). Il n'y a pas de consommation statique, la charge et la décharge des capacités C1 et C2 sont les principales sources de consommation. L'offset de ce comparateur augmente cependant de manière critique lorsque l'on s'approche des zones de limite de fonctionnement des transistors d'entrée.

2.5.2.6. Comparateur latché avec étage de pré-amplification et auto zéro

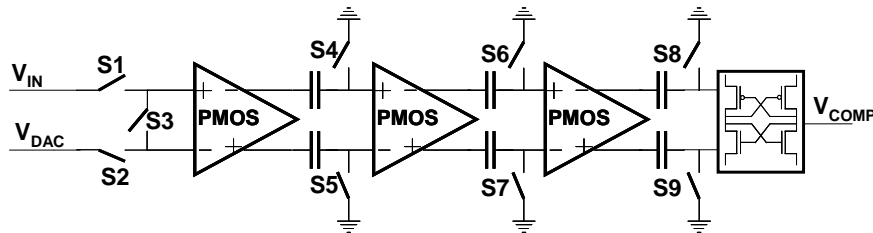


Figure 2-29. Comparateur latché avec étage de pré-amplification et auto zéro

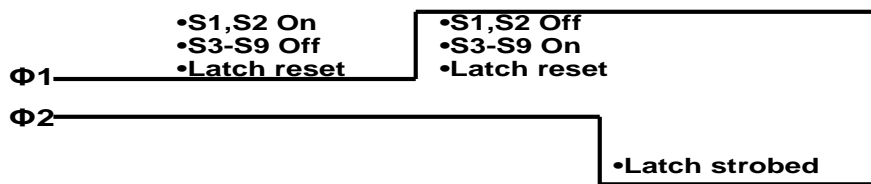


Figure 2-30. Timing du comparateur

Ce comparateur [27] tend à prendre le meilleur des précédents montages en s'affranchissant de leurs défauts. Il possède plusieurs étages de pré-amplifications avec un système d'auto zéro pour profiter du gain sans multiplier les offsets. A la sortie de ces étages se trouve un comparateur de type track&latch (un « time domain comparateur » est aussi une solution). La différence des entrées est alors suffisamment amplifiée pour s'affranchir de l'offset du comparateur. Le kick back noise est non seulement atténué par les capacités d'auto zéro mais aussi négligeable devant l'amplitude du signal amplifié par les préamplificateurs. Le système complet est faible bruit en fonction du nombre d'étages de pré-amplification et de la valeur des capacités [27]. Cependant, plus on augmente le nombre d'étages de pré amplification, plus le circuit consommera.

C'est ce montage qui a été retenu et dont la conception sera décrite dans la prochaine section.

2.5.3. Sample&Hold

Le rôle d'un échantillonneur bloqueur ou Sample and hold (S/H) est de maintenir constante l'amplitude de l'échantillon prélevé tous les T_e durant le temps nécessaire à sa conversion. T_e représente la période d'échantillonnage.

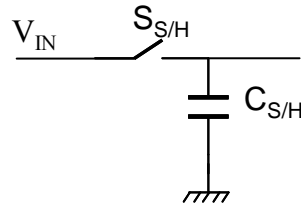


Figure 2-31. Sample and Hold le plus simple

Réaliser un échantillonneur bloqueur consiste à associer un interrupteur à une capacité Figure 2-31 . La capacité joue le rôle d'élément mémoire, l'interrupteur est là pour réactualiser la valeur mémorisée ou bien l'isoler vis à vis de l'entrée.

Cependant l'utilisation seule d'un interrupteur et d'une capacité introduisent des limitations en termes de rapidité et de maintien :

- La résistance d'entrée R_{on} du switch limite la possibilité du suivi de la tension (constante de temps RC).

- La résistance de sortie due à la résistance d'entrée du montage en aval du S/H introduit une limitation du maintien de la tension lors de la phase de blocage due à la décharge de la capacité dans cette résistance.

- Les injections de charges dues à l'ouverture du canal des MOS de l'interrupteur créent une erreur de recopie de la tension.

Pour s'affranchir de l'environnement amont et aval du S/H, on peut disposer en entrée et en sortie du S/H deux suiveurs Figure 2-32.

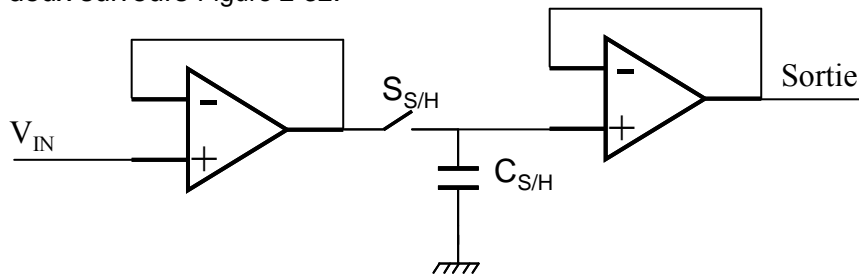


Figure 2-32. Sample and Hold 1

Une configuration très simple, mais:

- Les offsets des deux ampli-ops sont cumulés.

- Le deuxième amplificateur doit avoir une impédance d'entrée très élevée pour éviter que la la capacité de sampling se décharge et fasse chuter la tension de recopie de plus de 0.5 LSB)

- Le premier doit avoir une impédance de sortie très faible pour attaquer la capacité et toute l'amplitude se retrouve à sa sortie aux bornes de la capacité.

Le montage Figure 2-33 est une amélioration du précédent. Le gain du premier ampli-op est utilisé pour fixer la précision voulue. Le deuxième est toujours en suiveur, mais seul l'offset du premier est déterminant. Toute la tension est toujours demandée en sortie du premier ampli-op.

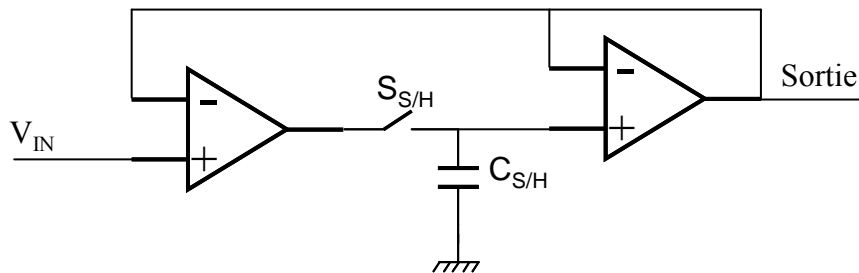


Figure 2-33. Sample and Hold 2

Le montage de la Figure 2-34 présente les mêmes avantages que le montage précédent (impédance d'entrée, impédance de sortie) en s'affranchissant des offsets des 2 amplificateurs. Son inconvénient est ailleurs: il faut contre réagir sur l'entrée +, puisque le signal est inversé dans le deuxième amplificateur. C'est souvent un très bon oscillateur.

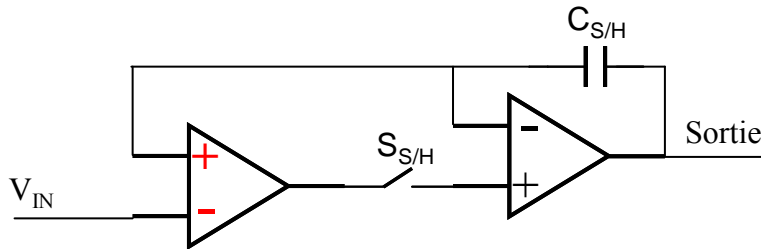


Figure 2-34. Sample and Hold 3

Enfin, ce dernier montage (Figure 2-35) à capacités commutées permet de n'utiliser qu'un seul amplificateur.

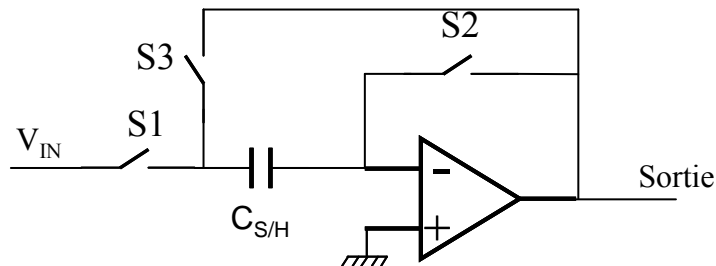


Figure 2-35. Sample and Hold 4

Le séquençement est le suivant :

- Track : S1 et S2 fermés, S3 ouvert. La capacité se charge sur la très faible impédance d'entrée ($1/g_m$) de l'amplificateur à transconductance
- Hold : S1 et S2 ouverts, S3 fermé. La capacité est placée en contre réaction, et donc la sortie garde en mémoire la tension à ses bornes. L'offset de l'amplificateur est quasiment annulé.

C'est finalement le plus simple des montages qui a été retenu (Figure 2-31), à savoir un interrupteur et un condensateur. Il présente l'avantage de peu consommer. De plus, sa sortie sera une grille de transistor qui présentera une forte impédance permettant de limiter les phénomènes de décharge du condensateur.

2.6. Conception ADC SAR

2.6.1. DAC

La réalisation du DAC est essentiellement focalisée sur le layout. Chaque condensateur est entouré par d'autres condensateurs ou de capacités factices (capacités qui donnent le même environnement sans participer aux équations électriques) ce qui devrait assurer un bon appariement lors du process de fabrication.

Conformément au paragraphe 2.5.1.7, un premier dimensionnement des capacités unitaires à 300fF a été utilisé. Finalement, pour des raisons d'influence des capacités parasites et de

couplage parasite (cf paragraphe 2.7.3.1), nous avons retenu une valeur de capacité unitaire du DAC de 1pF, ce qui entraîne une consommation moyenne de 10.13μA par conversion.

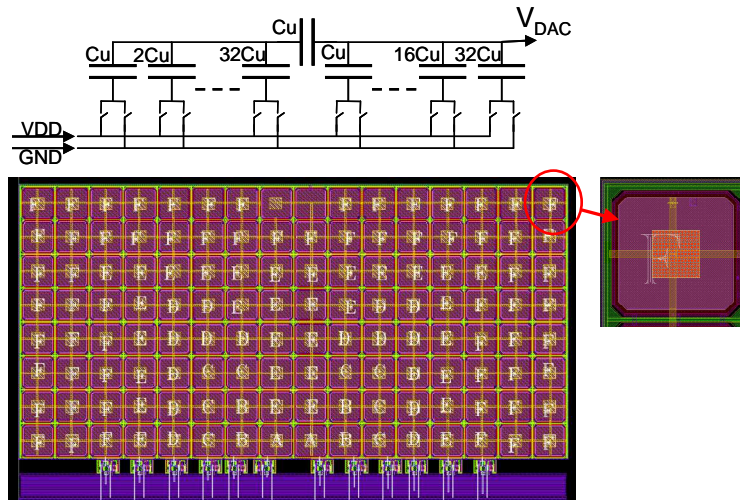


Figure 2-36. Layout DAC

Les courbes ci-dessous (Figure 2-37) représentent la linéarité différentielle du DAC par simulation post-layout avec plusieurs configurations de layout. Les principaux paramètres modifiés sont la distance entre chaque condensateur, les niveaux de métaux qui relient chaque condensateur et leur largeur.

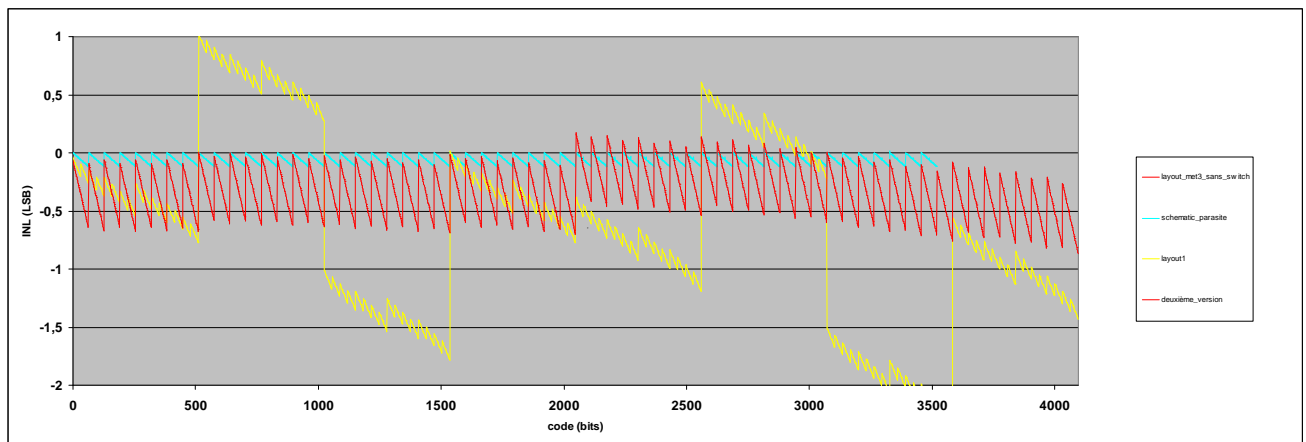


Figure 2-37. INL DAC 12bits

On constate beaucoup de différences selon les configurations. La courbe bleu ciel représente la linéarité différentielle parfaite avec prise en compte des capacités parasites inférieures (bottom plate parasitic capacitance). La courbe jaune représente une première version de layout du DAC avec des capacités unitaires de 1pF. La courbe rouge représente une deuxième version avec un espacement plus important entre chaque capacité ainsi que des connexions de métal plus élevée afin de diminuer au maximum les capacités parasites. Le résultat obtenu permet d'avoir une linéarité différentielle inférieure au LSB.

Les interrupteurs utilisés sont de type CMOS. Ils offrent la possibilité d'étendre la gamme de tension d'entrée et permettent de réduire les injections de charges. La mise en parallèle de deux transistors de type différent permet de rendre la résistance de cet interrupteur quasiment constante pour la gamme de tension d'entrée [0-Vdd] (sauf aux extrémités), en

choisissant un rapport W_p/W_n (largeur des transistors PMOS/NMOS) proportionnel à μ_P/μ_N (mobilité des électrons/trous). Par ailleurs, lors des transitions de phases, les injections de charges sont de signe contraire et il est possible de trouver un rapport W_p/W_n pour lequel les injections de charges des deux types s'annulent (pas forcément proportionnel à μ_P/μ_N). Ainsi, on choisit ce rapport égal à 3 et on utilise les dimensions minimales des transistors, à savoir $W_p=3\mu m$ et $W_n=1\mu m$. Le R_{on} équivalent est d'environ $5k\Omega$.

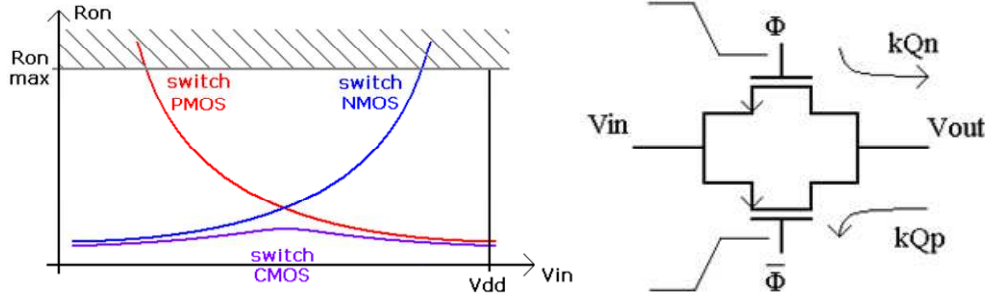
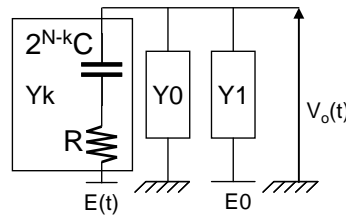


Figure 2-38. Interrupteur Cmos & linéarité du R_{on}

Le couple RC des switches avec le condensateur série associé réalise un filtre du premier ordre. La fréquence maximale du DAC est donc déterminée par cette constante de temps de ce filtre. Pour mettre en équation cette constante de temps T_{DAC} , on choisit de modéliser le DAC capacitif par des rapports de capacité égale à $2^{N-k}C$ et les interrupteurs par la valeur de leur résistivité à l'état fermé égale à R .



$E(t)$ est un échelon de 0 à E_0 .

$k=[1 : N]$ avec $k=1$ correspond au MSB et $k=N$ correspond au LSB.

Y_k est l'admittance que l'on connecte à E_0 , Y_0 est la somme des admittances reliées à la masse et Y_1 la somme des admittances reliées à E_0 .

Soit :

$$Y_k = \frac{2^{N-k} C_p}{2^{N-k} R C_p + 1}, \quad Y_1 = \sum_{k=0}^N B_k \times Y_k \quad \text{et} \quad Y_0 = \sum_{k=0}^N \overline{B_k} \times Y_k$$

Pour déterminer les temps d'établissement de la sortie, on détermine dans un premier temps les fonctions de transfert du DAC en Laplace. Grâce au théorème de superposition, on pose :

$$Y_{eq1} = \frac{Y_k}{Y_k + Y_0 + Y_1} \quad \text{et} \quad Y_{eq2} = \frac{Y_1}{Y_k + Y_0 + Y_1}$$

Ce qui nous donne:

$$V_o(p) = E_0 \times Y_{eq1} + \frac{E_0}{p} Y_{eq2}$$

A la fin du temps d'établissement dans le DAC avant la comparaison (instant T_{dac}), il est nécessaire que le signal soit établi avec une précision suffisante par rapport à la résolution recherchée par ce convertisseur de N bits.

$$|V_{oThéorique} - V_o(T_{DAC})| < \frac{\Delta V_{fullrange}}{2^{N+1}}$$

On obtient le temps T_{DAC} par simulation de notre fonction de transfert. Nous obtenons un T_{DAC} maximal avec le MSB, c'est-à-dire pour $k=1$. Avec notre valeur de résistance d'interrupteur ouvert de $5K\Omega$ et notre capacité unitaire de $1pF$, on obtient une fréquence maximale de fonctionnement à $1.4MHz$, ce qui est largement suffisant pour notre application.

2.6.2. Comparateur

Pour être rail-to-rail, le comparateur a besoin d'entrées à base de paires différentielles pmos et nmos.

Ce comparateur rail-to-rail est composé de 2 comparateurs avec auto zéro dont l'un possède un amplificateur Nmos en entrée et l'autre un Pmos. Une logique de sélection permet de faire fonctionner l'un ou l'autre en fonction du point de fonctionnement en désactivant les horloges. Le comparateur fonctionne de GND à VCC.

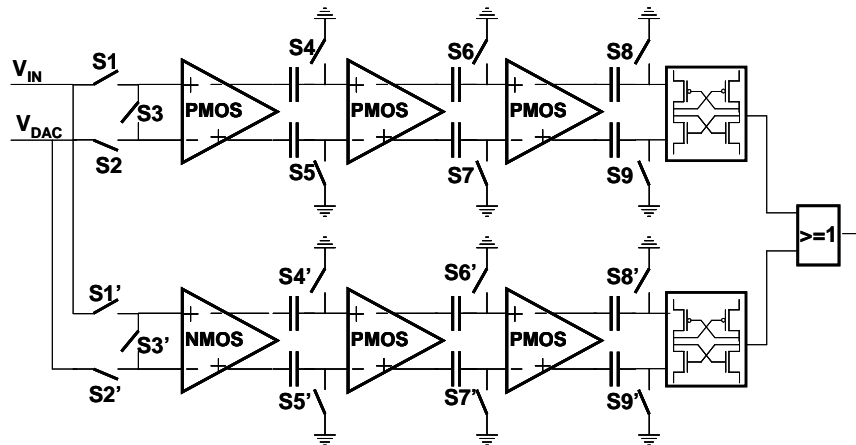


Figure 2-39. Schématique comparateur complet rail-to-rail

Les éléments de base qui composent ce comparateur sont un OTA (Operational Transconductor Amplifier) Pmos, un OTA Nmos, un comparateur Track&Latch Pmos, des switchs et une partie logique. Les gains des OTA seront définis par l'offset maximum du Track&Latch. Leurs bandes passantes seront au minimum de $336KHz$ pour garantir les 14 opérations nécessaires d'une conversion à $24KS/s$

2.6.2.1. Track&Latch Comparateur

Ce comparateur est celui décrit précédemment (2.5.2.4). Il a une consommation statique quasiment nulle. A $336KHz$, vitesse de fonctionnement maximale des horloges du système, il consomme en moyenne $2\mu A$. Sa fréquence maximale est de $30MHz$ pour $30\mu A$ de consommation moyenne.

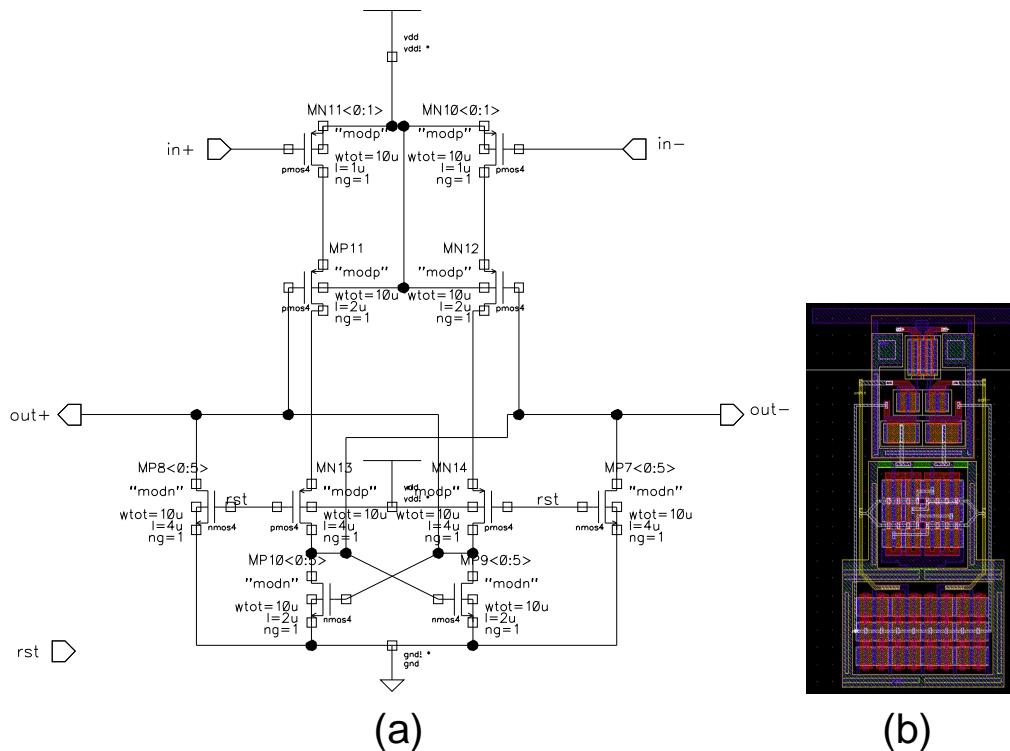


Figure 2-40. Comparateur track&latch (a)Schématic, (b) layout

La simulation d'offset ne peut pas se faire en simulation DC, car le comparateur a un comportement dynamique, et nécessite une phase de reset pour ensuite faire la comparaison. Une simulation transitoire a donc été réalisée, avec une double rampe très lente sur une entrée du comparateur et une référence constante sur l'autre entrée. L'extraction des seuils se fait en repérant la tension d'entrée pour laquelle la sortie positive bascule (première partie de la rampe), puis la tension d'entrée pour laquelle la tension négative bascule (seconde partie de la rampe).

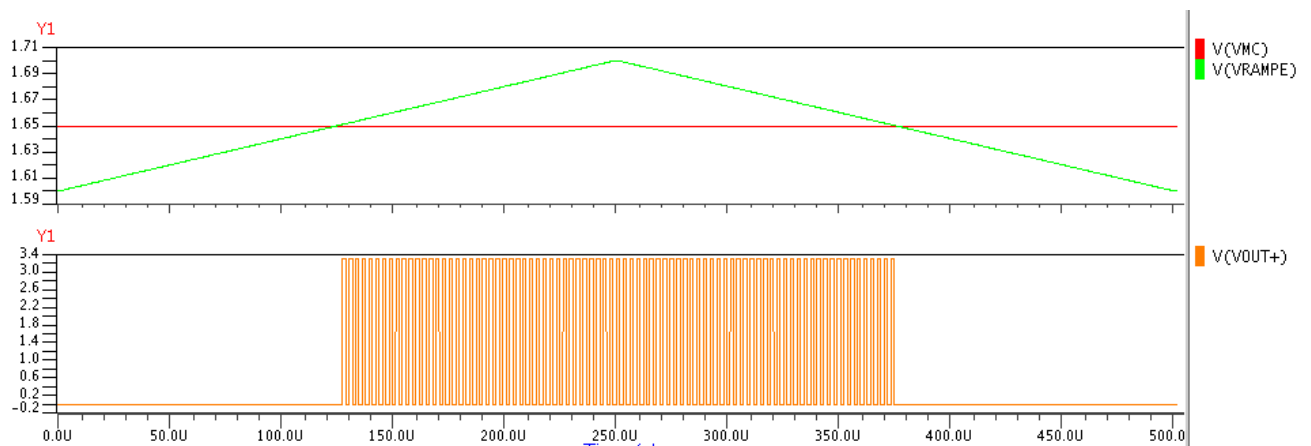


Figure 2-41. Entrées et sortie du comparateur latch

On obtient par simulation statistique Monte Carlo un offset maximum de 21.2mV au point de fonctionnement milieu 1.65V. Cet offset est le même pour une entrée croissante et décroissante de la rampe.

2.6.2.2. OTA NMOS

Il s'agit d'une OTA différentiel avec résistances de charge R_D et de gain AV :

$$Av = \sqrt{\mu_n C_{ox} \frac{W}{L} I_{SS} R_D} \quad (38)$$

Le choix de résistances à la place de MOS comme charge active permet de garantir un fonctionnement linéaire quelque soit le mode commun. De manière générale, on utilise les charges actives dans les amplificateurs différentiels lorsque l'on veut un gain fort et on privilégie les résistances pour la vitesse et la linéarité telle que dans nos préamplificateurs. Les résistances permettent aussi de s'affranchir d'une polarisation V_b . Le gain d'un OTA à charge active (Figure 2-42) est donné par le rapport des g_m entre le Nmos d'entrée et le Pmos de la charge.

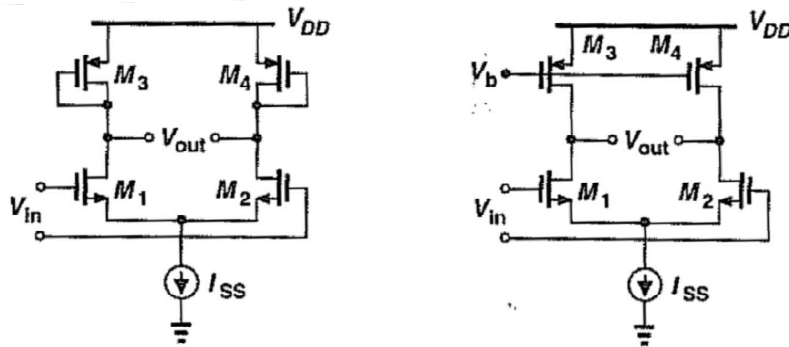


Figure 2-42. Paire différentielle avec charge actives et sorties différentielles

Dans le cas de notre OTA avec résistances, il faut une forte valeur de résistance pour avoir un fort gain (moins facile à obtenir qu'avec une charge active) ce qui engendre du bruit blanc. La demande en gain de l'ota n'étant pas excessive et le bruit équivalent ramené en entrée limité par le système d'auto-zéro, on obtient les résultats suivants :

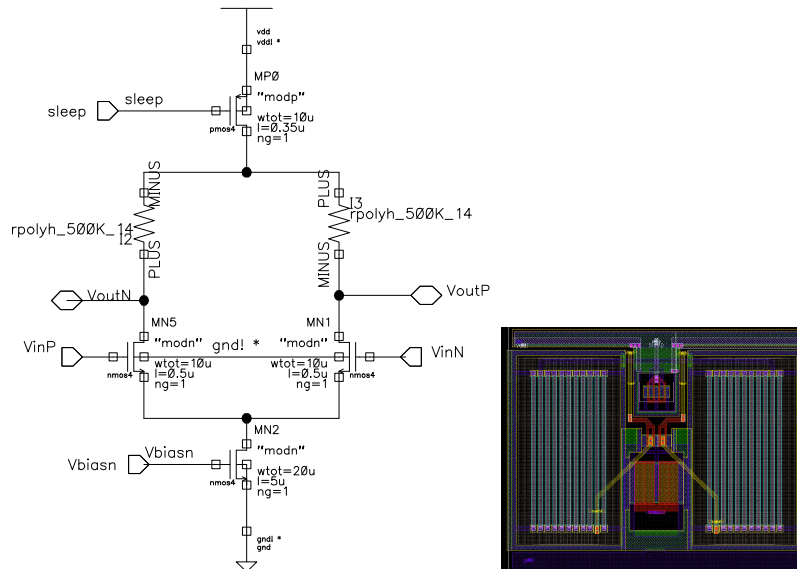


Figure 2-43. Schématic&layout OTA Nmos

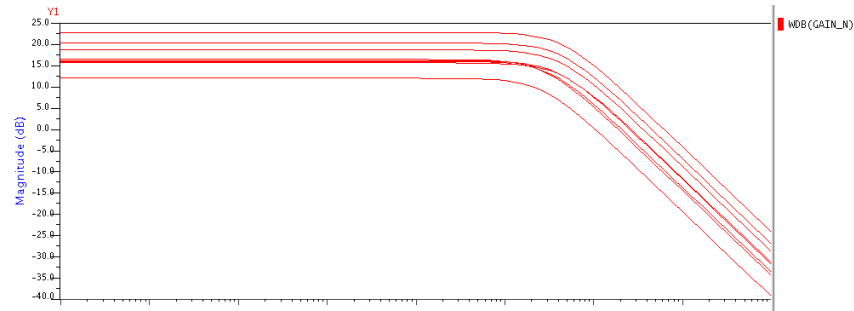


Figure 2-44. Réponse de l'OTA Nmos en fréquence en utilisant les corners préconisés par AMS

	Mode commun d'entrée	Gain (Db)			GBW (GainBandWith)			PM (Phase Margin)	Bruit intégré (0-1MHz)	Consommation (A)		
		min	typ	max	min	typ	max			min	typ	max
NMOS	0	*	*	*	*	*	*	*	*	*	*	*
	1,65	11,1	16,13	21	1,28M	2M	3,36M	99°	53,5μ	0,92μ	1,01μ	2,92μ
	VCC	11,28	16,2	19,9	1,32M	2,04M	3,55M	98,8°	51,8μ	0,64μ	1,04μ	3,03μ

Tableau 2-3. Résumé performances OTA Nmos

2.6.2.3. OTA PMOS

Cet OTA est de même construction que la précédente mais avec une paire différentielle Pmos.

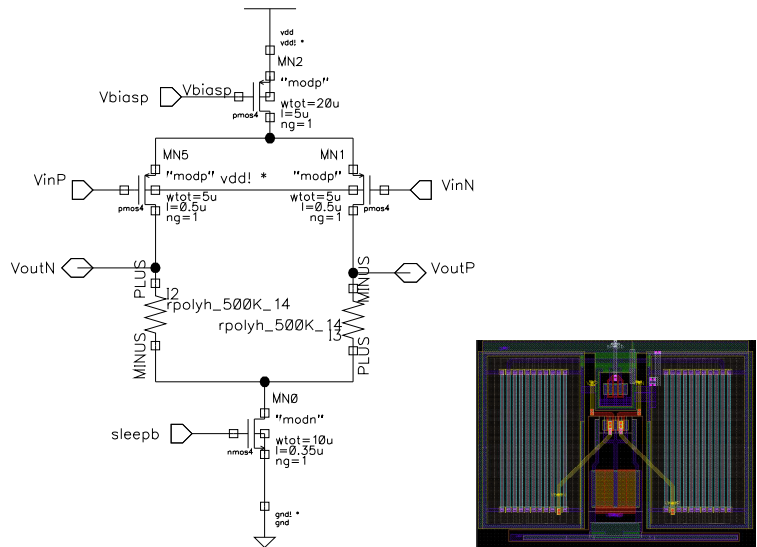


Figure 2-45. Schématic&layout OTA Pmos

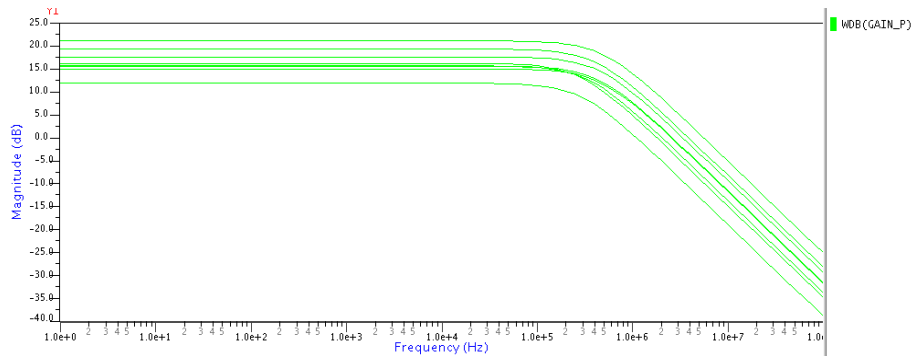


Figure 2-46. Réponse de l'OTA Pmos en fréquence avec corners préconisés par AMS

	Mode commun d'entrée	Gain (Db)			GBW (GainBandWith)			PM (Phase Margin)	Bruit intégré (0-1MHz)	Consommation (A)		
		min	typ	max	min	typ	max			min	typ	max
PMOS	0	10,48	15,47	18,4	1,16M	2,1M	2,69M	100,8°	52,6μ	0,64μ	1μ	2,92μ
	1,65	10,27	15,42	19	1,12M	2M	2,69M	100°	53,9μ	0,63u	1μ	2,89μ
	VCC	*	*	*	*	*	*	*	*	*	*	*

Tableau 2-4. Résumé performance OTA Pmos

2.6.2.4. Considération en bruit

Les contributions en bruit dans nos paires différentielles sont de type bruit blanc (ou bruit thermique) et bruit en 1/f (ou flicker noise). En fonction de la gamme de fréquence observée, une source peut être négligée en faveur de l'autre. Aux fréquences basses, le bruit en 1/f est important tandis qu'aux hautes fréquences, c'est le bruit thermique qui domine.

Pour un transistor MOS fonctionnant en saturation nous avons :

Puissance de la densité spectral (DSP) du bruit thermique (bruit blanc):

$$S_{IT}(f) = 4kT\gamma gm (A^2 / Hz) \quad (39)$$

avec gm la transconductance du transistor, et γ un coefficient que l'on prend généralement égal à 2/3 mais qui peut augmenter pour certaines technologies avancées. Le bruit du transistor est représenté par une source de courant située entre le drain et la source du transistor.

Le bruit en 1/f est modélisé par une source de tension en série avec la grille dont la DSP est:

$$S_{VF}(f) = \frac{K}{WLf} (V^2 / Hz), (40)$$

avec W et L la largeur et la longueur du transistor respectivement et K un paramètre dépendant de la technologie dont la valeur est de l'ordre de $1.8 \cdot 10^{-26} V^2F$ en AMS CMOS 0.35μm.

Dans les résistances, seul le bruit thermique est présent. Sa DSP est de la forme :

$$S_{IT}(f) = 4kTR (V^2 / Hz) \quad (41)$$

Avec R la valeur de la résistance

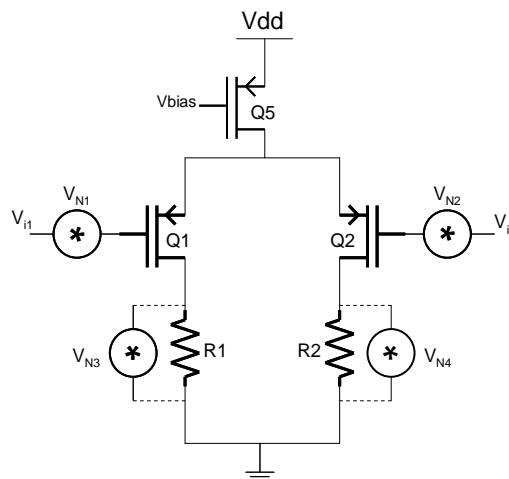


Figure 2-47. Représentation de l'OTA Pmos avec ses sources de bruits pris en considération

$$V_{N1}^2(f) = V_{N2}^2(f) = V_N^2(f) = \frac{8kT}{3gm} + \frac{K}{WLf} \quad (V^2 / Hz) \quad (42)$$

$$V_{N3}(f) = V_{N4}(f) = V_{NR}(f) = 4kTR \quad (V^2 / Hz) \quad (43)$$

Si maintenant on fait la somme de tous ces bruits afin de les ramener en entrée, on trouve :

$$I_{Ntot}^2(f) = gm^2 \times V_N + gm^2 \times V_N + \frac{1}{R^2} V_{NR} + \frac{1}{R^2} V_{NR} \quad (A^2 / Hz)$$

$$V_{Nég}^2(f) = 2 \left(\frac{8kT}{3gm} + \frac{K}{WLf} + \frac{4kTR}{gm^2.R^2} \right) \quad (V^2 / Hz)$$

pour la résistance c'est 4KTR divisé par le gain au carré soit $(gmR)^2$

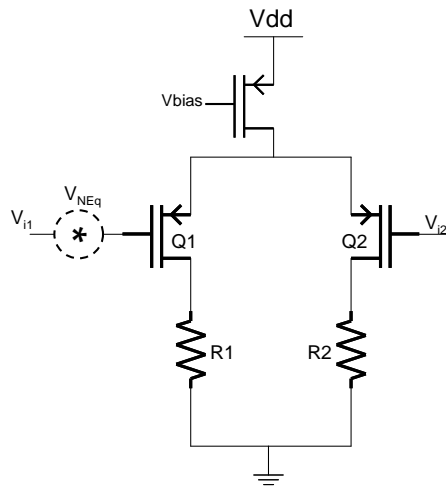


Figure 2-48. Représentation de l'OTA Pmos avec ses sources de bruits prises en considération

Si on calcule maintenant la densité spectrale de la puissance du bruit sur la bande 0 - 1 Mhz avec les valeurs suivantes :

$gm=13.3\mu S$; $W=10\mu m$; $L=0.5\mu m$; $R=500K\Omega$; $K=1.38*10^{-23} J/K$; $T=300K$;

On obtient $V_{Nég}^{RMS} = 2.03 * 10^{-9} V^{RMS} = 51 * 10^{-6} VRMS$

Cette valeur est à comparer avec les $53.9*10^{-6} VRMS$ trouvés par simulation.

En entrée de cet amplificateur, la différence minimale considérée est d'un LSB soit environ $805\mu V$. Notre valeur de bruit n'est donc pas critique sur notre montage.

2.6.2.5. Comparateur avec Auto-zéro

Il s'agit du « multi stage comparator with auto zero » présenté précédemment (figure29). Les interrupteurs ont des dimensions minimales pour limiter les phénomènes d'injection de charge, ce qui crée un R_{off} important mais un R_{on} qui n'est pas négligeable. Cela implique un ralentissement du courant lors de la phase de remise à zéro. L'interrupteur entre les deux entrées permet à l'auto zéro de se faire plus rapidement car les entrées tentent de converger vers un même point proche de leur valeur précédente plutôt que vers la masse. Il est composé de 3 amplificateurs Pmos (ou d'un Nmos en entrée et 2 PMOS) et d'un track&latch en guise de comparateur.

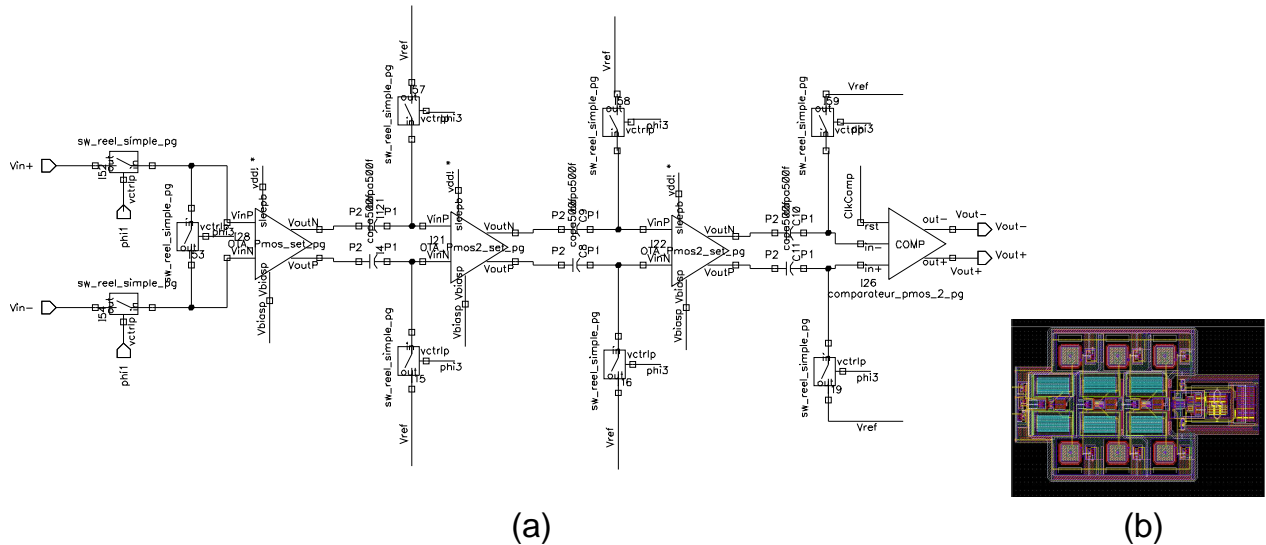


Figure 2-49. Comparateur avec auto zéro (a)Schéma (b)layout

Le gain min (toutes dispersions technologiques préconisées par le fondeur dans ses corners) de chaque OTA à 333Khz est de 10.27dB soit 3.27. Maintenant si on multiplie notre LSB par cette valeur au cube, on obtient :

$$1\text{LSB} \cdot \text{GainMin} \cdot \text{GainMin} \cdot \text{GainMin} = 0.804\text{E-}3 \cdot 3.27^3 = 28.1\text{mV}$$

Cette valeur correspond à la valeur minimale en sortie de la chaîne de pré amplification avec une entrée d'un LSB, or l'offset Max du track&Latch est de 21.3mV. Dans un pire cas ou toutes les erreurs se cumulent, le comparateur garde donc une précision au minimum d'un LSB.

2.6.2.6. Comparateur Rail_to_Rail

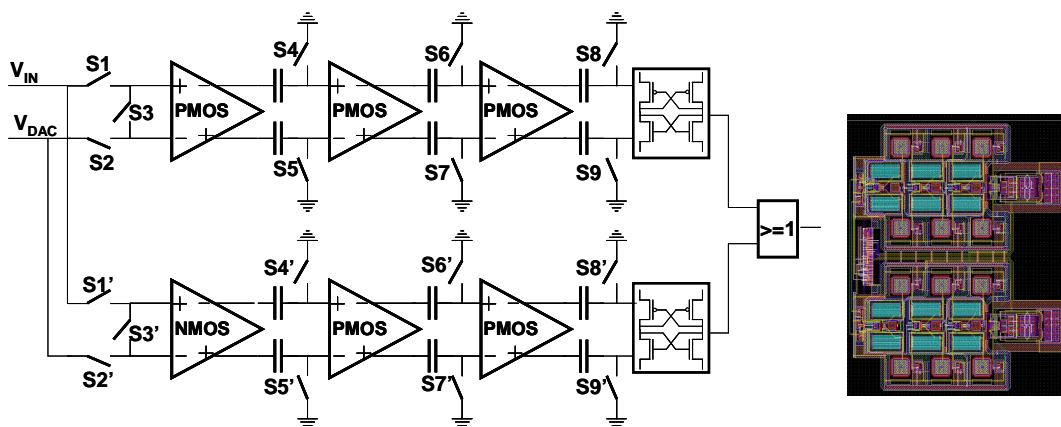


Figure 2-50. Schéma & Layout comparateur complet rail-to-rail

Sa consommation moyenne est de 7.1uA

Une simulation Monte Carlo sur 50 scénarii permet de constater l'efficacité du système.

Le comparateur a moins de 400uV d'offset. Comme pour le test en offset du latch, le protocole de test consiste à utiliser une rampe très lente sur l'une des deux entrées et une tension continue sur l'autre avec un point de croisement milieu, le tout dans une simulation transitoire. La simulation AC n'est pas possible avec le comparateur latch et le système d'auto zéro.

2.6.3. Sample & Hold

Le sample&hold est de type ping pong et se compose de 2 condensateurs qui se chargent et se déchargent en opposition de phase. Cela permet au circuit (ampli, générateur) qui fournit Vin d'avoir une charge fixe et d'avoir plus de temps pour établir sa tension.

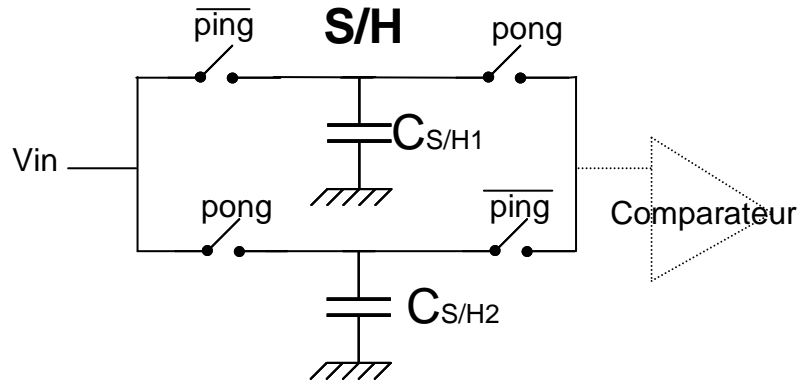


Figure 2-51. Sample and hold de type ping pong

La valeur de ces capacités est de **63pF**. Ce choix permet d'avoir une configuration homogène par rapport au DAC aux valeurs des capacités du DAC. Une telle valeur est suffisante pour négliger les distributions de charge lors de l'auto-zéro ainsi que le couplage capacitif. La précision de la valeur absolue de la taille de ces capacités n'est pas cruciale pour les performances. Pour s'en assurer, on utilise la schématique simplifiée ci-dessous qui représente une des capacités du Sample&Hold vue en entrée du comparateur:

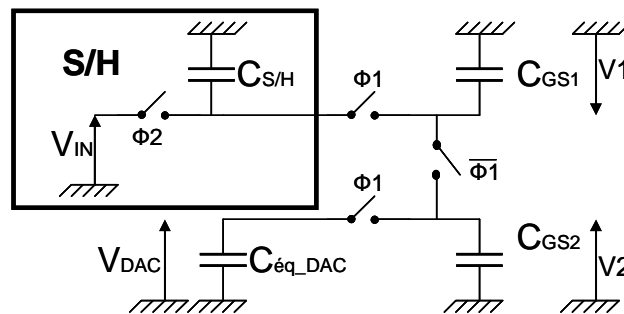


Figure 2-52. Schéma équivalent simplifié des capacités vues en entrée du comparateur

-A l'état initial (avant conversion) on a $\Phi 1$ et $\Phi 2$ fermés soit les charges suivantes :

$$Q_{S\&H} = C_{S\&H} V_{IN}$$

$$Q_{DAC} = C_{eq_DAC} V_{DAC}$$

$$Q_{GS1} = C_{GS1} V_{IN}$$

$$Q_{GS2} = C_{GS2} V_{DAC}$$

- $\Phi 2$ s'ouvre ensuite durant toute la durée de la conversion. $\Phi 1$ et $\Phi 1$ s'ouvrent et se ferment N fois (N étant la résolution du convertisseur) de manière complémentaire, synchrone et sans recouvrement.

Quand $\Phi 1$ se ferme, on a :

$$Q_{TOT} = Q_{GS1} + Q_{GS2} = V_{IN} C_{GS1} + V_{DAC} C_{GS2}$$

$$V = V_1 = V_2 = \frac{Q_{TOT}}{C_{TOT}} = \frac{V_{IN} C_{GS1} + V_{DAC} C_{GS2}}{C_{GS1} + C_{GS2}}$$

-Quand $\Phi 1$ s'ouvre et $\Phi 1$ se ferme, on a :

$$Q_{TOT} = Q_{GS1} + Q_{S\&H} = V C_{GS1} + V_{IN} C_{S\&H}$$

$$V_1 = \frac{Q_{TOT}}{C_{TOT}} = \frac{\frac{V_{IN} C_{GS1} + V_{DAC} C_{GS2}}{C_{GS1} + C_{GS2}} C_{GS1} + V_{IN} C_{S\&H}}{C_{GS1} + C_{S\&H}}$$

Si on considère par approximation (au point de polarisation près) que $C_{GS1} \approx C_{GS2} \approx C_{GS}$ et que la différence maximale entre V_{IN} et V_{DAC} est d'une demi dynamique (principe du SAR), on obtient :

$$V_1 = \frac{Q_{TOT}}{C_{TOT}} = \frac{V_{IN} \left(\frac{3}{4} C_{GS} + C_{S\&H} \right)}{C_{GS} + C_{S\&H}}$$

Avec $C_{GS} \approx 5fF$ (valeur des capacités d'entrée de nos OTA), $C_{S\&H} \approx 63pF$ (valeur choisi pour être du même ordre de grandeur que la capacité équivalente du DAC) et $V_{IN} \approx 3.3$ on a :

$$\text{Erreur} = V_{IN} - V_1 = 64\mu V$$

La conversion se fait sur N bit et la différence entre V_{IN} et V_1 diminue en moyenne de moitié à chaque coup d'horloge (car la tension V_{DAC} se rapproche à chaque coup d'horloge de la tension d'entrée V_{IN}), on obtient une suite géométrique :

$$\text{Erreur}_{Max} = (V_{IN} - V_1) \left(1 + \frac{1}{2} + \frac{1}{4} + \frac{1}{8} + \dots + \frac{1}{2^N} \right) = \frac{(V_{IN} - V_1) - \frac{1}{2^{N+1}}}{1 - \frac{1}{2}} \approx 2(V_{IN} - V_1) \quad \text{A cela, il}$$

faut encore rajouter un $(V_{IN} - V_1)$, soit une erreur totale de $3(V_{IN} - V_1)$ car à la première comparaison, les deux OTA sont vus par le Sample&Hold.

Le seul phénomène de redistribution des charges dû aux capacités d'entrée du comparateur est donc négligeable par rapport à notre LSB. Les R_{on} non nulles et les R_{off} non infinies des interrupteurs engendrent aussi des erreurs. Par simulation, les erreurs toutes confondues sont inférieures au LSB (Figure 2-53).

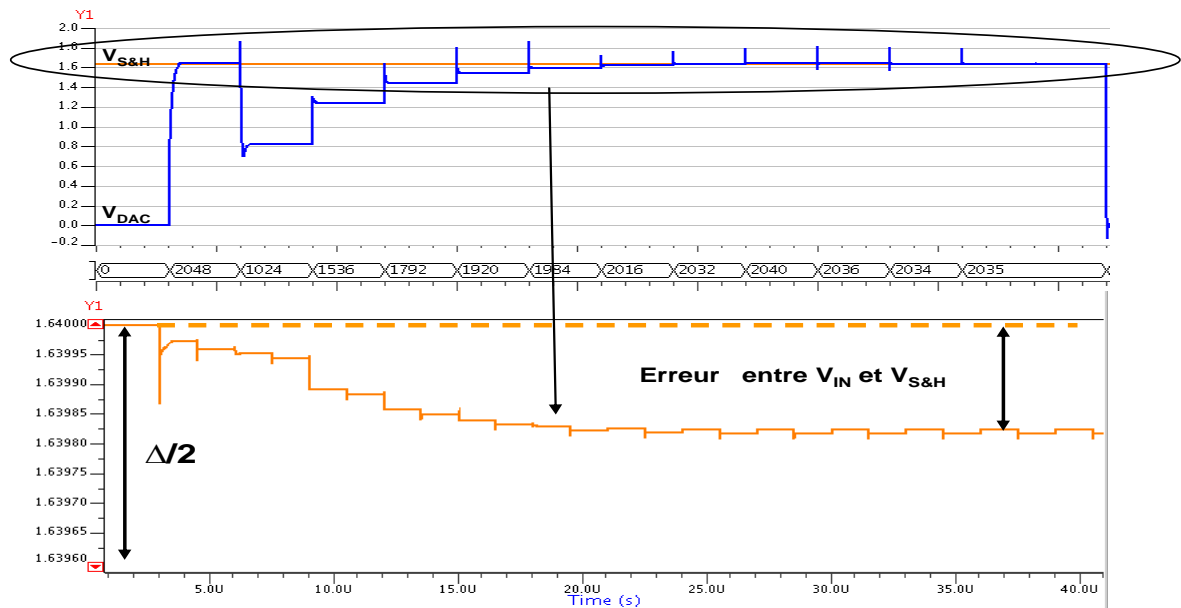


Figure 2-53. Effet des redistributions de charge sur la tension du Sample and hold

2.6.4. Logique & Registre à décalage

La logique utilisée est la même que dans [46]

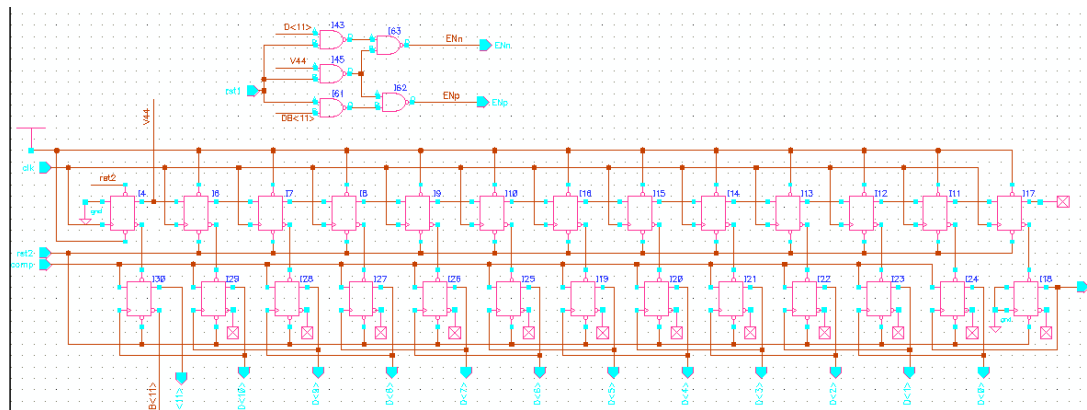


Figure 2-54 Registre à décalage et registre résultat

Le système est composé d'un registre à décalage et d'un registre résultat tous les deux composés de bascules D avec SET et RST actif bas.

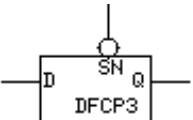
		SN	RN	C	D	Q	QN	Remarques
	Mode Asynchrone	L	L	X	X	X	X	Instable
		L	H	X	X	H	L	Mise à 1
		H	L	X	X	L	H	Mise à 0
	Mode synchrone	H	H	↑	L	L	H	Mise à 0
		H	H	↑	H	H	L	Mise à 1
		H	H	L-H	X	Q	/Q	Maintien

Tableau 2-5. Table de vérité bascule D

Les entrées SN du registre à décalage sont connectées à VDD et les entrées RN au bit d'activation (rst2). Quand ce bit passe à l'état haut (H), la conversion commence. Le système passe en mode synchrone pour décaler un état haut de bascule en bascule à chaque front montant d'horloge.

Cet état haut permet d'activer le registre résultat dont les sorties commandent le DAC. Le résultat de la comparaison permet ensuite soit de sauvegarder cet état haut si la tension du DAC est inférieure à la tension d'entrée du système, soit de remettre la valeur à 0 dans le cas contraire avant de passer au bit suivant.

2.6.5. Horloge

Pour fonctionner correctement, le système à besoin d'horloges non recouvrantes et d'une gestion des retards.

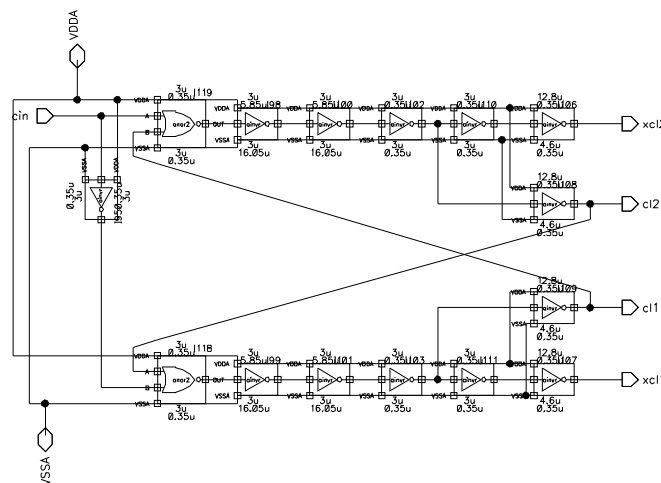


Figure 2-55. Schématique circuit de non recouvrement

Ce circuit (cellule bibliothèque du fondeur) permet, à partir d'une horloge principale de créer deux signaux carrés, en "opposition de phase" mais n'étant jamais à 1 en même temps. A chaque changement d'état, il y a un temps de blanc (état où les deux signaux de sortie sont à 0). Ce décalage est introduit par la présence de portes supplémentaires sur les deux voies du circuit. La voie deux est donc plus rapide à passer à 0. Le temps de non recouvrement est égal à 18.4ns

Conso 333Khz : 2.66μA

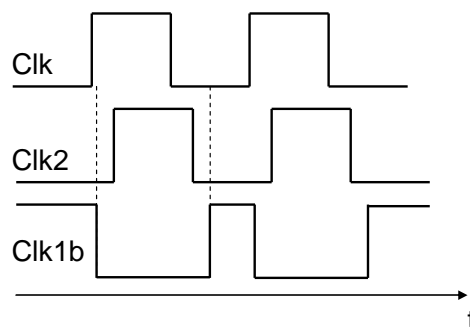


Figure 2-56. Courbe horloge non recouvrante

2.6.6. Référence de tension

Afin que les préamplificateurs ainsi que les latches soient au point de fonctionnement simulé (1.65V), une référence de tension a été réalisée avec 2 Pmos identiques montés en résistance (Figure 2-57). Ils délivrent une tension de $V_{CC}/2$ avec une consommation de 2.13uA. Cette référence possède également une mise en stand by active à l'état haut. Son mismatch n'est pas un point critique et n'a pas besoin d'être caractérisé car il n'influe pas sur l'offset du comparateur. L'important est que cette référence soit la même en chaque point afin de ne pas perturber le fonctionnement différentiel. Les lignes de connexion du layout nécessitent donc une organisation en étoile de même longueur entre le point de départ et le point d'arrivée.

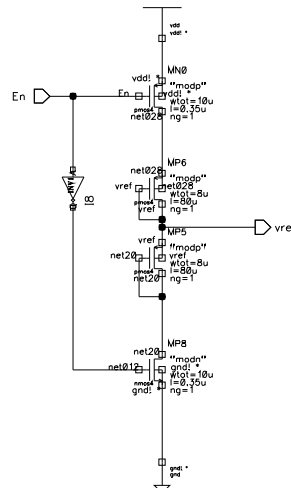


Figure 2-57. Schématique Référence de tension

2.7. Simulation

2.7.1. Description montage complet

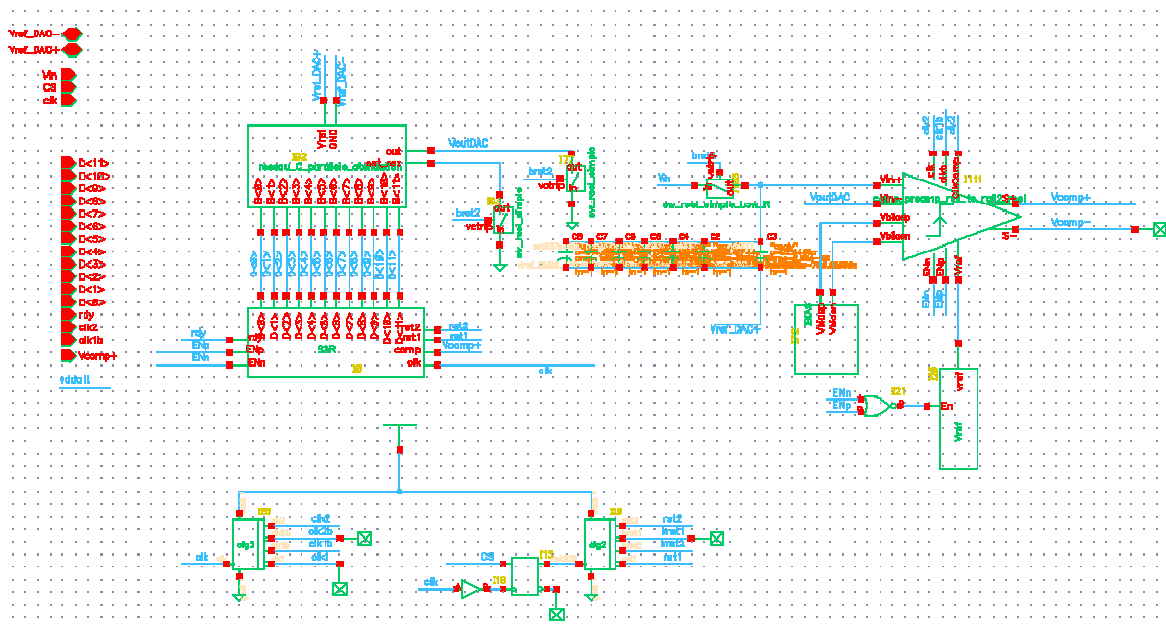


Figure 2-58. Schématique CADENCE ADC SAR

Fonctionnement:

1. Pour effectuer une conversion, il faut que le signal d'activation CS synchrone sur front montant à CLK reste au minimum une période à l'état bas suivi de 13 périodes à l'état haut.
2. Au front montant d'horloge suivant la conversion commence.
3. Après 12 coups d'horloge le bit RDY devient actif pour signaler la disponibilité du résultat de la conversion sur le bus parallèle D<0:11>
4. Le résultat reste disponible tant que l'on maintient CS à 1. Pour commencer une nouvelle conversion, il faut remettre CS à 0 pendant 1 coup horloge et le remettre à 1 de nouveau pendant 13 cycles (12 de conversion +1 de disponibilité des données). Si on remet CS à 0 en cours de cycle, la conversion est stoppée et le système est prêt pour une nouvelle conversion.

Liste des entrées/sorties :

Nom	Fonction	Nom	Fonction
Vref_DAC+	Référence Haute du DAC	D<8>	Sortie Bit8
Vref_DAC-	Référence Basse du DAC	D<7>	Sortie Bit7
vdda1	Alimentation analogique	D<6>	Sortie Bit6
gnd	Masse	D<5>	Sortie Bit5
vdd	Alimentation numérique	D<4>	Sortie Bit4
Vin	Signal d'entrée à convertir	D<3>	Sortie Bit3
CS	« Chip Select »	D<2>	Sortie Bit2
clk	Signal D'horloge	D<1>	Sortie Bit1
D<11>	Sortie MSB	D<0>	Sortie LSB
D<10>	Sortie Bit10	rdy	Signal de fin de conversion
D<9>	Sortie Bit9	Vcomp+	Sortie comparateur

2.7.2. Description des signaux

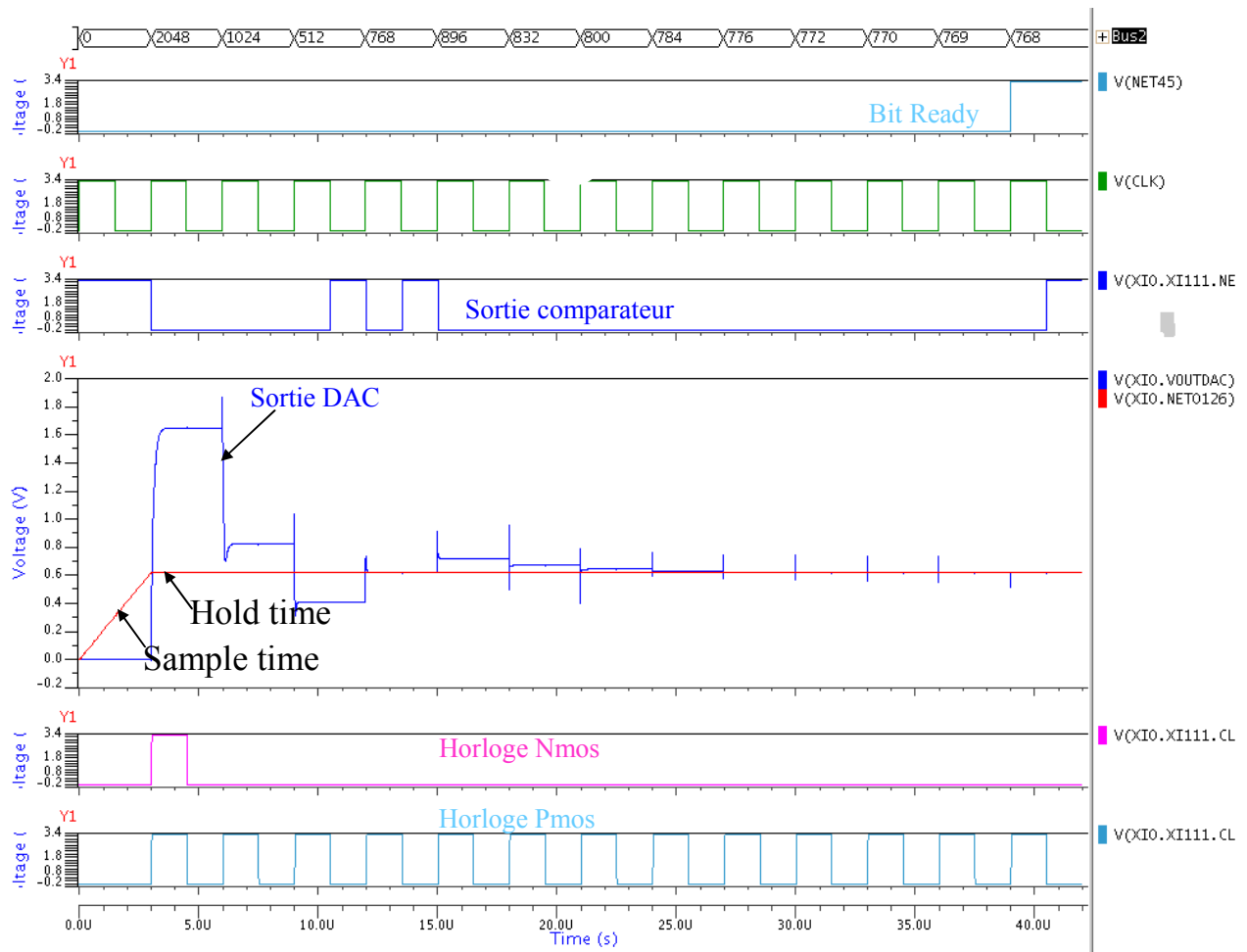


Figure 2-59. Courbe de fonctionnement ADC SAR

Cette représentation de quelques signaux du système montre le fonctionnement décrit précédemment. Sur cet exemple la tension à convertir est de 619mV quand le track&hold retient l'information. S'agissant d'une tension basse ($<V_{CC}/2$), seul le comparateur avec une entrée pmos reste actif. A chaque fois que la sortie du comparateur est positive, on peut voir la sortie du DAC qui s'incrémente. Après 12 coups d'horloge, le bit rdy est actif pour signaler la disponibilité du résultat (code=768).

La figure ci après représente le séquencement des signaux créés à partir du signal d'horloge et du signal « Chip Select »

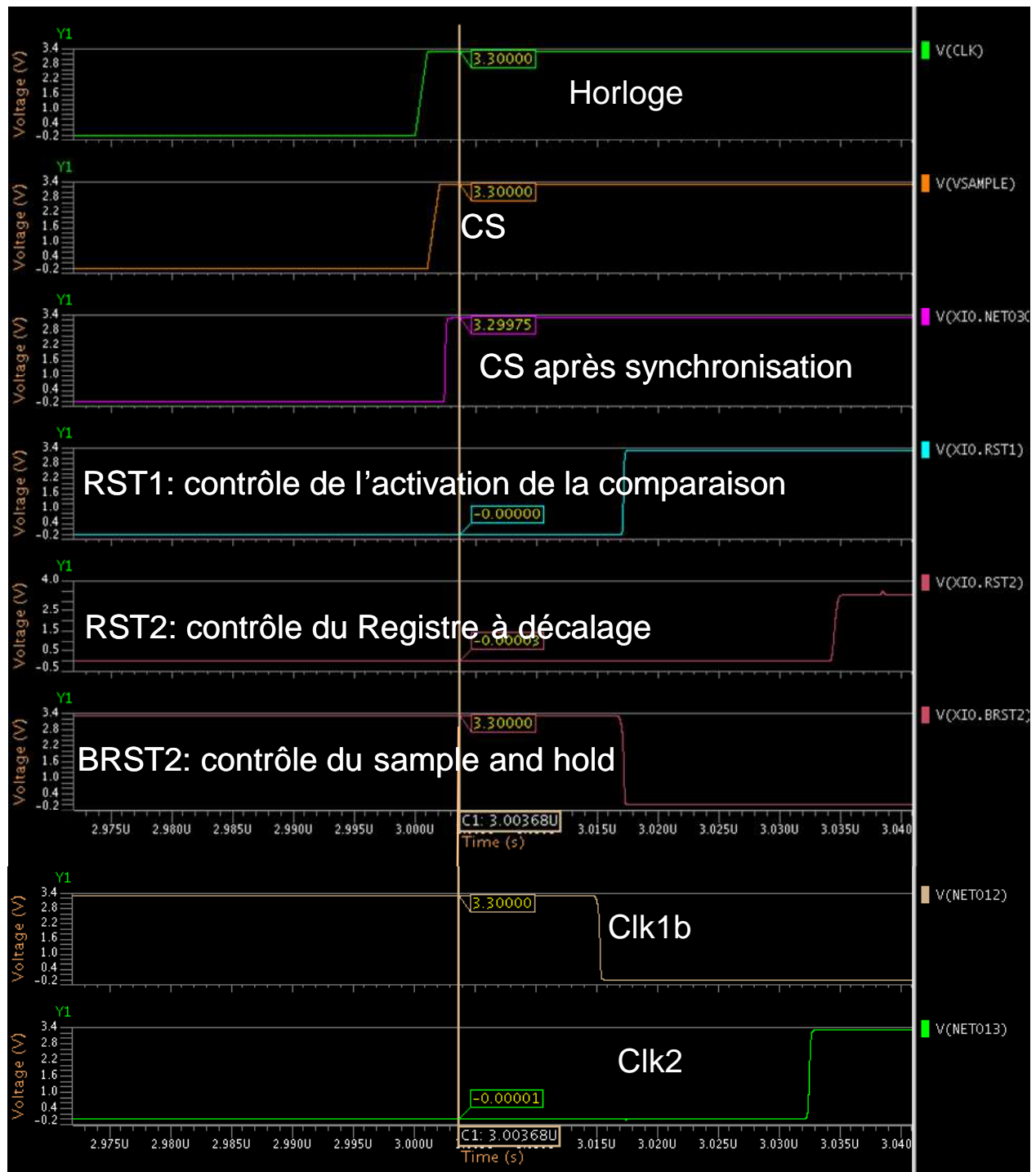


Figure 2-60. Synchronisation des horloges ADC SAR

Les signaux RST1, RST2 et BRST2 sont construits à partir du Chip Select alors que Clk1b et Clk2 sont synchrones à l'horloge au rapport cyclique près.

La consommation moyenne est de 24µA. Elle correspond à la somme de tous les éléments consommateur du circuit :

$$I_{DAC} + I_{Comp} + I_{bias} + I_{ref} + I_{Clk} + I_{num} = 10.13\mu A + 7.1\mu A + 1\mu A + 2.15\mu A + 2.66\mu A + 1.6\mu A = 24.64\mu A.$$

2.7.3. Simulation

2.7.3.1. INL/DNL

La simulation d'un point de fonctionnement dure environ 1 heure. Il n'était donc pas envisageable d'effectuer les 4096 simulations pour obtenir les courbes de linéarité différentielle et intégrale.

Les courbes ci-dessous montrent un aperçu de la linéarité de l'ADC. La courbe noire est la courbe idéale et théorique. La courbe bleue représente une version du circuit avec un premier dimensionnement des capacités unitaires du DAC de 300fF (établie par les contraintes de matching du paragraphe 2.5.1.7.. La différence de comportement s'explique par le phénomène de redistribution de charges expliqué précédemment (paragraphe 2.6.3) avec les capacités du DAC, les capacités d'entrées du comparateur et la capacité du S&H. La courbe rose représente la version finale avec des capacités unitaires de 1pF (contrainte redéfinie par le paragraphe 2.6.3)

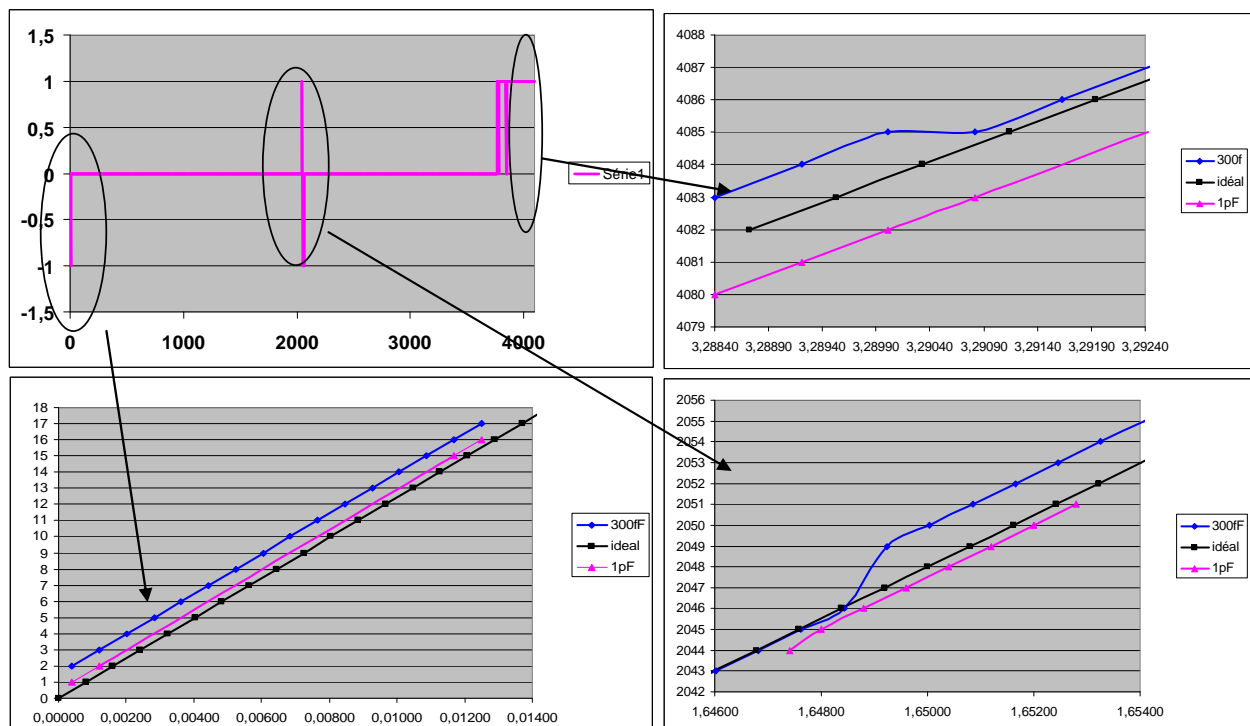


Figure 2-61. Courbe de linéarité ADC SAR

Au regard de ces courbes, on obtient une INL de 1LSB max sur toute la gamme. l'offset semble divisé par 3 en passant de 300 à 1000fF par contre la courbe rose qui est au dessus de l'idéal pour les premiers codes est au dessous pour les codes élevés et déjà pour 2048 le réseau de poids forts n'a pas le même impact que le réseau de poids faibles.

2.7.3.2. Simulation Monte Carlo

La simulation Monte Carlo permet d'apporter une variation aléatoire des paramètres technologiques. Les résultats obtenus sont représentés dans le tableau ci dessous

Tension Vin	Nb de scénario	Code théorique	Code Simulation			Conso		
			min	typ	max	min	typ	max
0,1	36	124	124	125	125	25,1u	28,4u	32,7u
1,6	10	1986	1985	1985	1985		27,74u	
1,7	36	2110	2109	2110	2110		27,74u	
3,2	35	3971	3970	3970	3970	27,6u	31,9u	36,7u

Une simulation Monte Carlo donne une INL d'un LSB sur les courbes on passe de +1/2 LSB à -1.5LSB

2.7.3.3. Simulation NoiseTran

La simulation noisetran s'effectue conjointement avec une simulation transitoire sous Eldo. Elle rajoute plusieurs signaux sinusoïdaux (par défaut 50) à différentes fréquences (dans une bande passante que l'on définit) et dont l'amplitude correspond aux bruits générés par le circuit simulé. Pour être significative, cette simulation s'effectue en plusieurs scénarii comme les simulations Monté Carlo.

Comme cette simulation est très longue (environ 2h30 par scénario), un seul point de fonctionnement a été caractérisé avec 50 scénarii (≈4 jours de simulation) :

Avec Vin=1.6, on obtient le code 1985 pour tous les scénarii. On peut donc raisonnablement penser obtenir une erreur de linéarité inférieure au LSB avec d'autres points de fonctionnement.

2.7.3.4. Simulation PEX

Les simulations PEX sont les simulations post-layout avec extraction des parasites. Dans notre cas, on extrait à la fois les capacités parasites (capa de bord, capa de chevauchement des couches techno...) et les résistances(principalement des résistances de ligne). La synthèse de ces simulations nous donne une INL/DNL maximale de 1,5 LSB. Ce résultat rejoint la courbe de linéarité du DAC (Figure 2-37).

2.8. TEST

2.8.1. Outil de test

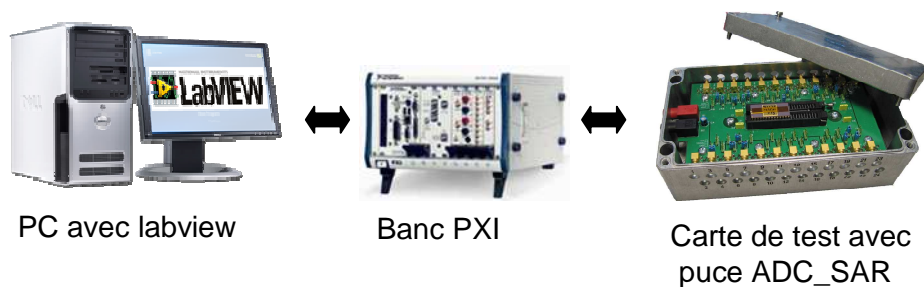


Figure 2-62. Banc de test

La mise en œuvre du test a été réalisée avec un châssis PXI de National Instrument, un PC avec le logiciel Labview et une carte de test avec support DIL48. Le châssis accueille :

- une carte d'acquisition/Génération de signaux numériques PXI-6552
- Une carte de génération analogique PXI-6733
- Une carte d'acquisition analogique PXI-4070

Enfin on utilise une alimentation agilent E3631A et un générateur de tension agilent E332501A

Les figures ci-dessous représentent la puce encapsulée ainsi que les signaux de contrôle de L'ADC.

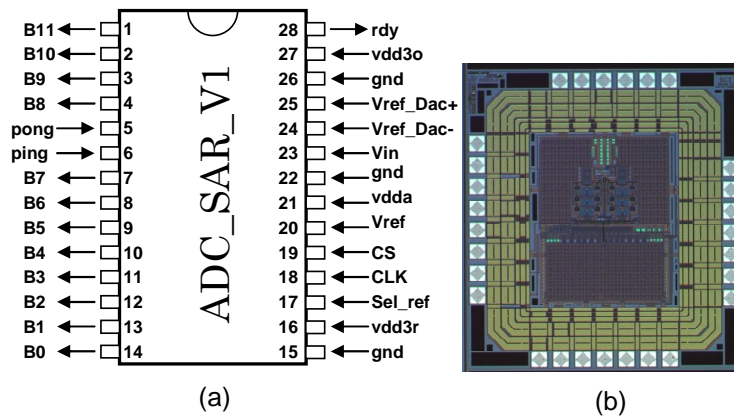


Figure 2-63 ADC SAR V1 (a) en boîtier DIL40, (b) photographie de la puce nue

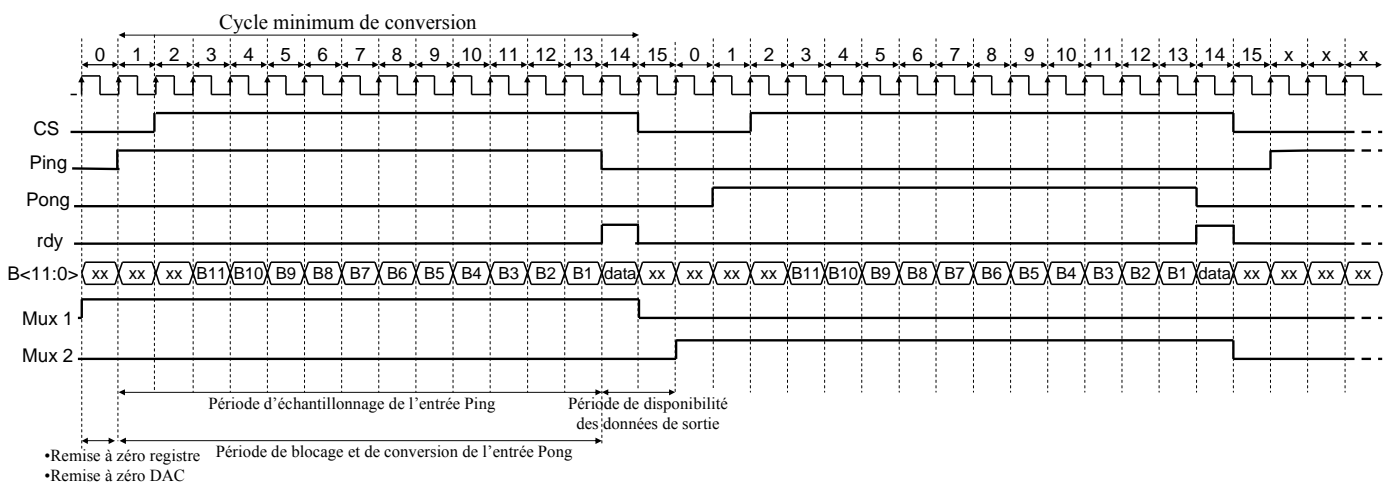


Figure 2-64. Chronogramme ADC SAR V1

2.8.2. Test consommation

Le protocole de test de consommation consiste à injecter un sinus de 300Hz et une horloge à 384KHz. Pour simplifier la machine d'état de contrôle des commandes ping, pong et CS, la conversion se fait sur 16 coups d'horloge (bien qu'il soit possible d'effectuer la conversion en seulement 14 coups d'horloge). Cela correspond à une fréquence ADC de 24KS/s. La mesure du courant s'est effectuée au travers d'une résistance entre le plot d'alimentation et l'alimentation du circuit.

Les consommations numériques et analogiques moyennes mesurées du circuit hors DAC sont en moyenne de 16 μ A

La consommation moyenne mesurée du DAC est de 10.1 μ A



Figure 2-65. Mesure du courant dans le DAC

On peut voir sur la mesure ci-dessus les cycles de charges des capacités du circuit.

2.8.3. Test de linéarité

Pour mesurer les erreurs de linéarité différentielle et intégrale de l'ADC, on se sert du DAC 16bits de l'outil d'acquisition/génération d'entrée/sortie analogique PXI 6733. Pour la mesure de la linéarité intégrale de l'ADC, on obtient les courbes ci-dessous.

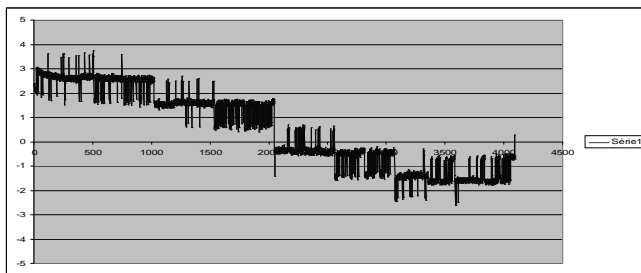


Figure 2-66. INL sans correction du gain et de l'offset ADC SAR V1

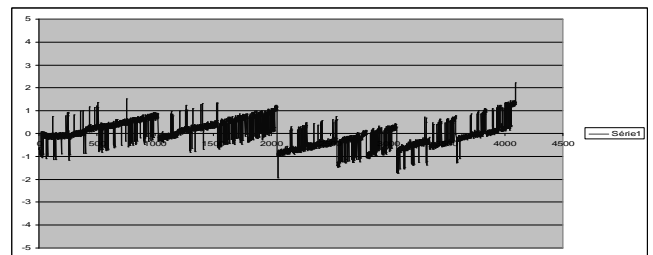


Figure 2-67 INL avec correction du gain et de l'offset ADC SAR V1

On obtient une erreur de linéarité intégrale maximale après correction de gain et d'offset de 2 LSB. La courbe ci-dessous représente l'erreur de linéarité différentielle.

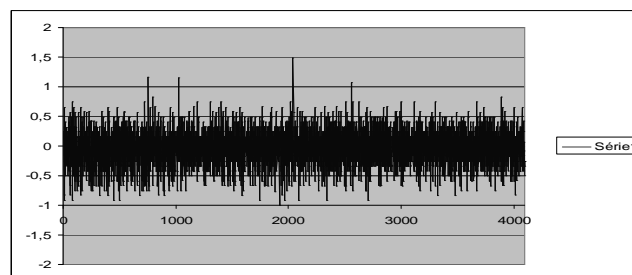


Figure 2-68 DNL ADC SAR V1

La DNL ainsi obtenue est de 1,5LSB.

2.8.4. Test Comparateur

La consommation moyenne du comparateur à la précision près des outils de mesure est inférieure à 15uA . Pour le test d'offset on injecte un signal sinusoïdal de fréquence 0.05Hz et d'amplitude 40mV autour de valeur DC comprise entre 0 et VDD. Son offset est inférieur à 1mV.

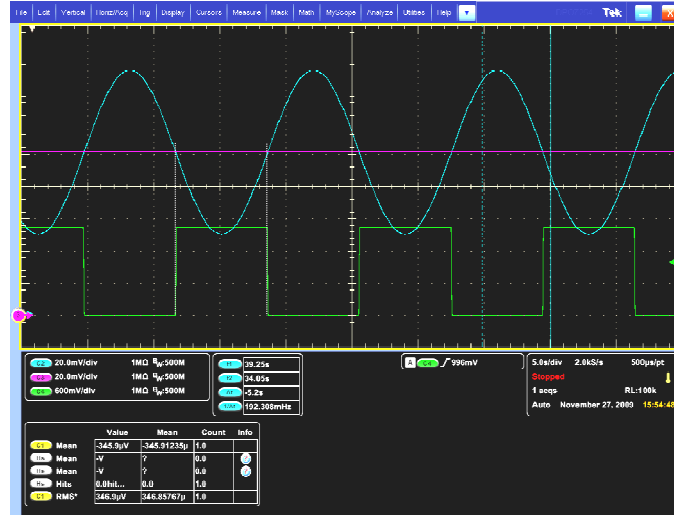


Figure 2-69. Test du comparateur

2.8.5. Test fréquentiel

On utilise un générateur de sinus à 50Hz et d'amplitude 1.5V (3V Crête). Voici ses caractéristiques fréquentielles avec un échantillonnage à 24KS/s sur la bande passante du signal multipliée par $\pi/2$. Cette bande passante correspond à un filtrage du premier ordre avec une fréquence de coupure à 300Hz. En effet, si on considère l'atténuation à -20dB/décade d'un filtre du premier ordre, on peut approximer la bande passante totale du signal par la fréquence de coupure multipliée par $\pi/2$.

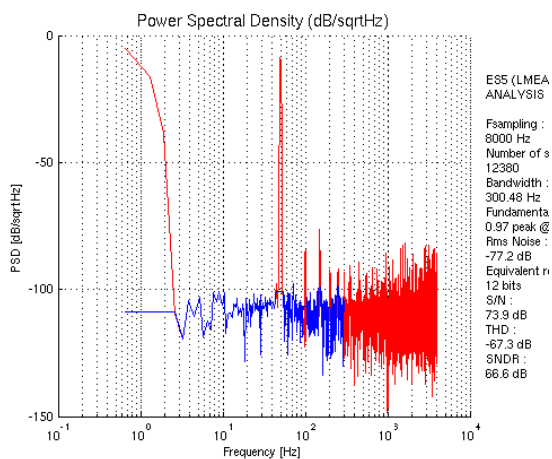


Figure 2-70. Densité spectrale du bruit mesurée sur la meilleure puce avec 12380 échantillons, VDD=3,3V, un signal d'entrée à 50Hz et 3,2V d'amplitude crête à crête

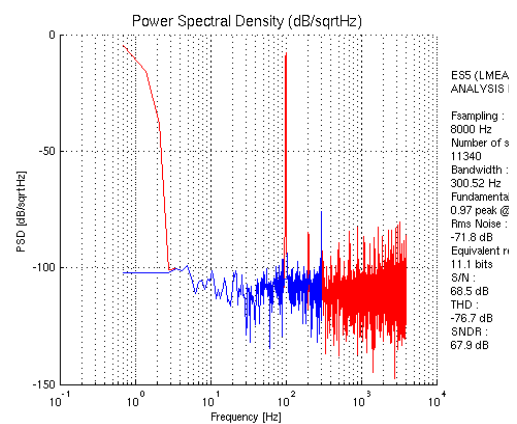


Figure 2-71. Densité spectrale du bruit mesurée sur la pire puce avec 11340 échantillons, VDD=3,3V, un signal d'entrée à 50Hz et 3,2V d'amplitude crête à crête

Le rapport signal/bruit est respectivement de 77,2dB et 71,8dB, soit une résolution de 11Bits ENOB

2.8.6. Résumé des performances

	Spécifications	Simulation	Test_ADC_V1
Résolution	12Bits (10 ENOB)	12Bits(11ENOB)	12Bits(11ENOB)
Vitesse pour 8 voies	8KS/s (24KS/s max)	24KS/s	24KS/s
Signal d'entrée après amplification	0-3,3V	0-3,3V	0-3,3V
Alimentation	3,3V	3,3V	3,3V
Puissance consommée pour toutes les voies	minimale (<125μW)	79μW	86μW
INL	minimale	1LSB	2LSB
DNL	minimale	1LSB	1,5LSB
FOM	5pJ/conv	1,63pJ/conv	2,15pJ/conv
Surface	minimale (<1mm ²)	*	0.65mm ²

2.9. Amélioration

Pour améliorer les performances d'un ADC, il faut soit augmenter sa vitesse, soit augmenter sa résolution, soit diminuer sa consommation. Le but est d'optimiser la FOM du convertisseur. Dans tous les cas de figure, l'amélioration d'une caractéristique se fait au détriment d'une autre. Par exemple, une augmentation de la vitesse se traduit bien souvent bien par une augmentation de la consommation. Ceci se traduit par un FOM qui reste quasi constant.

Le choix de la fréquence du système (qu'on définit comme étant égale à 1/Tbit) détermine la vitesse de conversion (N/Tbit) correspond à la constante de temps la plus longue. Cette constante de temps ($=RC_{MSB}$) est généralement diminuée au maximum en utilisant des capacités minimales mais suffisamment grosses pour assurer la résolution visée (par le matching et le bruit associés à ces capacités).

La taille des interrupteurs et donc la valeur de leur résistance à l'état fermé peut elle aussi être optimisée mais ce travail est délicat car plus un interrupteur est gros, moins il est résistif, mais plus il engendre des injections de charges qui faussent la valeur finale et donc limite l'ENOB du convertisseur par l'ensemble des erreurs engendrées.

Le constat est que malgré tous les efforts qui peuvent être apportés pour diminuer la constante de temps la plus longue dans ce type d'ADC, la vitesse reste bridée par celle-ci. Peu importe le type de DAC ou le comparateur utilisés, les constantes de temps sont inégales et le dimensionnement actuel des ADC-SAR est imposé par la constante de temps la plus critique associée au cas de la première comparaison liée au MSB.

Toutes les architectures proposées dans les publications de l'état de l'art s'attardent sur la minimisation de la constante de temps la plus critique. Aucune ne propose d'amélioration par une adaptation de la fréquence d'horloge durant la conversion pour ne se limiter qu'à la constante de temps de la comparaison en cours. Cette solution permet d'améliorer la FOM des convertisseurs SAR comme nous allons le démontrer dans la suite du document. Celle-ci a fait l'objet d'un brevet en cours d'étude.

2.9.1. Proposition d'amélioration

2.9.1.1. Principe

La proposition vise à améliorer les performances des ADC SAR en jouant sur la fréquence d'horloge qui les régit. Cette amélioration permet soit d'augmenter la vitesse du convertisseur, soit de diminuer sa consommation en relâchant les contraintes des blocs qui le composent. Dans les 2 cas, on diminue la figure of merit du convertisseur.

Le principe est d'adapter chaque période du système à chaque pas de la conversion (donc N fois) afin qu'elle soit la plus courte possible en fonction des différentes constantes de temps du système lors de la conversion en cours.

La suite du document propose d'évaluer le gain de performance maximale avec cette amélioration sur un ADC SAR capacitif classique. On considère que la résolution réelle du convertisseur $ENOB=N$ (cas du FOM théorique) et on fait en sorte que l'amélioration proposée ne détériore pas cette résolution.

Les périodes de conversion (Tbit) de l'ADC sont gérées par les équations

$$T_{bit} = T_{comp} + T_{dac}$$

Dans le cas d'une conception classique avec une horloge non adaptative, le dimensionnement d'un ADC SAR répond à l'équation suivante pour toutes ses comparaisons :

$$T_{DAC} \max = T_{DAC}(k=1) \text{ et } T_{DAC} \text{ total} \geq N \times T_{DAC} \max$$

En d'autres termes, la vitesse du système dépend de la constante de temps maximum liée à l'établissement de la tension propre au MSB.

Par contre dans le cas d'une horloge adaptative qui évolue au cours de la conversion pour correspondre à chaque constante de temps de chaque étape de conversion, on obtient :

$$T_{DAC} \text{ total} \geq \sum_{k=1}^N T_{DAC}(k)$$

A chaque incrémentation de k, le temps d'établissement est à peu près divisé d'un facteur proche de 2 (supérieur à 1).

Ci-dessous est représenté le diagramme sommant les 8 périodes de comparaison d'un ADC-SAR 8 bits dans le cas d'une horloge non adaptative conventionnelle puis dans le cas d'une horloge adaptative.

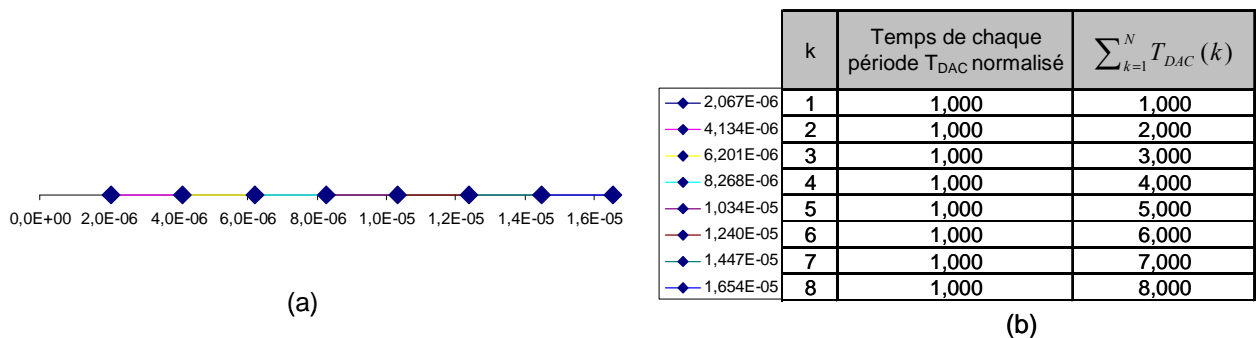


Figure 2-72. (a) Périodes (en seconde) de conversion d'un ADC-SAR avec une horloge classique ; (b) Rapport entre chaque période consécutive

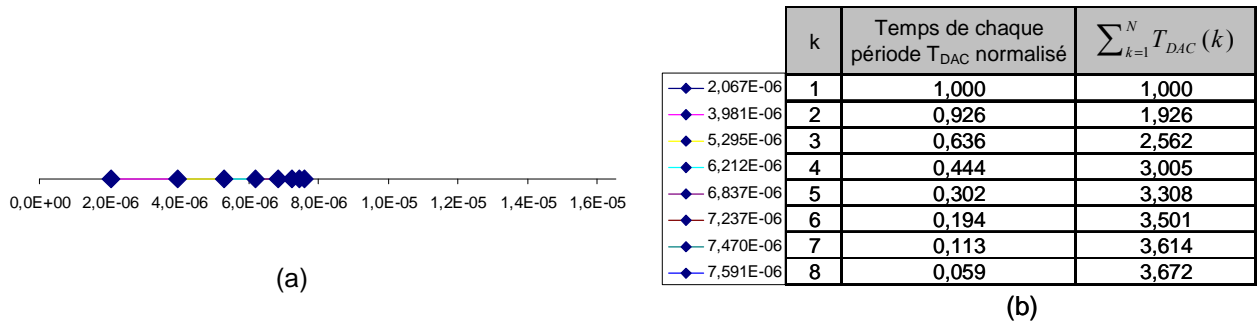


Figure 2-73 : (a) Périodes de conversion d'un ADC-SAR avec une horloge adaptée ; (b) Rapport entre chaque période consécutive

Le diagramme ci-après représente le gain apporté sur le FOM par notre solution par rapport à un pilotage conventionnel.

Ce gain qu'on nommera G correspond au temps total d'une conversion classique divisé par le temps total d'une conversion avec notre amélioration :

$$G = \frac{N \times T_{DAC}(1)}{\sum_{k=1}^N T_{DAC}(k)}$$

Ce gain est fonction de la résolution N et tend vers 2,3 pour les fortes résolutions dans le cas d'une architecture de DAC classique avec une horloge adaptative. Dans notre exemple précédent (Figure 2-73) portant sur 8 bits, le Gain G est de 2,18 (8/3,67). Nous retrouvons cette valeur sur la figure suivante.

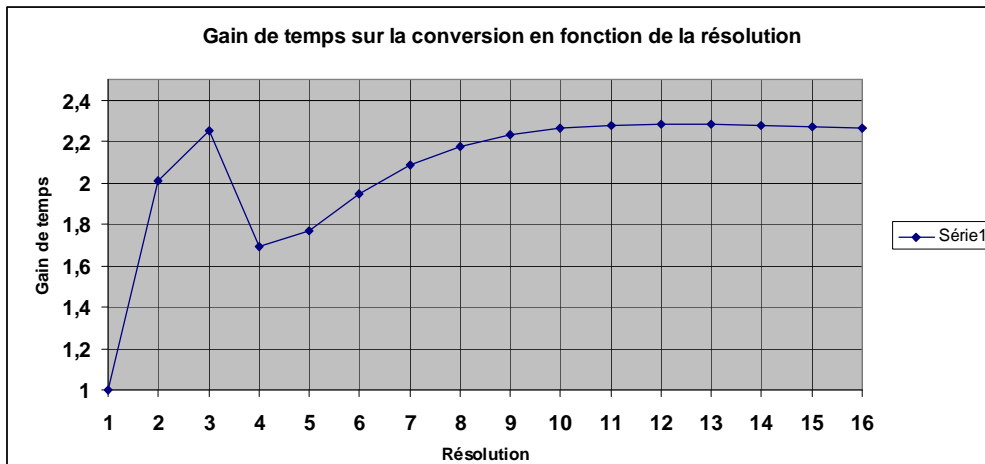


Figure 2-74 : Quantification en fonction de la résolution (N) du convertisseur du gain de temps et donc de FOM lors des N comparaisons entre une architecture suivant l'invention et une architecture suivant l'état de l'art.

Par exemple pour N=12, on a un rapport de G=2,27. La conversion peut donc s'effectuer jusqu'à 2,27 fois plus rapidement.

Si la consommation supplémentaire générée par l'horloge adaptative est négligeable, la FOM du système amélioré est directement diminuée par ce facteur G :

$$FOM = \frac{POWER}{2^{ENOB} \times FS \times G}$$

La valeur de ce gain dépendant essentiellement de l'architecture du DAC utilisé.

2.9.2. Exemple de réalisation/Détails

2.9.2.1. Exemple de pilotage optimisé d'un ADC-SAR

L'amélioration a été testée sur notre convertisseur de type SAR. Ci-dessous est représenté le cycle de conversion de l'ADC avec son horloge adaptée :

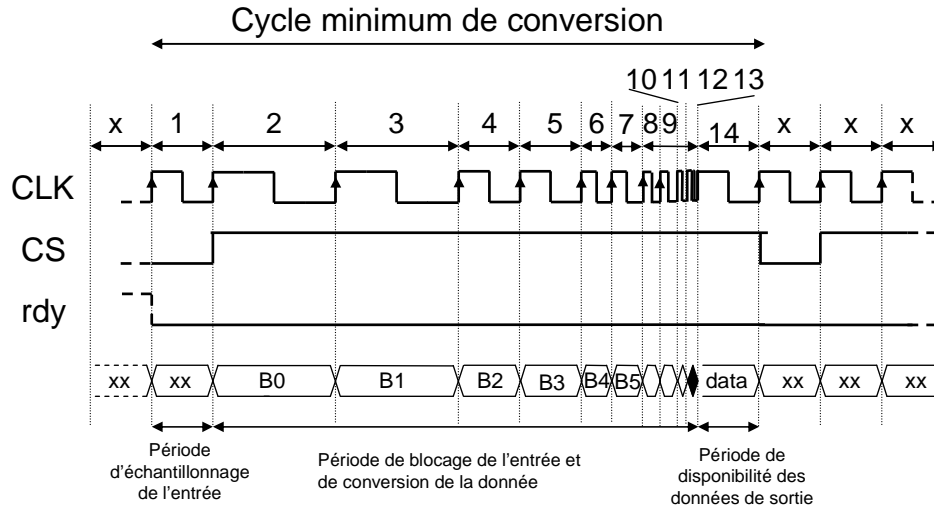


Figure 2-75 : Chronogramme de l'ADC

Le fait d'augmenter la fréquence à chaque fois que la constante de temps du circuit diminue permet d'augmenter de manière significative la vitesse du système. En théorie, le calcul précédent a montré que le gain maximum était de 2,27 pour $N=12$. Cependant, il est bien plus facile de diviser une fréquence d'horloge par 2. Pour que le système soit adapté à une fréquence horloge qui se multiplie par 2, il suffit de légèrement augmenter notre T initial puis de multiplier notre fréquence par 2 seulement toutes les 2 périodes de conversion. Dans notre système à 12 opérations, si chaque opération a besoin d'à peu près 1.5 fois moins de temps que la précédente et que la première nécessite un temps T , au lieu d'avoir besoin $12 \cdot T$, on a : $1T + 1T + T/2 + T/2 + \dots + T/(2^{N/2}) \approx 4T$. On réduit donc le temps total du système par un facteur 3 ($12/4=3$).

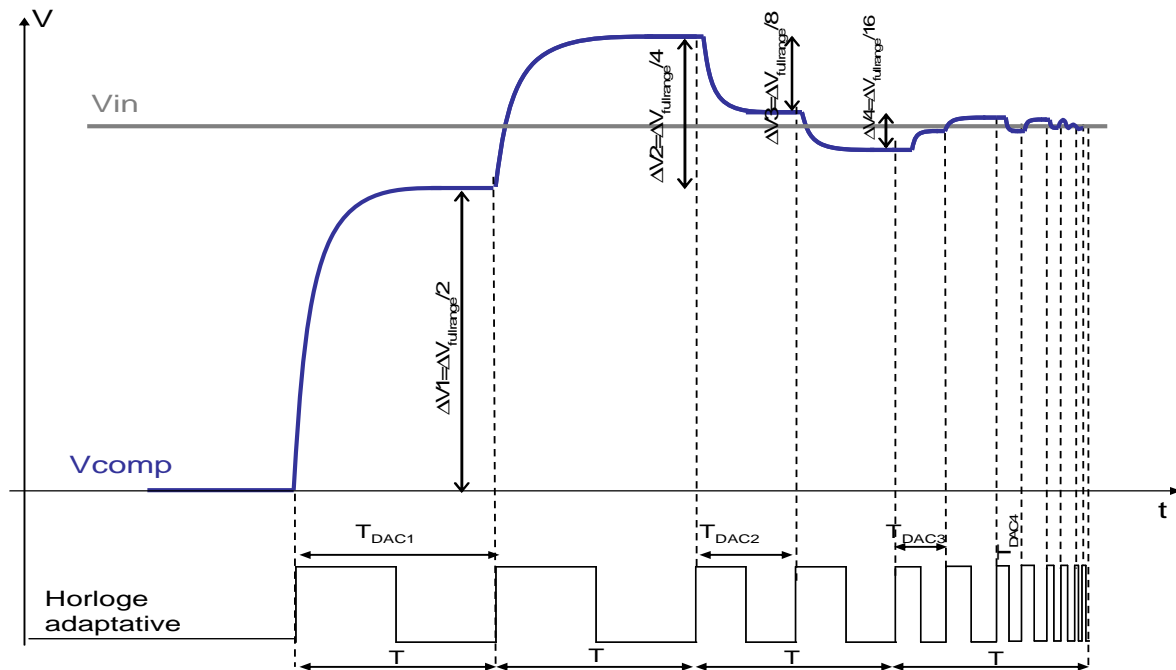


Figure 2-76 : Chronogramme des principaux signaux d'un ADC-SAR suivant l'invention.

2.9.2.2. Exemple de réalisation de l'horloge de pilotage optimisée pour un ADC-SAR

2.9.2.2.1. Exemple de réalisation « numérique »

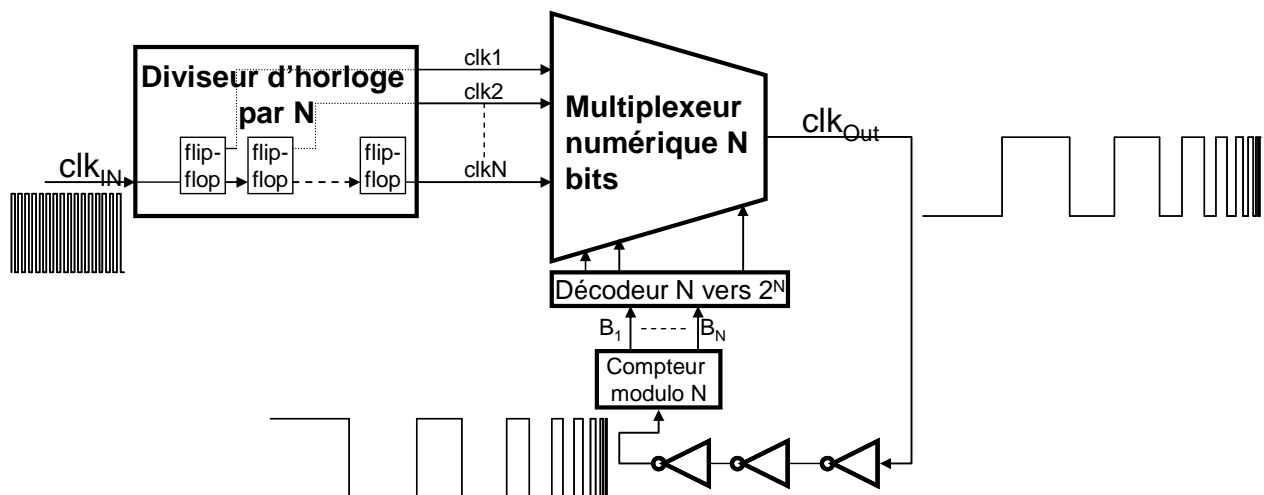


Figure 2-77 : Exemple de réalisation d'horloge adaptative

Le principe de base de cet exemple de réalisation est de basculer entre plusieurs horloges de fréquence différente afin d'obtenir une horloge de sortie avec une fréquence variable.

On part ici d'un signal clk_{IN} avec la fréquence maximale que l'on veut obtenir. Au travers de N bascules, on divise clk_{IN} N fois par 2 afin d'obtenir N signaux ($clk1$ à $clkN$) dont chaque fréquence est une puissance de 2 du signal initial.

Ensuite, à l'aide d'un multiplexeur, on sélectionne successivement les horloges désirées afin d'obtenir notre horloge variable clk_{OUT} .

Dans cet exemple, on sélectionne les horloges l'une après l'autre dans l'ordre où elles arrivent dans le multiplexeur. Pour cela, on utilise un compteur modulo N qui incrémente l'adresse du multiplexeur. Celui-ci reçoit comme entrée l'inverse de clk_{OUT} , ainsi lorsque qu'une période d'horloge a été effectuée, on bascule sur une autre horloge et on balaye en boucle toutes les fréquences. Une simulation de cette architecture consomme en moyenne moins de 3µA pour une fréquence d'horloge principale clk égale à 4Mhz . Sur notre ADC, on perd un facteur 1.1 sur la consommation mais on gagne un facteur 2 sur la vitesse. Le gain sur la figure de mérite reste donc significatif.

2.9.2.2.2. Exemple de réalisation « analogique »

La durée T_{comp} étant constante elle peut être gérée par une suite de portes logiques générant un retard de durée T_{comp} ou par un monostable qui une fois déclenché générera une impulsion de durée T_{comp} .

La durée T_{DAC} peut être par exemple générée à partir de la charge ou décharge de capacité avec une source de courant ajustable. Il suffit pour cela de comparer le potentiel de la capacité pour créer une durée T_{DAC} .

Ci-dessous est représenté un exemple de génération d'impulsion T_{DAC} variable :

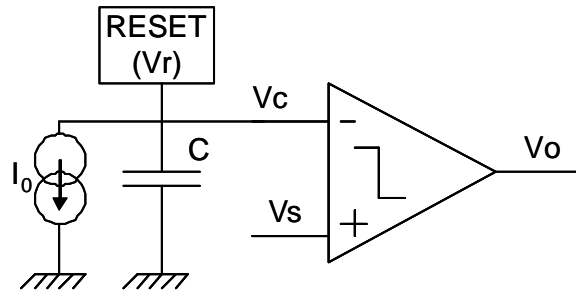


Figure 2-78 : exemple de réalisation d'impulsion T_{DAC}

Ce dispositif répond aux équations suivantes en considérant que la capacité C est réinitialisée au potentiel V_r à l'instant $t=0$:

$$V_c(t) = V_r - \frac{I_0}{C} t$$

donc :

$$T_{DAC} = \frac{C \cdot (V_r - V_s)}{I_0}$$

Ceci se traduit par le chronogramme suivant :

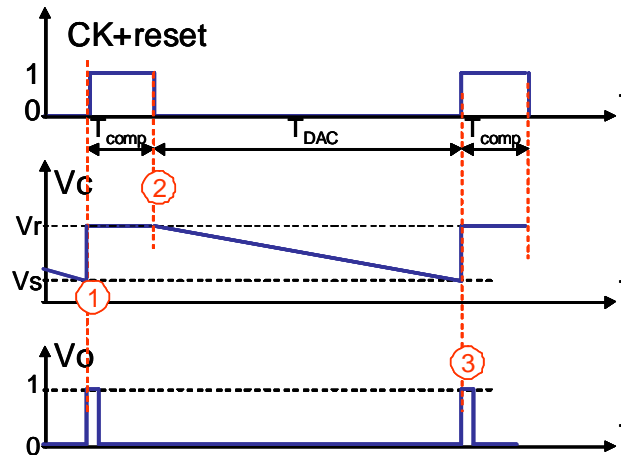


Figure 2-79 : chronogramme de l'horloge « analogique » de pilotage du DAC

A l'instant ① sous l'effet de la source de courant I_0 , la tension de la capacité décroît et atteint une valeur inférieure au seuil V_s . La sortie du comparateur passe au niveau haut ce qui déclenche le monostable (non représenté sur la Figure 2-78) dimensionné pour générer une impulsion de durée T_{comp} .

A l'instant ② la durée T_{comp} contrôlée par le monostable est atteinte, le signal d'horloge (CK) repasse à zéro. Ceci a aussi pour effet de dé-valider la réinitialisation de la capacité au potentiel V_r . La capacité C commence à se décharger sous l'effet de la source de courant I_0 .

A l'instant ③ sous l'effet de la source de courant I_0 , la tension de la capacité décroît et atteint une valeur inférieure au seuil V_s . La sortie du comparateur passe au niveau haut ce qui déclenche le monostable. Entre les instants ② et ③, il a été généré un niveau bas de durée T_{DAC} . Un nouveau cycle commence.

La durée T_{DAC} peut être contrôlée par la source de courant I_0 puis en divisant par 2 à chaque cycle la valeur de capacité nous réduisons la durée T_{DAC} par le même facteur.

Exemples de réalisation de monostable

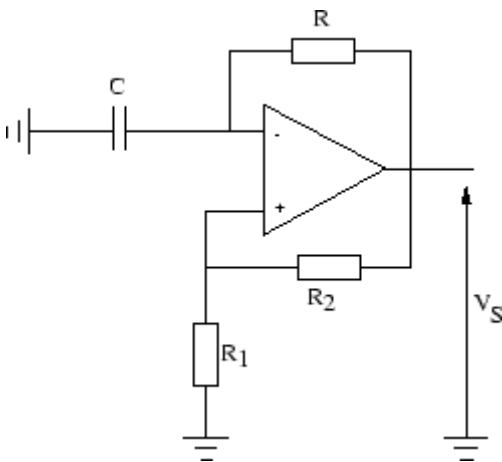


Figure 2-80 : exemple de monostable réalisé à partir d'un amplificateur opérationnel

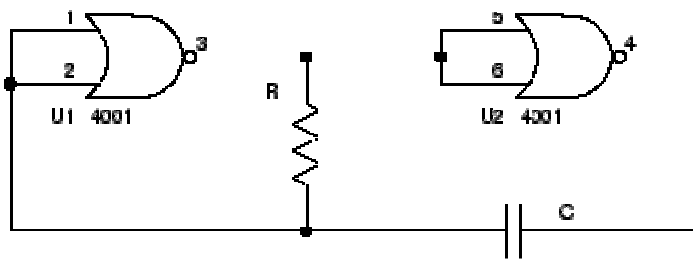


Figure 2-81 : exemple de monostable réalisé à partir de portes logiques (ici de type NOR)

2.9.3. Variantes d'améliorations

2.9.3.1. Rapport cyclique

Nous avons vu précédemment que les constantes de temps qui régissaient les ADC SAR étaient T_{comp} et T_{DAC} . Une adaptation de l'horloge pour correspondre aux T_{DAC} minimum nous permet de gagner un facteur G . Maintenant, si on considère que $T_{comp} \ll T_{DAC}$ et que T_{comp} correspond à un des états de l'horloge (haut ou bas), une adaptation du rapport cyclique permet aussi un gain sur le temps de conversion.

On définit α (compris entre 0 et 1) comme le rapport cyclique et on garde N comme le nombre de cycles nécessaires d'une conversion. On obtient un gain sur le temps de

conversion lié seulement au rapport cyclique de :
$$G\alpha = \frac{T_{DAC}}{T_{DAC} + T_{Comp}}.$$

Quand $\alpha=0,5$, l'horloge à un rapport cyclique symétrique et la conversion est classique $G\alpha=0,5$.

Quand α tend vers 1 (T_{comp} négligeable devant T_{DAC}), le $G\alpha$ tend vers 1 soit le gain maximum que l'on peut espérer avec une adaptation de l'horloge par son rapport cyclique.

Sur le chronogramme suivant la durée T_{comp} est gérée par le niveau bas de l'horloge et a une durée constante alors que la durée T_{DAC} est gérée par le niveau haut et a une durée décroissante qui s'adapte au constante de temps de chaque comparaison dans le DAC.

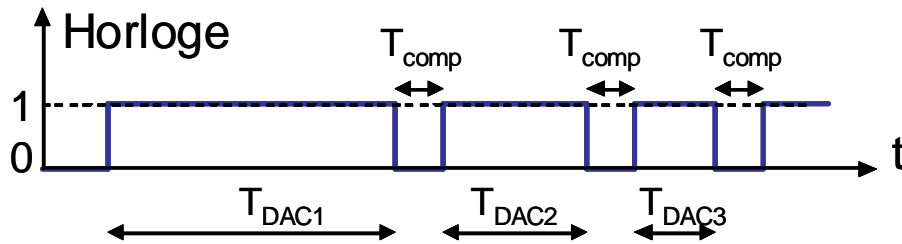


Figure 2-82 : Exemple d'horloge optimisée en fonction du temps

2.9.3.2. Horloge auto générée

Une autre variante possible est une horloge auto générée par le système lui-même. Ainsi à la fin de chaque temps d'établissement T_{DAC} et T_{comp} , l'horloge bascule d'un état à un autre d'une manière automatique et correspond au minimum possible en respectant l'exemple de chronogramme de la Figure 2-82. Cela permettrait d'avoir une séquence de conversion la plus rapide que le système le permet et sans prédiction. Un exemple de mise en œuvre de ce type d'horloge est présenté dans le paragraphe 2.9.2.2.2 (horloge analogique).

2.10. Conclusion

L'ADC SAR ainsi présenté répond parfaitement aux besoins de l'application. Les blocs qui le composent ont bénéficiés d'une étude bibliographique et d'une optimisation permettant d'atteindre les performances visées. Les contraintes de surface et de consommation ont privilégiés l'utilisation d'un DAC de type capacitif. L'étude de la dispersion des paramètres technologiques ont conduits aux choix des tailles minimales des capacités permettant d'atteindre 12bits de résolutions quelque soit les scénarios. Le comparateur conçu est de type latch précédé d'étages d'amplifications avec un système d'auto zéro garantissant un offset de l'ensemble de la chaine inférieur au LSB. Il possède également des entrées rail-to-rail afin d'utiliser toute la dynamique de sortie du DAC. Les effets de redistributions de charges et de couplage capacitif ont également été étudiés et minimisés afin de garantir la performance. L'ensemble de la conception a été validé par le flot de conception des circuits intégrés (cf ANNEXE 3).

L'ADC réalise 12bits de résolution pour une vitesse de 24Ks/S et 86 μ W de puissance consommée.

Une perspective d'amélioration de la vitesse des ADCs SARs en adaptant les signaux de contrôle de l'horloge a été étudiée et a fait l'objet d'un dépôt de brevet.

Les performances de l'ADC obtenues ont permis son intégration dans les premiers prototypes d'ASIC de lecture des signaux de type EcoG. Ces ASIC sont actuellement en cours de test. La première implantation chez l'homme est prévue à l'horizon 2012.

Chapitre 3

3. Convertisseur Analogique/Numérique Sigma delta incrémental pour mesure de pression stationnaire

Ce chapitre propose l'étude architecturale d'un système complet construit autour d'un convertisseur sigma-delta intégrant le capteur comme élément actif et dédié aux contraintes de l'application en termes de résolution et de communication.

La première partie de ce chapitre présente l'application qui consiste à mesurer la pression stationnaire sur la voilure de maquette d'avion en soufflerie. Les contraintes de la soufflerie et la gestion d'un grand nombre de capteurs (256) aboutissent à un convertisseur sigma-delta incrémental permettant d'obtenir une sortie en réponse à une requête asynchrone. Une modélisation de chaque élément du système complet intégrant le capteur, le modulateur et le filtre numérique effectuée sous matlab/simulink est ensuite présentée. L'étude du choix de l'implémentation du filtre numérique aboutit à un compromis entre vitesse et surface. Cette étude architecturale se termine par le dimensionnement de chaque élément du système. Sa résolution attendue est de 16 bits ENOB pour une fréquence maximale d'entrée de 100 Hz et un débit de sortie d'1 kS/s.

3.1. Introduction

Quand un ADC convertit un signal analogique en un signal numérique, il divise sa gamme d'entrée par le nombre total de pas de quantification, puis fait correspondre à chaque valeur d'entrée la valeur quantifiée la plus proche. Les convertisseurs qui font littéralement une telle segmentation sont parfois nommés dans la littérature ADCs directs. Ils incluent les flashs, les SARs, les ADCs algorithmiques et les ADCs pipelines [47]. Dans ce type d'ADC, la précision du pas de quantification est basée sur l'appariement des composants (résistances, condensateurs). La résolution de ce type d'ADC est de ce fait bien souvent limitée à 12bits s'ils ne bénéficient d'aucune calibration pour compenser les dispersions technologiques.

Les ADC qui utilisent une étape intermédiaire pour obtenir le code numérique de sortie peuvent être nommés ADC indirects. C'est le cas notamment des convertisseurs à rampe ou sigma delta qui utilisent une modulation de fréquence, de période ou encore de rapport cyclique [47]. Ils convertissent dans un premier temps la tension d'entrée en un rapport proportionnel dans le domaine temporel, puis quantifient ce rapport avec un mot numérique. Dans le cas d'un convertisseur double rampe, il s'agit d'un rapport entre 2 intervalles de temps, et dans le cas d'un convertisseur sigma delta, il s'agit d'une proportion de 1 dans le flux de sortie du comparateur. Ce rapport final du domaine temporel est ensuite converti grâce à un circuit numérique qui tourne à une fréquence bien supérieure à la vitesse de conversion (par exemple, un compteur ou un filtre à décimation). La résolution des ADC indirects ne reposent donc pas sur l'appariement des composants mais plutôt sur la vitesse à laquelle ils fonctionnent. Il est donc possible d'obtenir de fortes résolutions avec ce type d'ADC pour des signaux d'entrée de très faible fréquence ce qui les rend particulièrement intéressants pour des applications de type instrumentation de capteurs.

Les spécifications du projet WIRELESS sur la mesure de pression et le grand nombre de points de mesure ont conduit à prévoir le développement d'un circuit intégré spécifique (ASIC) qui, couplé à un élément sensible de type MEMS, réalisera la fonction de mesure de pression. Cet ensemble (ASIC + MEMS) sera considéré dans la suite du document comme le système capteur.

3.2. Contexte : Application Onera

Les essais en soufflerie consistent à reproduire les conditions atmosphériques vues par un objet en mouvement dans l'air pour étudier par exemple les phénomènes aérodynamiques induits autour de cet objet et le comportement de sa structure (Figure 3-1 et Figure 3-2). Les progrès constants de l'informatique permettent d'accéder de mieux en mieux à ce type d'information *via* les simulations. Les équations de l'aérodynamique sont en effet bien connues de la communauté scientifique mais leur numérisation nécessite des discrétisations spatiales et temporelles qui limitent la précision des calculs. Cela est particulièrement vrai en cas :

- de prépondérance des effets de viscosité sur l'écoulement (tourbillons, décollements, ...)
- de configuration géométrique tourmentée.

De telles situations nécessiteraient des maillages spatiaux et temporels très fins qui ne seraient raisonnablement pas compatibles avec les puissances de calcul actuellement disponibles. Les essais en soufflerie permettent donc, par la mesure, de valider les résultats de simulations, de les affiner et/ou de les compléter. Ils restent incontournables à ce jour mais leur existence reste incertaine à long terme.



Figure 3-1. Maquette à instrumenter



Figure 3-2. Ventilateur de la soufflerie

Une compétition relevée s'exerce logiquement entre les différentes souffleries. Aujourd'hui les principaux critères de choix d'une soufflerie sont sa réactivité, ses délais, la précision de ses mesures, sa capacité de modélisation (au sens maquette), la quantité d'informations (mesures) qu'elle sait fournir et le coût des essais.

Les capteurs traditionnels d'instrumentation ne font l'objet, pour le moment, d'aucun traitements à bord de la maquette car tous les signaux (analogiques à bas niveau) sont véhiculés par câbles vers les baies de traitement et d'acquisition déportées à plusieurs dizaines mètres. La mise en œuvre de ces câbles alourdit considérablement la préparation des essais et le nombre de capteurs embarqués est limité par les sections de passage disponibles à l'intérieur du dard supportant la maquette (Figure 3-3).



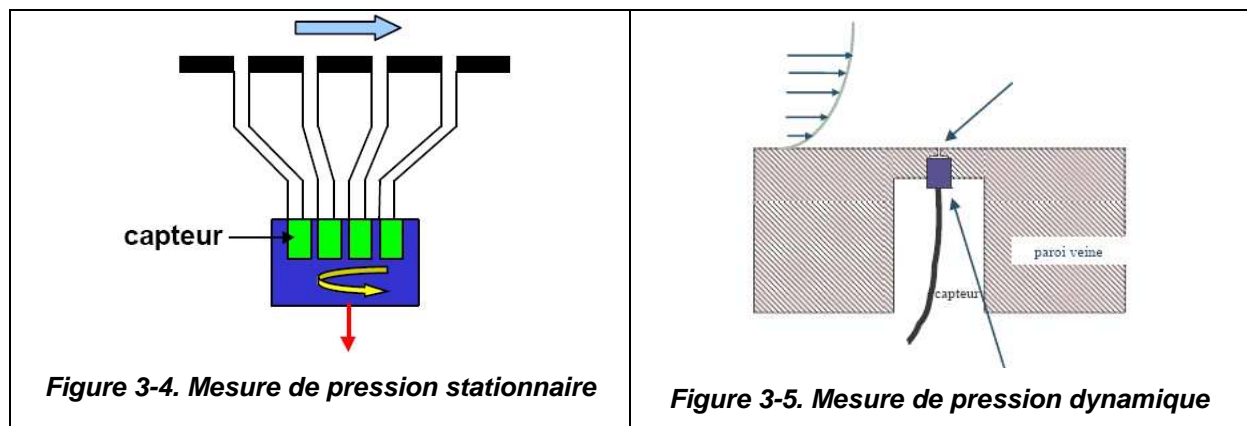
Figure 3-3 Maquettage d'une voilure avec son réseau filaire de connexions capteurs

3.2.1. Cahier des charges

L'Onera souhaite améliorer l'attractivité de ses souffleries pour maintenir leur compétitivité à haut niveau. Cette démarche passe, entre autre, par le développement d'un système d'instrumentation permettant notamment :

- d'accélérer la préparation des maquettes,
- d'en diminuer le coût,
- d'augmenter le nombre d'informations acquises à chaque essai
- d'augmenter localement la densité de capteurs

Deux systèmes de mesure de pression sont couramment utilisés : la mesure de pression stationnaire (ou statique) et la mesure instationnaire (ou dynamique). Dans le premier cas, on cherche à mesurer les pressions basses fréquences. Pour cela on utilise des capteurs de pression à l'intérieur de tubes (Figure 3-4). Ces tubes filtrent mécaniquement les variations hautes fréquences de la pression. Dans le cas de mesures de pression dynamique, les capteurs affleurent la surface des matériaux soumis au flux d'air imposé par la soufflerie (Figure 3-5).



Le cadre de ce projet concerne la mesure de pression stationnaire sur la voilure. Les contraintes liées au système de mesure et à l'environnement de la soufflerie ont abouti au cahier des charges du système global suivant.

Gamme de mesure	20 000Pa-95 000Pa
Précision	+/-30Pa
Bande passante	100Hz
Synchronisation des mesures entre capteurs	0,4ms
latence (retard)	< 5ms
Temps de réponse	< 1ms
Nombre de voies de mesure	1500
Température de fonctionnement (en surface)	-30°C +60°C

Tableau 3-1. Cahier des charges

La valeur du temps de réponse est liée au fait que la mesure de pression doit être corrélée à une mesure des variations de pression dues à la soufflerie elle-même. Cette compensation nécessite une précision temporelle d'environ 1ms quant à l'instant d'acquisition. En effet on considère que pendant une fenêtre temporelle d'1ms, les variations de pression dues à la soufflerie sont négligeables devant la précision de la mesure. Ainsi le circuit doit se

comporter comme un composant interrogeable de manière asynchrone avec un temps de réponse inférieur à 1 ms. On peut représenter cela de la manière suivante :

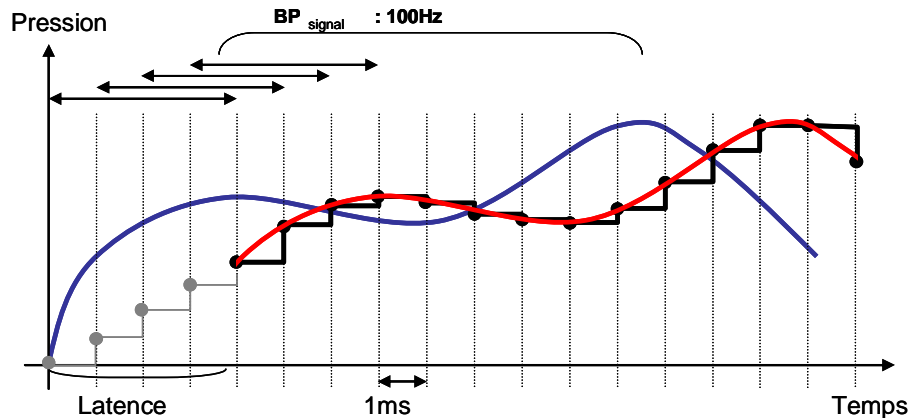


Figure 3-6. Temps de latence et temps de réponse face à une variation de pression

La courbe bleue représente l'évolution de la pression en fonction du temps avec une bande passante de 100Hz et une variation maximale de la pression comprise entre 20KPa et 95KPa. La courbe rouge correspond à la sortie du système de mesure avec un temps de latence toléré de quelques ms. Plus précisément, le mode de fonctionnement asynchrone permettra d'envoyer des requêtes grâce à un signal de sélection CS, lorsque l'utilisateur le désire (Figure 3-7). Il devra tout de même respecter le théorème de Shannon s'il veut reconstituer le signal d'entrée précisément.

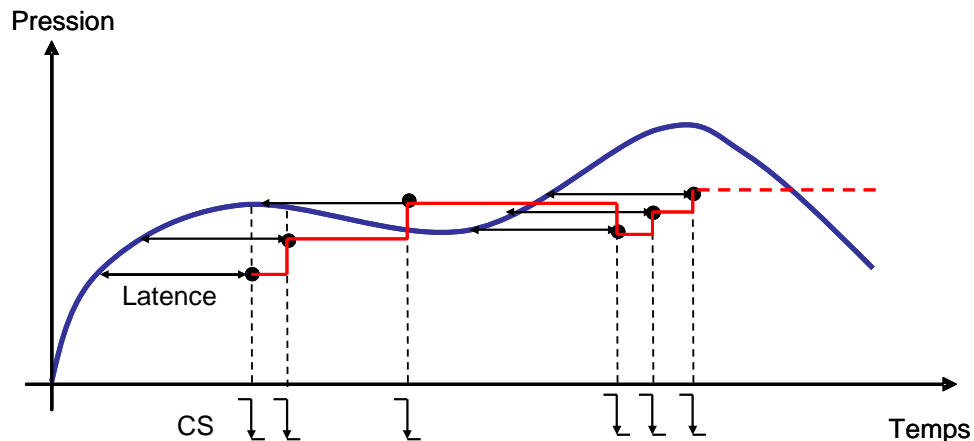
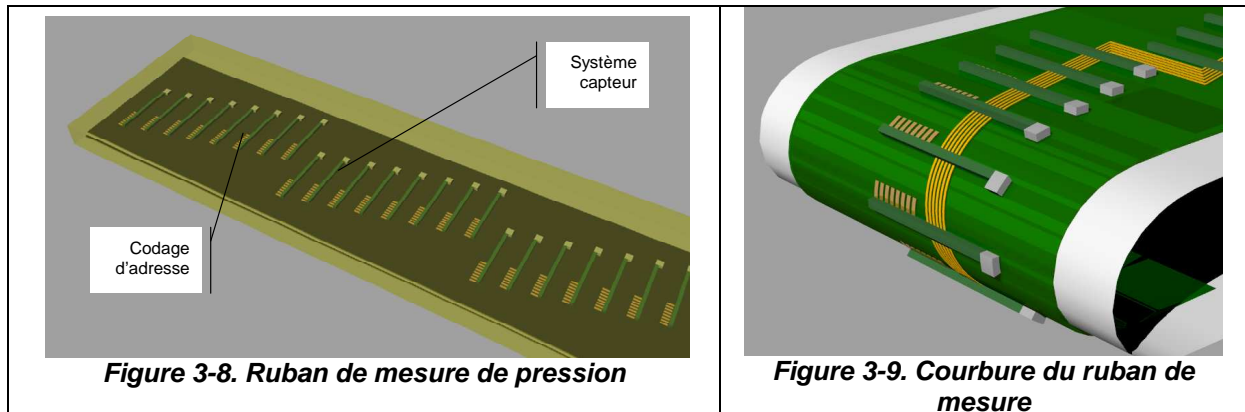


Figure 3-7. Mode asynchrone de l'acquisition de mesure

3.2.2. Structure globale

Pour répondre aux attentes de l'application en terme d'intégration des capteurs, le système de mesure sera inséré en surface de la voilure et sous forme de rubans électroniques intégrés à la maquette (Figure 3-8 et Figure 3-9). Les rubans seront noyés dans un matériau de type résine destiné à protéger l'électronique tout en restituant la forme du profil. Cette résine sera ensuite percée au niveau des capteurs pour être conforme à la méthode de mesure de pression stationnaire. La cavité ainsi créée possèdera une fréquence de coupure de quelques centaines de hertz. Le fait de placer les rubans en surface permet de concevoir une voilure en un seul bloc et a l'avantage de maximiser la bande passante du phénomène physique à mesurer car le système de mesure est alors au plus près de la surface et donc de l'écoulement. Ce point est crucial pour une évolution du système où seraient envisagées des mesures instationnaires par exemple.



Pour réduire l'encombrement filaire, ce ruban est basé sur une structure de type Bus série. Le protocole du Bus s'est porté sur le SPI avec un adressage de type I2C. Celui-ci a l'avantage contrairement au bus SPI classique de ne pas nécessiter de Chip Select par point de mesure, ce qui aurait engendré un trop grand nombre de liaisons filaires. On aurait alors perdu l'intérêt de la structure de Bus série. De plus, le Bus I2C offre une grande flexibilité lors de l'utilisation. Son système d'adressage des éléments permet de ne pas avoir un nombre de capteurs par ruban imposé au départ ou alors de ne pas interroger forcément tous les capteurs à chaque mesure pour améliorer la bande passante.

Le système capteur choisi est composé de capteurs de pression (de type MEMS) et d'une électronique de conditionnement (de type ASIC). L'objectif de l'interface capteur est de convertir une variation de pression en un mot numérique représentatif de cette variation. La résolution choisie est de 16bits ce qui permettra d'assurer une précision de $\pm 30\text{Pa}$. L'interface capteur sera réalisée en technologie CMOS AMS 0.35 μm . Le capteur encore non défini à l'heure actuelle sera soit capacitif soit résistif. Les deux types d'entrées seront prévus par le circuit.

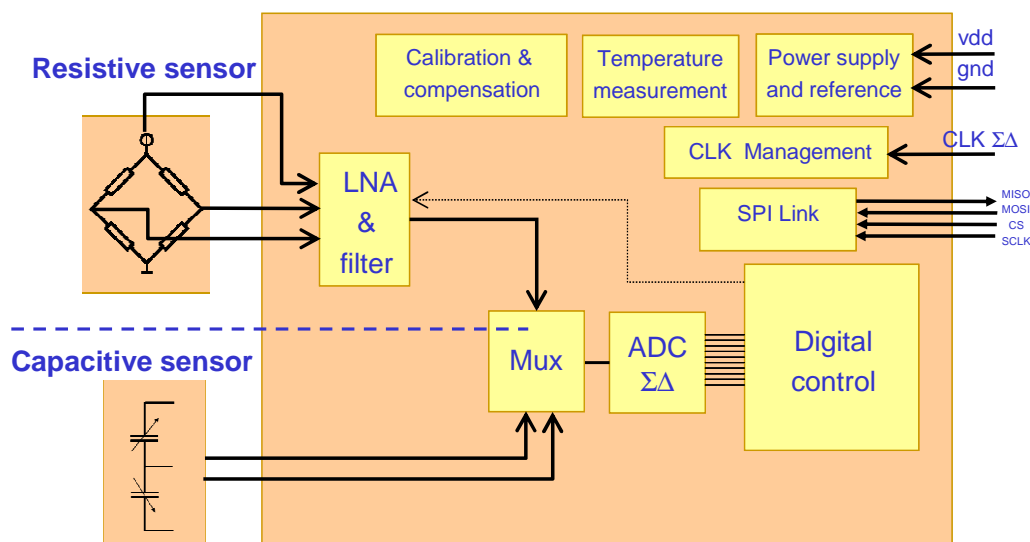


Figure 3-10. Système capteur du projet wireless

3.2.3. Capteurs

Deux technologies de mesures sont couramment utilisées pour les microsystèmes de mesures de pression à base de MEMS, capteurs résistifs ou capacitifs. Les capteurs résistifs sont plus courants car plus simples à concevoir mais ont souvent une consommation plus

importante que les capacitifs. Les capteurs capacitifs ont généralement des dimensions plus petites pour des gammes de mesures équivalentes.

A l'heure actuelle peu de capteurs capacitifs sont disponibles en puces nues et accessibles facilement pour les quantités envisagées durant le projet. Le choix s'est porté pour l'instant sur un capteur résistif de la marque EPCOS et un capteur capacitif de chez Tronics.

3.2.3.1. Capteur résistif

Le capteur résistif de chez EPCOS est de la série C27. Les capteurs de cette série ont l'avantage de posséder une jauge de température intégrée au capteur qui permettra de compenser au mieux les mesures par la suite. Un autre avantage de cette série est que chaque capteur existe en version absolue ou différentielle et avec les mêmes caractéristiques électriques. Le capteur identifié dans la série possède une dynamique de 1bar et ses dimensions sont de 3x3mm².

Les équations traduisant les effets de la tension d'alimentation, de la température et de la non-linéarité sur la sensibilité et l'offset du capteur sont combinées pour obtenir un modèle dont la sortie est l'évolution de la tension du pont de Wheatstone en fonction de la pression d'entrée, de la température et de la tension d'alimentation. L'effet de chaque paramètre d'entrée sur la sortie est décrit ci-après.

- Expression de la tension de sortie sans prise en compte de la non-linéarité :

$$V_{out}(V_{dd}, T, p) = S(V_{dd}, T).p + V_0(V_{dd}, T)$$

S est la sensibilité et V0 l'offset du capteur

- Effet de la tension d'alimentation sur la sensibilité :

$$S(V_{dd}, T) = S(5V, T) \cdot \frac{V_{dd}}{5V}$$

- Effet de la tension d'alimentation sur l'offset :

$$V_0(V_{dd}, T) = V_0(5V, T) \cdot \frac{V_{dd}}{5V}$$

- Effet de la température sur la sensibilité :

$$S(V_{dd}, T) = S(V_{dd}, 25^\circ C) \cdot (1 + \alpha_s(T - 25^\circ C) + \beta_s(T - 25^\circ C)^2)$$

- Effet de la température sur l'offset :

$$V_0(V_{dd}, T) = V_0(V_{dd}, 25^\circ C) + TV_p(T - 25^\circ C) \text{ si } T > 25^\circ C \text{ et}$$

$$V_0(V_{dd}, T) = V_0(V_{dd}, 25^\circ C) + TV_m(T - 25^\circ C) \text{ si } T < 25^\circ C.$$

- L'influence de la non-linéarité sur la tension de sortie est modélisée par l'équation suivante :

$$V_{out}(V_{dd}, T, p) = \left(\frac{-4L}{p_{rmax}} \cdot S(V_{dd}, T) \right) p^2 + S(V_{dd}, T).p + V_0(V_{dd}, T)$$

On crée ainsi un modèle Simulink (Figure 3-11) avec deux tensions de sortie Voutp et Voutm . Les variations de ces tensions de sortie se font autour de Vref = Vdd/2 :

$$V_{outp}(V_{dd}, T, p) = V_{ref} + V_0 + \frac{V_{out}(V_{dd}, T, p)}{2}$$

$$V_{outm}(V_{dd}, T, p) = V_{ref} + V_0 - \frac{V_{out}(V_{dd}, T, p)}{2}$$

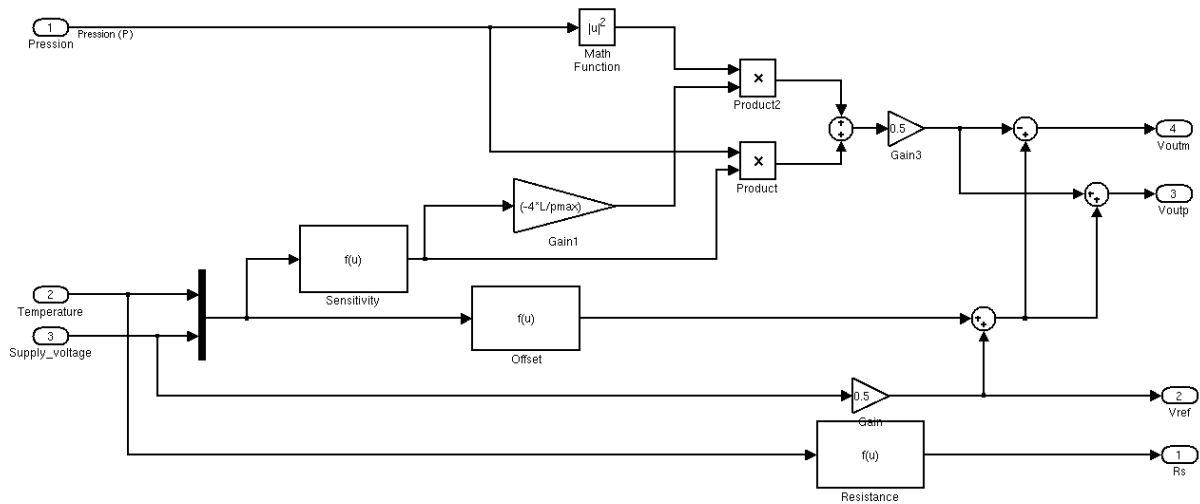


Figure 3-11. Modèle simulink du capteur résistif

Pour valider le modèle, les courbes de variation de la tension en fonction de la pression sont tracées ci-dessous.

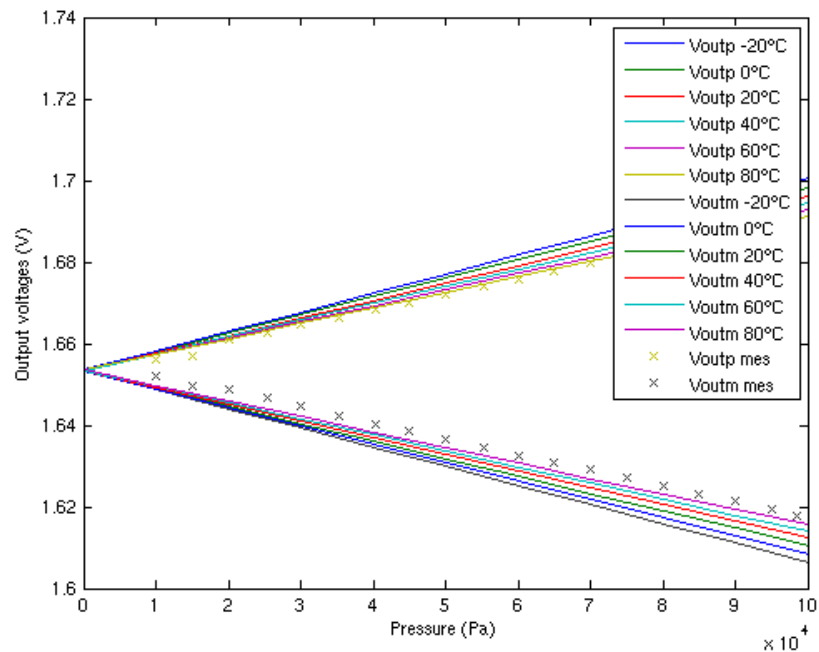


Figure 3-12 Variation de la capacité du modèle du capteur résistif en fonction de la gamme de pression fixée par le cahier des charges

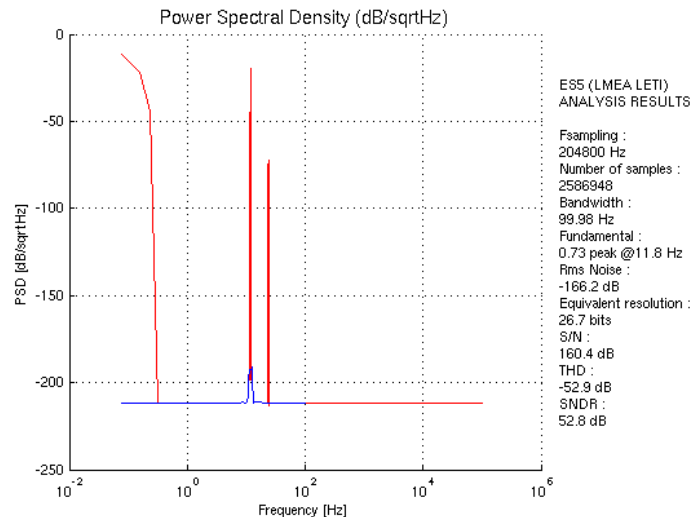


Figure 3-13. Densité spectrale de puissance du capteur résistif après amplification par un gain idéal

Les premiers résultats de simulations haut-niveau avec ce modèle permettent d'identifier les limitations du système liées au capteur. En l'occurrence, la distorsion liée à la non-linéarité du capteur (Figure 3-13) est telle que le rapport SNDR est limité à 10 bits, ce qui limite la précision de mesure pouvant être atteinte (niveau de la précision spécifié étant ± 30 Pa pour l'objectif à terme). Pour corriger ce problème, l'utilisation de LUT (Look Up Table) est possible mais complexifie l'électronique de conditionnement.

3.2.3.2. Capteur capacitif

Le capteur capacitif de chez Tronics ne possède pas de jauge de température intégrée et n'existe qu'en version absolue. Les variations en température des capteurs capacitifs sont généralement moins importantes et la sensibilité meilleure, ce capteur devrait répondre tout de même au cahier des charges en alliant une mesure de température sur l'ASIC proche capteur. Il a en plus l'avantage de ne mesurer que $1 \times 1 \text{ mm}^2$.

La caractéristique de variation de capacité en fonction de la pression issue de la datasheet du capteur est donnée ci-après.

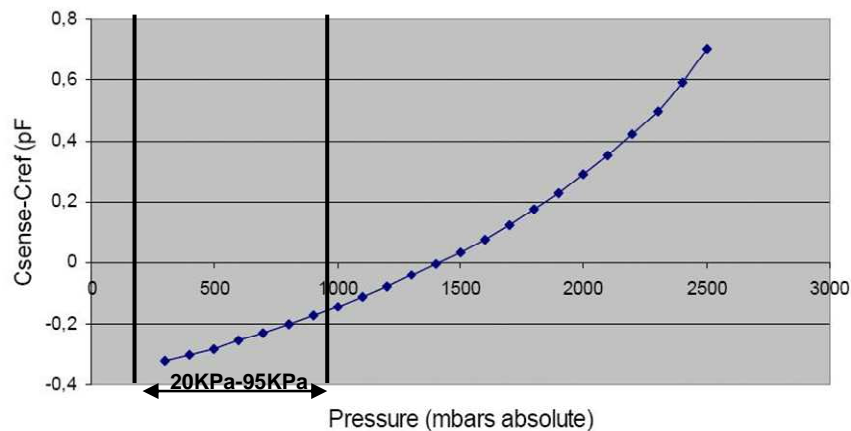


Figure 3-14 Variation de la capacité ($C_{\text{sense}} - C_{\text{ref}}$) du capteur capacitif en fonction de la pression

La partie de la caractéristique correspondant à la gamme de pressions [20 kPa, 95 kPa] a été isolée pour réaliser le modèle. Le modèle réalisé à l'aide du logiciel Matlab-simulink est constitué d'une fonction du deuxième ordre issue de la caractéristique précédente et reliant la variation de capacité en sortie à la pression en entrée :
 $C_{sense} - C_{ref} = 7.7381e-24 * p^2 + 1.5798e-18 * p - 3.7502e-13$,
 avec C_{ref} fixée à $9.3e-12$ F.

Une dérive en température de $0.34e-15$ F/°C est ajoutée au modèle.

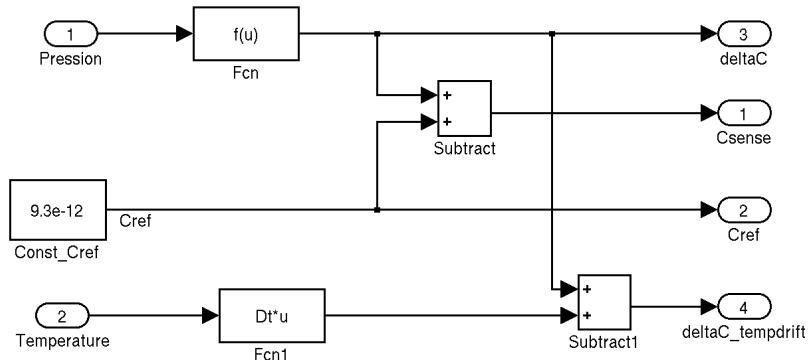


Figure 3-15. Modèle simulink du capteur capacitif

Pour valider le modèle, les courbes de variation de la capacité en fonction de la pression sont tracées ci-dessous.

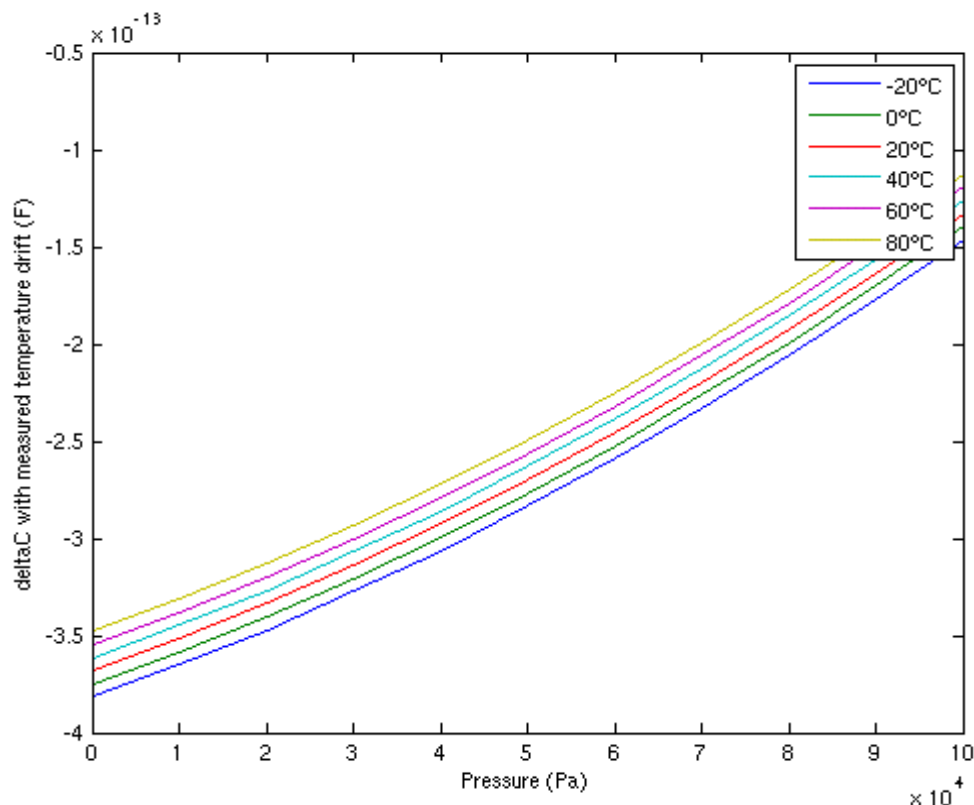


Figure 3-16. Variation de la capacité du modèle du capteur capacitif en fonction de la gamme de pression fixée par le cahier des charges

Il s'avère que ce capteur a une plage de pressions mal adaptée aux spécifications du projet Wireless. Sur la plage utile, la différence $C_{sense} - C_{ref}$ est toujours négative : une capacité fixe sera ajoutée à C_{sense} , pour que la différence de capacité varie autour de 0 dans la

gamme de pression spécifiée. La valeur de cette capacité d'offset est typiquement de l'ordre de 250fF. Cette inadaptation des caractéristiques du capteur aux besoins spécifiés se reporte au niveau de l'ASIC, augmentant la difficulté de sa conception.

3.3. Etude architecturale

Dans le cas de cette application d'instrumentation de capteur, le système doit acquérir un signal basse fréquence avec une précision très élevée. Un convertisseur de type sigma-delta semble être le plus adapté. La théorie des convertisseurs analogique numérique Sigma Delta est rappelée en annexe 2. Afin de répondre aux contraintes du bus de communication de l'application, le circuit doit convertir un signal dans une fenêtre plus petite qu'une milliseconde et doit pouvoir fournir une donnée de manière asynchrone. Le paragraphe suivant traite du choix d'un convertisseur sigma delta de type incrémental et de sa modélisation afin de dimensionner les paramètres qui le composent.

3.3.1. Approche incrémentale

La Figure 3-17 est une représentation simple du convertisseur sigma delta classique en comparaison de son homologue incrémental. Ce dernier se comporte comme un ADC non sur-échantillonné classique. A chaque coup d'horloge à la fréquence de Nyquist (F_2), il délivre une information en sortie du convertisseur. En interne une horloge rapide (F_1) permet la conversion. L'horloge F_2 sert également de signal de reset pour le modulateur (reset de l'intégrateur) et du filtre numérique (reset bascule).

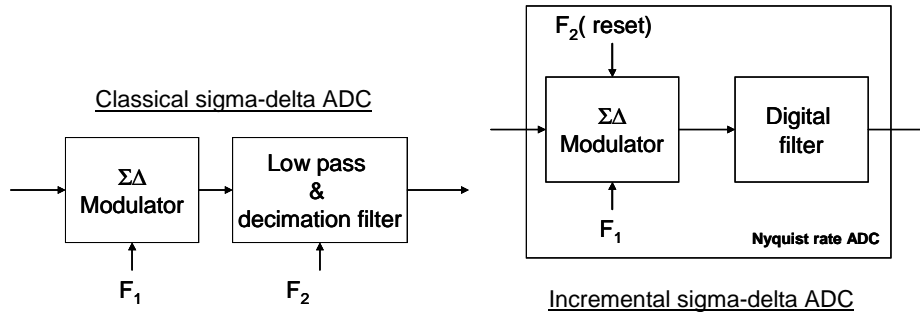


Figure 3-17. Convertisseur sigma-delta incrémental

Dans ce cas, on considère que l'entrée est continue pendant un cycle de conversion ($F_{\text{signal}} \ll F_2$). Le filtre numérique permet simplement de faire une moyenne. Il est différent de celui utilisé pour l'ADC sigma-delta classique et peut être du type Sinc ou récursif. La seule contrainte du filtre est de produire à la fréquence F_2 une estimation de la valeur de l'entrée avec la résolution choisie. Il n'y a pas ici des contraintes de décimation fréquentielle, puisque l'on considère que le signal est continu. On peut donc choisir le filtre en fonction de la précision, de la fréquence de conversion choisie et des besoins de filtrage par rapport à l'environnement (le 50Hz et les multiples par exemples). Dans ce cas on réduit la latence du filtre à la fréquence F_2 . Cela permet une utilisation de l'ADC comme n'importe quel ADC du type SAR par exemple.

Les performances de tels ADC sont exprimées en nombre de bits effectifs (ENOB) plutôt qu'en rapport signal-sur-bruit plus distorsion (SNDR). Leurs spécificités peuvent être résumées comme ceci :

- La boucle de filtrage et de décimation sont mises à zéro au début de la conversion.

- Le filtre de décimation a une réponse finie (FIR), avec une profondeur de N échantillons.
- Le facteur de décimation est aussi égal à N, le résultat de la conversion est ainsi une simple moyenne de la somme des bits en sortie du modulateur.

Une représentation plus précise du convertisseur envisagé se trouve Figure 3-18.

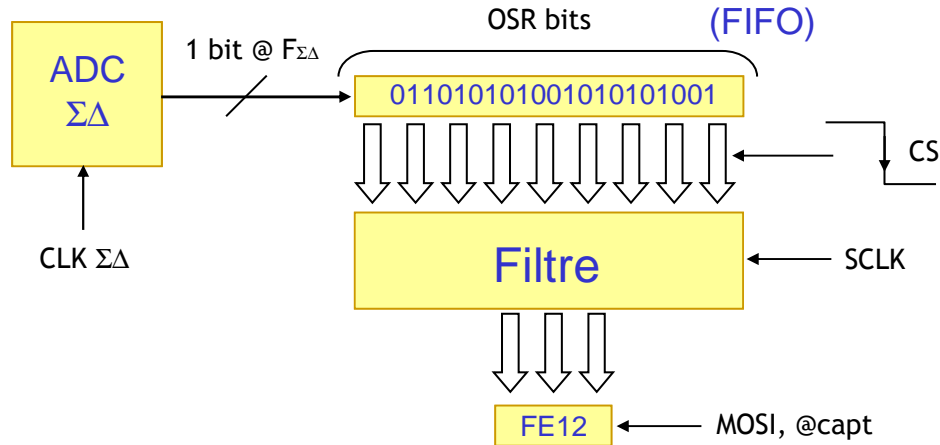


Figure 3-18 Sigma Delta incrémentale pour l'application Onera

L'ADC fournit une succession de 0 et de 1 (bitstream) qui sont sauvegardés dans une mémoire FIFO (First IN First Out) dont la profondeur est à définir. Un front descendant du Cs déclenche le filtrage avec une cadence imposée par SCLK. Le résultat sur 16bits est ensuite mise en forme avec l'adressage des capteurs pour être transmis grâce au protocole de communication. Le chronogramme ci-dessous récapitule les étapes nécessaires au cycle d'acquisition des données.

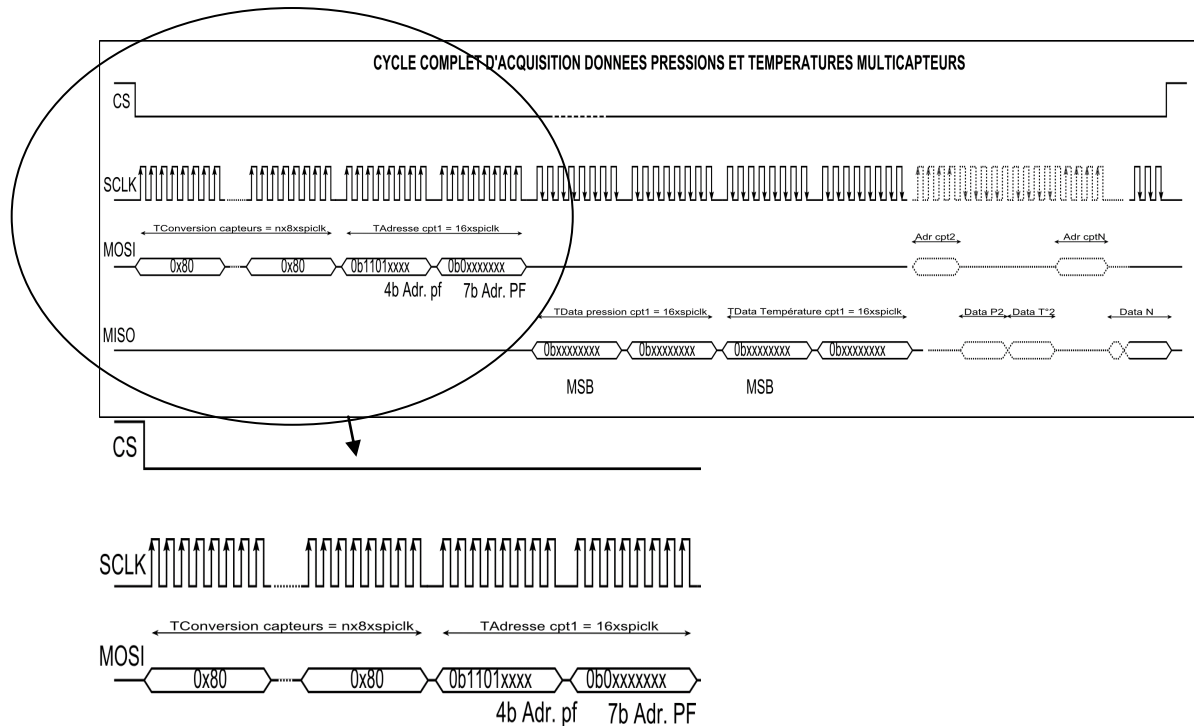


Figure 3-19. Chronogramme de transmission des données

On peut ainsi définir le temps d'acquisition des données par :

$$T_{acq} = (N_{filtre} + (@ + Data) * Nbre_capteurs) * TSCLK \quad (44)$$

Avec N_{filtre} l'indice représentant le nombre de coups d'horloge nécessaires à la conversion analogique numérique et (@+ Data) le nombre de coups d'horloge pour l'adressage et la mise en forme des données. La fréquence de l'horloge SCLK sera définie en fonction du nombre d'opérations à effectuer afin d'assurer un temps d'acquisition conforme au cahier des charges.

La figure ci-dessous résume les temps d'acquisition du système.

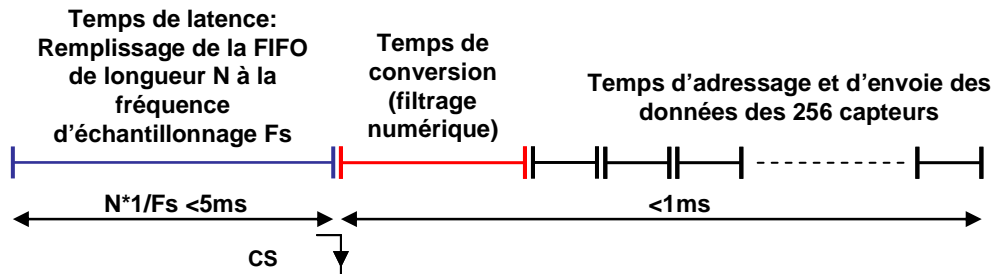


Figure 3-20. Représentation des temps d'acquisition

La longueur N de la FIFO sera définie en fonction du filtre de décimation et donc du nombre d'échantillons nécessaires pour atteindre la résolution.

3.3.2. Modèle idéal du modulateur

Les intégrateurs qui composent le modulateur utilisent la technique des capacités commutées. Ce type de circuits est préféré aux blocs à temps continus car il n'utilise pas de résistances qui occuperaient une surface plus importante à fonctionnalité équivalente. Les rapports de capacités présentent en effet moins de dispersion (et donc une précision plus importante) dans les technologies intégrées qu'un rapport entre résistances et capacités.

Le principe des architectures à capacités commutées est rappelé en première partie de ce paragraphe. Le montage intégrateur est ensuite détaillé et étudié pour modéliser les imperfections liées à l'électronique. Le modèle complet du modulateurs est enfin simulé avec son capteur associé afin d'extraire les paramètres de dimensionnement de l'électronique.

3.3.2.1. Fonctionnement des montages à capacités commutées

Le concept de base des montages à capacités commutées est d'utiliser des condensateurs comme des résistances afin de réaliser des fonctions (amplification, soustraction, intégration...) grâce au transfert de charges des capacités. Pour bien comprendre, considérons l'exemple présenté sur la Figure 3-21.

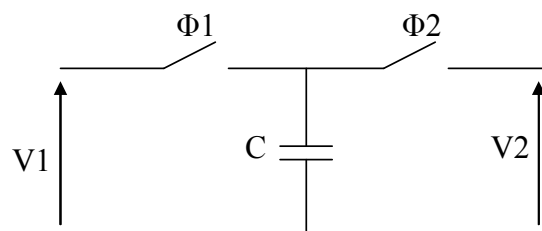


Figure 3-21. Emulation d'une résistance en capacités commutées

Les 2 interrupteurs sont commandés par deux horloges $\Phi1$ et $\Phi2$ complémentaires et non recouvrantes de même fréquence $f=1/T$.

- Sur l'intervalle $[0, T/2]$, l'interrupteur commandé par $\Phi 1$ est fermé alors que l'interrupteur commandé par $\Phi 2$ est ouvert. Le montage vérifie l'équation : $V_1 = Q_1 / C$
- Sur l'intervalle $[T/2, T]$, l'interrupteur commandé par $\Phi 1$ est ouvert alors que l'interrupteur commandé par $\Phi 2$ est fermé. Le montage vérifie l'équation : $V_2 = Q_2 / C$

Le transfert de charge ainsi effectué correspond à $\Delta Q = Q_2 - Q_1$ donné par $\Delta Q = C(V_2 - V_1)$.

En considérant l'équation temporelle d'un courant $i(t) = \frac{dq(t)}{dt}$, par analogie on a :

$$i_{moyen} = \frac{\Delta Q}{T} = \frac{C(V_2 - V_1)}{T} \quad (45)$$

Si maintenant on considère une résistance R entre deux potentiels V_1 et V_2 on peut écrire l'équation du courant la traversant comme:

$$i = \frac{V_2 - V_1}{R} \quad (46)$$

En comparant avec l'équation 45, on remarque que la structure à capacités commutées se comporte bien comme une résistance R_{eq} ayant les caractéristiques suivantes :

$$R_{eq} = \frac{T}{C} \quad (47)$$

C'est la fréquence de commutation qui définit la valeur de la résistance équivalente ainsi que la valeur de la capacité utilisée. En réalité, le bloc ci dessus présente des caractéristiques non idéales qui influencent les performances d'un circuit à capacités commutées. Il y a tout d'abord les capacités parasites présentes entre chaque électrode des capacités du circuit et la masse. La capacité C_{p2} est située entre deux points de masse et donc n'a aucune influence sur le comportement du circuit mais C_{p1} est en parallèle avec C ce qui modifie la constante de temps de la fonction de transfert comme le montre l'équation 48.

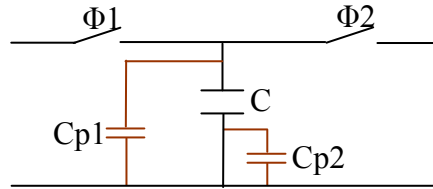


Figure 3-22. Capacités parasites de la structure d'émulation de résistance

$$R_{eq} = \frac{T}{C + C_{p1}} \quad (48)$$

Pour résoudre ce problème, une structure insensible aux capacités parasites est automatiquement utilisée en conception. On utilise cette fois-ci quatre interrupteurs fonctionnant selon les phases $\Phi 1$ et $\Phi 2$ précédemment décrites. Les capacités parasites ne sont plus critiques dans les performances de cette architecture. Lors de la phase $\Phi 1$, C_{p2} est court-circuitée et n'intervient donc pas alors que C_{p1} est chargée par la tension V_{in} mais lors de la phase $\Phi 2$ C_{p1} se retrouve court-circuitée et ne joue aucun rôle dans le transfert de charge. La Figure 3-23 met en évidence le fait qu'en changeant les horloges on peut obtenir une émulation de résistance positive ou négative.

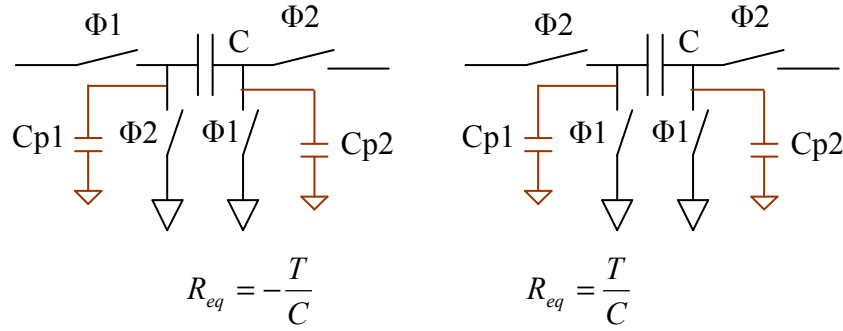


Figure 3-23. Structures inverseuse et non-inverseuse insensibles aux capacités parasites

3.3.2.2. Le Montage Intégrateur en capacités commutés

On applique maintenant le principe que l'on vient de voir sur un bloc intégrateur classique (**Figure 3-24**) qui est le composant principal du modulateur sigma-delta passe bas. Ce montage réalise un gain en boucle fermée de C_1/C_2 et charge la capacité de sortie C_{load} . Les quatre interrupteurs en entrée éliminent l'effet des capacités parasites sur le transfert de charges. La fonction de transfert équivalente correspondant au schéma électrique idéal est :

$$V_{out}(p) = \frac{1}{R_{eq} C_2 p} V_{in}(p) = \frac{C_1}{T C_2 p} V_{in}(p) \quad (49)$$

Les capacités parasites de C_2 n'interviennent pas dans la fonction de transfert, par contre elles ont une incidence dans les temps d'établissement du signal en sortie de l'intégrateur.

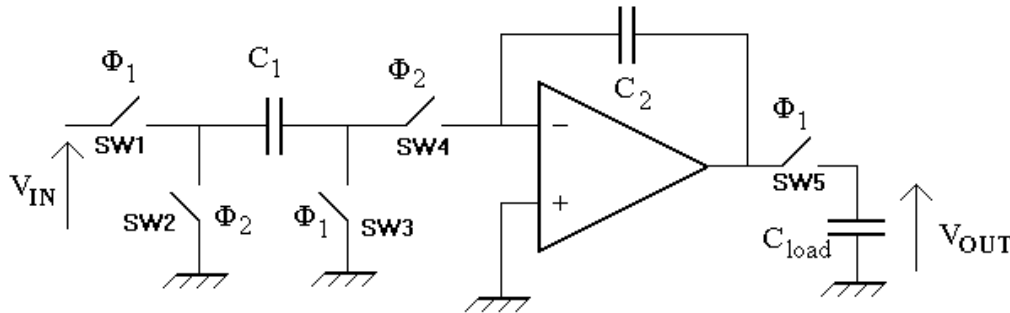


Figure 3-24. Schéma électrique d'un intégrateur simple

En montage à capacités commutées donc en échantillonné, le temps d'établissement doit être inférieur à la fréquence d'échantillonnage pour garantir un bon établissement des tension. La fonction de transfert d'un intégrateur équivaut alors à un retard (cf : ANNEXE 2 : Théorie sur les Sigma-Delta).

$$V_{out}(Z) = \frac{Z^{-1}}{1 - Z^{-1}} V_{in}(Z)$$

3.3.2.3. Modélisation Simulink

Pour dimensionner au mieux notre convertisseur Sigma/Delta, nous utilisons un modèle comportemental haut niveau Matlab Simulink (Figure 3-25). Celui-ci a pour avantage d'être beaucoup plus rapide à simuler qu'une modélisation niveau transistor sous Cadence

notamment à cause des nombreuses commutations liées aux capacités commutées. Les résultats obtenus après dimensionnement seront cependant nécessairement validés au niveau transistors en fin de conception. Ce modèle correspond à un modulateur sigma-delta du second ordre dans le domaine discret (cf ANNEXE2 : Théorie sur les Sigma-Delta).

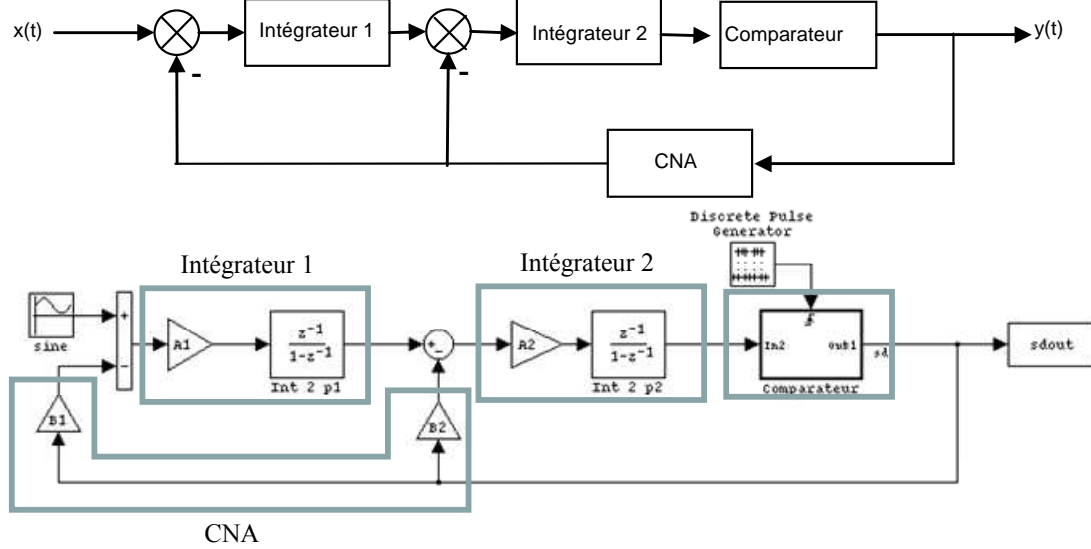


Figure 3-25. Modèle Simulink d'un modulateur sigma delta du second ordre

Les coefficients A1, A2, B1, B2 permettent d'ajuster les performances et les limites de cette structure. Ces coefficients seront réalisés par les rapports des capacités utilisées par l'électronique de l'ASIC. On peut alors écrire une nouvelle fonction de transfert :

$$Y(Z) = \frac{A_1 A_2 X(Z) Z^{-2} + E(Z)(1 - Z^{-1})^2}{1 + (B_2 A_2 - 2)Z^{-1} + (1 - B_2 A_2 + B_1 A_1 A_2)Z^{-2}} \quad (50)$$

La fonction de transfert idéale d'un modulateur Sigma delta du deuxième ordre est donnée par

$$Y(Z) = X(Z)Z^{-2} + E(Z)(1 - Z^{-1})^2 \quad (51)$$

Pour se rapprocher de cette fonction de transfert idéale, on pose les relations suivantes pour calculer les coefficients :

$$A_2 = \frac{2}{B_2} \quad (52)$$

$$A_1 = \frac{B_2}{B_1} \quad (53)$$

En se plaçant dans un schéma idéal où B1=B2=1 on obtiendra A1=0.5 et A2=2.

Pour améliorer et simplifier cette modélisation, Temes propose dans [49] l'architecture présentée Figure 3-26. Son avantage est de ne présenter qu'une seule boucle de retour ce qui simplifie la conception des blocs électroniques. De ce fait la fonction de transfert du deuxième intégrateur est modifiée. Pour obtenir des résultats comparables à ceux du modèle idéal on intègre un coefficient A3 qui permet d'imposer moins de contraintes sur A2. Le convertisseur numérique analogique (CNA) de retour représenté permet seulement de normaliser la sortie du comparateur à la tension d'alimentation du circuit.

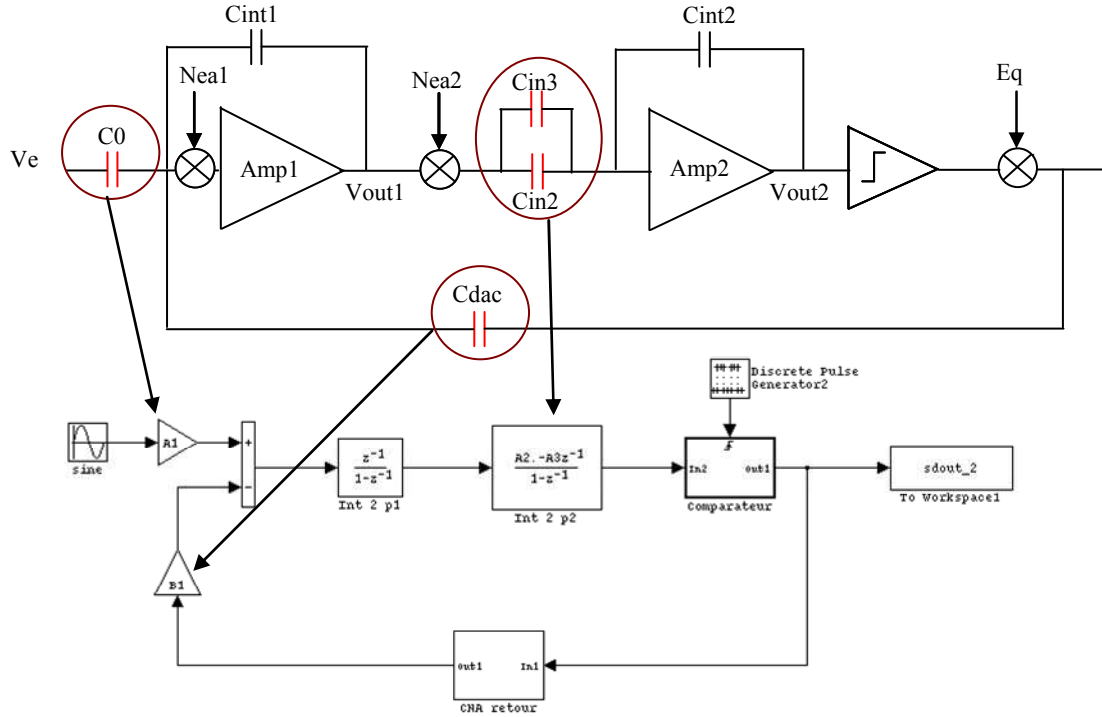


Figure 3-26. Modèle choisi pour l'étude

On peut voir sur cette figure l'électronique simplifiée du modulateur sigma-delta du second ordre associé au modèle. Il met en évidence l'utilisation des capacités. Les capacités représentées en rouges sont commutées. Par identification on peut alors remonter aux valeurs des coefficients A_1 , A_2 , A_3 et B_1 qui sont les gains des intégrateurs.

Ainsi on peut déduire une nouvelle fonction de transfert :

$$Y(Z) = \frac{(A_1 A_2 Z^{-1} + A_1 A_3 Z^{-2})X(Z) + E(Z)(1 - Z^{-1})^2}{1 + (B_1 A_2 - 2)Z^{-1} + (1 + B_1 A_3)Z^{-2}} \quad (54)$$

Avec :

$$A_1 = \frac{C_0}{C_{INT1}} = 0.5 \quad A_2 = \frac{C_{IN2}}{C_{INT2}} = -0.5 \quad A_3 = \frac{C_{IN3}}{C_{INT2}} = 0.25 \quad (55)$$

Ce choix des coefficients A_2 et A_3 imposent moins de contraintes sur le deuxième intégrateur en réduisant sa dynamique qu'un coefficient simple A_2 égal à 2 en donnant des résultats similaires. La figure suivante représente la densité spectrale de puissance des 2 modulateurs : en rouge le modulateur du second ordre classique et en vert le modèle choisi pour l'étude.

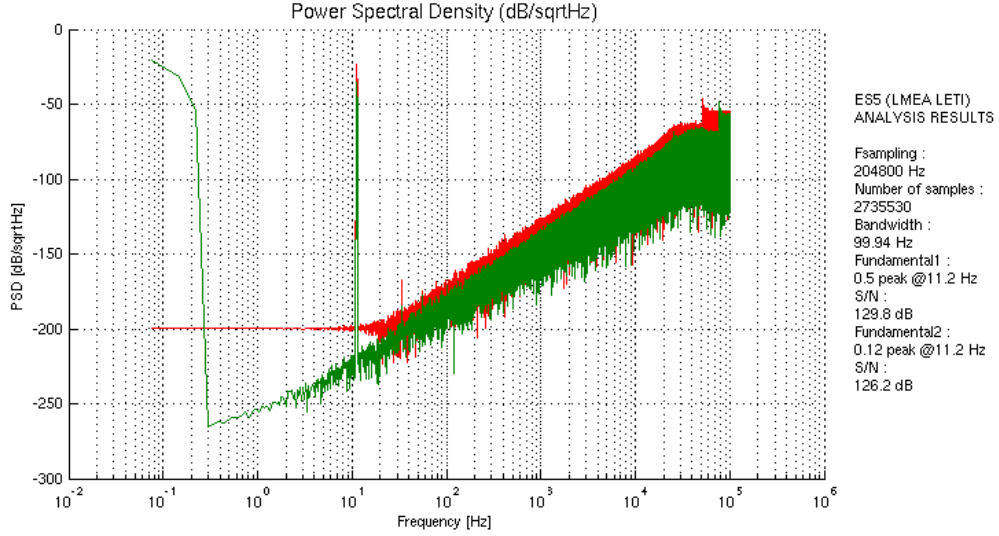


Figure 3-27 Densité spectrale de puissance de la sortie du sigma delta du modèle idéal et du modèle choisi pour l'étude.

De plus cette structure présente de très bonnes performances en stabilité grâce à son unique boucle de retour. Nous choisissons donc de travailler sur le modulateur présenté en Figure 3-26 ne contenant qu'une seule boucle de retour.

Les sources de bruit dues aux capacités C_0 et C_{dac} en entrée du premier intégrateur ont été regroupées sous le nom de Nea_1 et les bruits issus de l'amplificateur (Amp_1) et des capacités de sortie C_{in2} et C_{in3} en sortie de l'intégrateur sous le nom de Nea_2 . De fait deux nouvelles fonctions de transfert de bruit peuvent être déduites.

$$Nea_1 TF = \frac{(A_2 + A_3 z^{-1})z^{-1}}{1 + (gB_1 A_2 - 2)z^{-1} + (1 + gB_1 A_3)z^{-2}} = \frac{STF}{A1} \quad (56)$$

$$Nea_2 TF = \frac{A2 - (A_2 + A_3)z^{-1} + A3.z^{-2}}{1 + (gB_1 A_2 - 2)z^{-1} + (1 + gB_1 A_3)z^{-2}} \quad (57)$$

Comme le montre l'équation 56 la fonction de transfert des bruits électroniques Nea_1 est proportionnelle à la fonction de transfert signal. Le coefficient $A1$ joue un rôle important puisqu'il est inversement proportionnel à cette fonction de transfert. Il paraît donc judicieux de maximiser la valeur d' $A1$ dans les limites du possible pour que l'intégrateur ne sature pas. La Figure 3-28 propose la représentation des quatre fonctions de transfert pour $A1=1.2$ pour se faire une idée de l'importance des bruits électroniques. Il apparaît clairement que les sources de bruit Nea_1 et Nea_2 sont bien moins filtrées que le bruit de quantification NTF. Ces sources de bruit doivent donc être modélisées précisément pour évaluer correctement les performances du modulateur sigma-delta. Le bruit de l'amplificateur du deuxième intégrateur se situe au même niveau que le bruit de quantification. Il est donc mis en forme de la même manière.

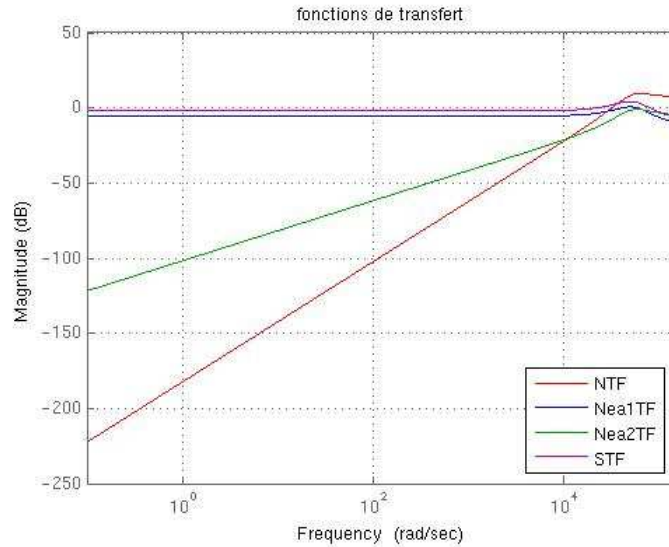


Figure 3-28. Fonctions de transferts signal et bruits du modulateur

Plus précisément, nous dupliquons le modèle précédent afin d'avoir un comportement différentiel. Cette architecture nous permet de compenser les injections de charges dues aux interrupteurs (Figure 3-29). En effet, les injections de charges sont vues comme du mode commun et donc non amplifiées par cette structure.

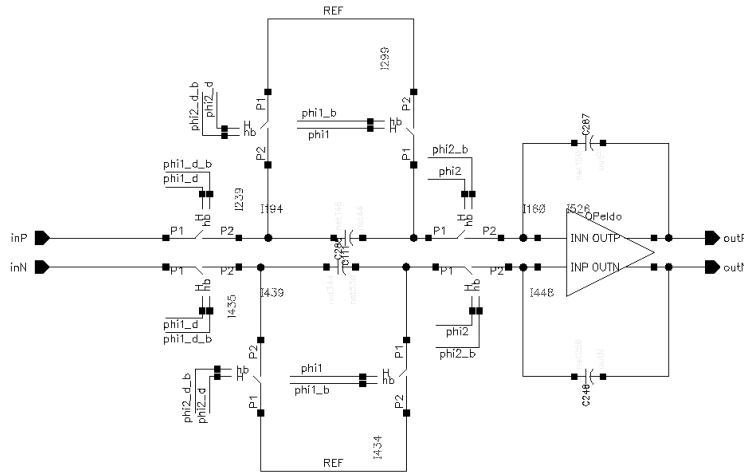


Figure 3-29. Intégrateur différentiel et symétrique en capacités commutées

Enfin, pour finir notre modèle idéal, on intégrera aussi un retour de mode en commun en capacités commutées au niveau des amplificateurs afin de garantir un fonctionnement sur leur régime linéaire. On modélise ainsi le système complet idéal pour le capteur résistif dans un premier temps, avec un modulateur à entrées différentielles, un retour de mode commun et des gains réalisés par des rapports capacitifs. On obtient le synoptique Figure 3-30.

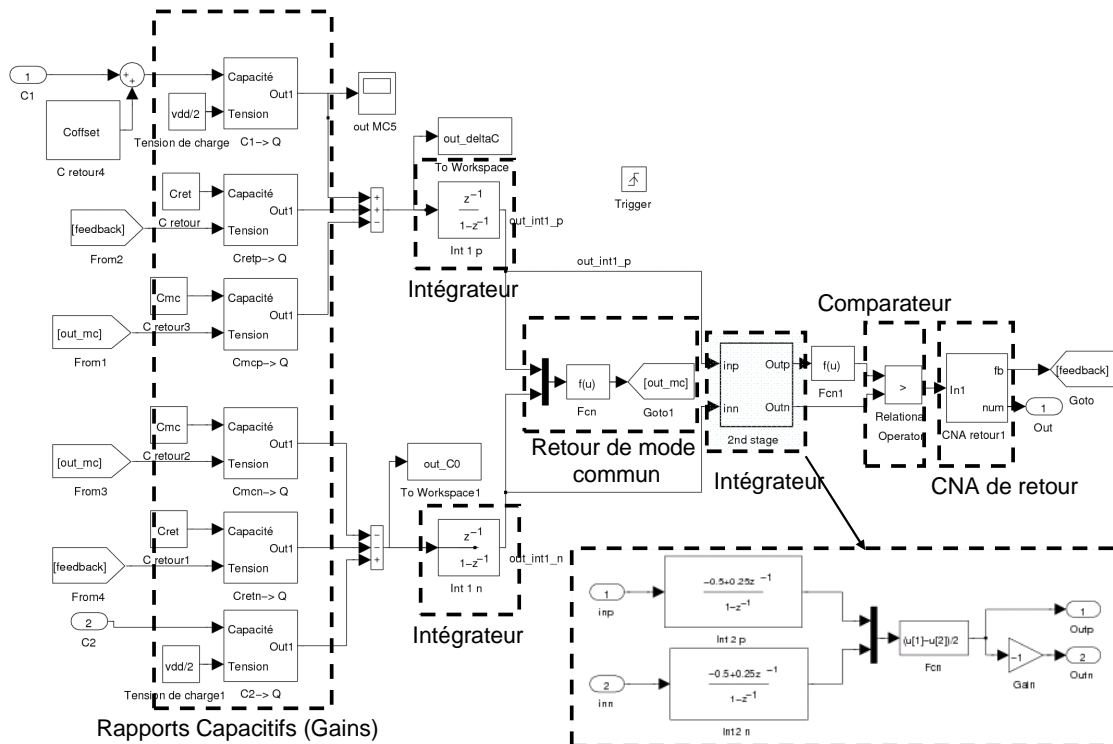


Figure 3-30. Modèle simulink modulateur Sigma Delta idéal différentiel

On voit sur cette schématique les entrées du modèle constituées par les rapports capacitifs qui constituent les gains du montage. On retrouve ensuite un intégrateur dans chaque branche différentielle ainsi qu'un retour de mode commun. La cellule qui suit est le deuxième intégrateur constituant le modulateur du deuxième ordre défini par les coefficients A_2 et A_3 . Celui-ci possède une modélisation plus simple avec des coefficients fixes car le bruit de ce deuxième intégrateur est mis forme par le modulateur. Il est donc négligeable par rapport au bruit du premier intégrateur, il ne nécessite donc pas une modélisation aussi précise que pour le premier étage.

3.3.3. Choix des paramètres du convertisseur

Pour choisir la valeur du rapport de suréchantillonnage, on décide dans un premier temps de partir de la théorie des sigma-delta classiques (cf Annexe 1).

On reprend donc l'équation (73) : $SNR = 1.7609 + 6.02ENOB$

Avec $N=16$ bits on a un SNR de 98dB en ne considérant que le bruit de quantification
Pour définir le rapport de suréchantillonnage, on utilise maintenant l'équation (87) :

$$SNR = 10 \log \left(\frac{3}{2} (2^N - 1)^2 \frac{5}{\pi^4} (OSR)^5 \right)$$

$$\text{Soit } OSR = \left(\frac{10^{\frac{SNR}{10}}}{\frac{3}{2}(2^N - 1)^2 \times \frac{5}{\pi^4}} \right)^{-5} \quad (58)$$

On obtient un OSR nécessaire de 152 soit en puissance de 2 un OSR minimum de 256. La fréquence d'échantillonnage associée est de 51.2KHz. Ces valeurs sont résumées dans le tableau suivant :

Résolution visée (ENOB)	fréquence signal (Hz)	S/N du bruit quantification (db)	OSR voulue	fréquence échantillonnage (Hz)
16	100	98,0809	256	51200

Si on trace la densité spectrale de puissance en sortie du modulateur avec un OSR de 256, on obtient la Figure 3-31 où l'on retrouve bien le rapport signal sur bruit et la résolution calculé.

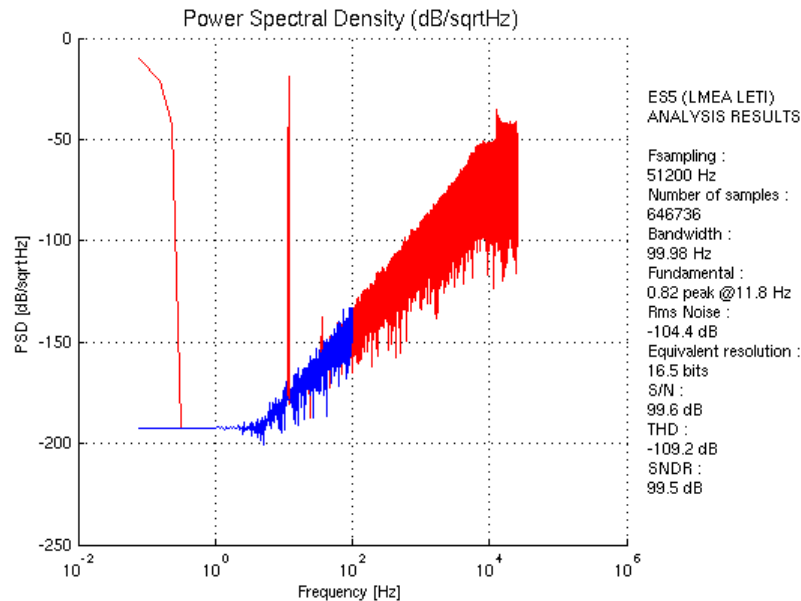


Figure 3-31. Densité spectrale de puissance de la sortie du sigma delta idéal avec une entrée sinusoïdale idéale

Dans les filtres de décimation dédiés à la conversion sigma-delta, une combinaison de filtres en Sinc^k et de filtres demi-bande est le plus souvent utilisée. On utilise typiquement un Sinc^k qui décime par $R/4$, puis deux demi-bandes qui déciment par 2 chacun et améliorent le filtrage. On obtient bien un filtrage et une décimation par R .

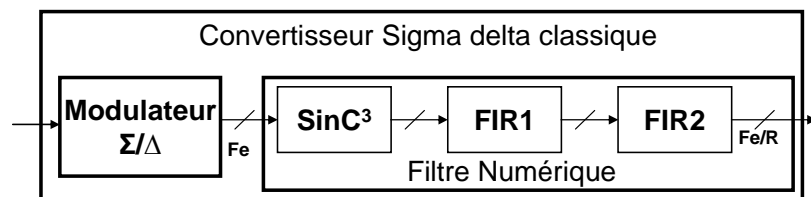


Figure 3-32. Convertisseur Sigma Delta avec filtre à décimation couramment utilisé

Ce type de filtre permet de couper proprement le bruit rejeté vers les hautes fréquences et d'atteindre les performances de résolution sur la bande passante utile.

Pour satisfaire aux critères de résolution de cette architecture, nous utilisons un modulateur sigma-delta d'ordre 2 et un OSR de 256 avec un filtrage numérique comprenant un FIR en sinus cardinal décimant par $\text{OSR}/4$ (64 dans notre cas) puis deux filtres demi-bande décimant chacun par 2. Enfin un filtre de compensation permet de compenser les distorsions dans la bande dues au filtrage.

Bande passante du signal	100Hz
Over Sampling Ratio (OSR)	256
Fréquence d'échantillonnage (F_s)	51,2 kHz
Fréquence de sortie du SinC (F_{SinC})	800 Hz
Fréquence de sortie du FIR HB1 (F_{hb1})	400 Hz
Fréquence de sortie du FIR HB2 (F_{hb2})	200 Hz

Ce convertisseur permettrait de répondre à la demande en termes de résolution. Cependant le fonctionnement du modulateur sigma-delta impose de faire une moyenne du signal sur un nombre de coups d'horloge défini par le rapport de sur-échantillonnage (OSR). Dans notre cas, cela correspond à effectuer une moyenne sur 256 échantillons soit une durée de $256/F_s$, soit 5 ms. Une nouvelle valeur numérique sera disponible toutes les 5ms.

Ce type de dimensionnement est optimal en terme de performance du modulateur. Cependant avant d'avoir une valeur juste il faudra attendre un certain nombre de fois ce temps. En effet, les filtres de types FIR possèdent une latence, liée à leur nombre de coefficients (profondeur) et à leur fréquence de fonctionnement. Par exemple pour notre cas et pour une entrée DC, avec un filtre Sinc d'ordre 3 et de facteur de décimation de 128 (soit 766 coefficients), puis un premier filtre FIR demi-bande de 15 coefficients avec une décimation par 2 puis un autre filtre FIR demi-bande de 51 coefficients avec un facteur de décimation par 2 (type de filtrage très classique pour un sigma-delta), on obtient une latence (temps de traversée du filtre) de :

$$[\text{Nbre_coeffs}(\text{sinc3}) + \text{OSR}/4 * \text{Nbre_coeffs}(\text{HB1}) + \text{OSR}/2 * \text{Nbre_coeffs}(\text{HB2})] / F_s$$

$$(766 + 15*64 + 51*128) / 51.2 \text{ kHz}$$

→ 0.161 Secondes de latence.

Un tel temps de latence n'est pas en adéquation avec les contraintes imposées par la soufflerie (temps de latence de 5ms). Ce dimensionnement doit donc être repensé pour l'architecture incrémentale.

Si on réfléchit au niveau de l'architecture globale (sigma delta incrémental), on sait que la vitesse de fonctionnement du sigma delta correspondra aussi à la vitesse de remplissage de la FIFO par le bitstream de sortie. Plus cette fréquence sera rapide, plus le temps de latence de la sortie sera court. Pour connaître le temps de latence du convertisseur, il faut aussi connaître la taille de la FIFO. Sa taille dépend du nombre d'échantillons nécessaire au filtre pour atteindre les 16 bits de résolution requis (Figure 3-33).

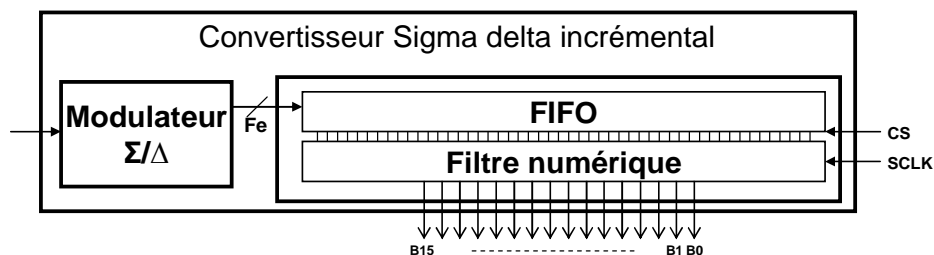


Figure 3-33 Convertisseur Sigma Delta avec filtre à décimation couramment utilisé

C'est donc la profondeur N du filtre qui permettra de déterminer la taille de la FIFO, et donc la fréquence d'échantillonnage nécessaire pour remplir cette FIFO en moins de 5ms. Cette profondeur N aura aussi un impact direct sur la complexité de l'implémentation du filtre. Le

nombre d'opérations nécessaires dépendra de N mais aussi de l'architecture choisie. Ces deux éléments seront donc déterminés afin de calculer la fréquence d'horloge SCLK nécessaire au filtrage, à l'adressage et à la transmission des données en moins d'1ms.

Le choix du filtre est donc un paramètre clef dans l'obtention des performances souhaitées.

3.3.4. Choix du filtre numérique

Un filtre de décimation pour modulateur $\Sigma\Delta$ doit idéalement filtrer tout le bruit de quantification du train binaire en sortie du modulateur, tout en préservant sa valeur DC. Etant donné que seulement N bits sont disponibles, le filtre de décimation utilisé aura forcément une réponse impulsionnelle finie (un FIR) de longueur N . Dans cette section, nous nous efforcerons de choisir le filtre optimal pour obtenir 16 bits de résolution avec une longueur N minimale.

Les filtres FIR présentent une réponse impulsionnelle à durée finie sur N termes. Tous les pôles de sa fonction de transfert $H(z)$ sont nuls : la stabilité d'un filtre FIR est donc toujours assurée. Le choix d'un filtre basé sur une fonction de fenêtrage permet d'obtenir de bonnes performances en termes de résolution. En effet un filtre FIR avec une réponse impulsionnelle de longueur N peut être utilisé en tronquant le filtre à réponse impulsionnelle idéal par une fonction de fenêtrage [47]. Il en résulte un filtre à décimation dont la réponse impulsionnelle est égale à la fonction fenêtrage. Le choix de la fonction de fenêtrage détermine alors à quel point le bruit de quantification sera supprimé. Il existe de nombreuses fonctions de fenêtrage couramment utilisées. Elles sont caractérisées par leurs bandes passantes (c'est la largeur du lobe principal du filtre) et l'atténuation de leurs lobes secondaires. Pour une réponse impulsionnelle de longueur N donnée, l'atténuation des lobes secondaires peut être réduite en augmentant la largeur du lobe principal.

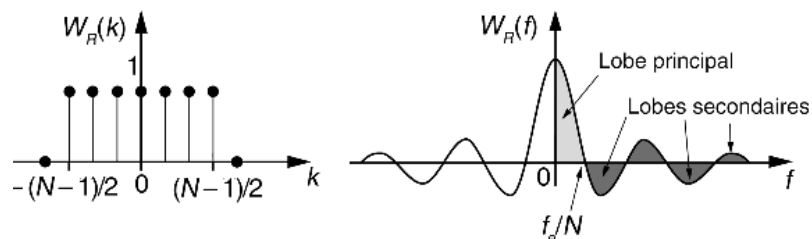


Figure 3-34. Réponses temporelle et fréquentielle d'une fenêtre numérique rectangulaire.

Étant donné que le bruit de quantification est atténué par les lobes secondaires, le dimensionnement du filtre doit être un compromis entre largeur de la bande passante et atténuation des lobes secondaires. Ainsi, la bande passante du filtre doit être suffisamment large pour ne pas atténuer le signal à convertir et permettre une atténuation maximale des lobes secondaires, mais aussi être suffisamment étroite pour ne pas contenir le bruit de quantification rejeté vers les hautes fréquences.

Pour sélectionner le type de fenêtrage ainsi que la profondeur minimale N du filtre de décimation, on trace les courbes de la Figure 3-36. Elles représentent le nombre effectif de bits que l'on obtient à partir du flux de bits de sortie du modulateur du second ordre en fonction de différents filtres de décimation avec différents types de fenêtrages et différentes profondeurs N . Ces courbes sont obtenues avec un échantillon de tensions continues d'entrée centré sur 85% de la dynamique. Cette gamme d'entrée correspond à la gamme d'utilisation des capteurs ainsi qu'à la meilleure zone de fonctionnement du modulateur Σ/Δ .

La Figure ci-après représente un exemple de réponse du filtre avec une fenêtre Hanning à 896 coefficients (courbe bleue Figure 3-35 (a)) en fonction d'une entrée DC égale à 1.3997V (courbe verte). Pour obtenir l'erreur en LSB de 16Bits, on multiplie la différence entre l'entrée

et la sortie par 2^{16} (Figure 3-35 b). On constate pour cet exemple que l'erreur est inférieure à 0.5LSB soit une résolution de 16bits respectée.

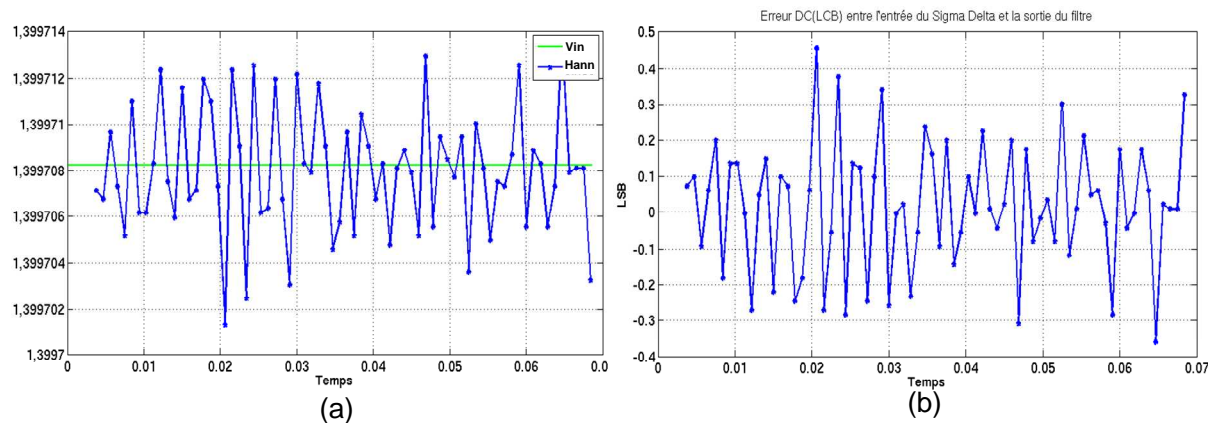


Figure 3-35 (a) Réponse du filtre FIR Hanning avec 896 coefficients avec une entrée DC=1.3997 et (b) erreur de quantification associée sur 16bits

Les filtres à fenêtrage ont été déterminés grâce aux outils de conception et d'analyse de filtre sous matlab. Les coefficients des filtres obtenus ont été codés sur 16bits. Cette précision reste raisonnable en vue du stockage des coefficients dans une mémoire. Il s'agit de notre limite car avec une précision inférieure, l'atténuation est bornée typiquement autour de -100dB, valeur limite pour atteindre les 16 bits de résolution voulue.

La fenêtrage triangulaire (Figure 3-37) a une atténuation de 40dB/déc ce qui correspond à un filtre de type SinC^2 (sinus cardinal d'ordre 2). L'ENOB obtenue avec des fenêtrages de blackman ou Hanning (Figure 3-38) permettent de gagner environ 2 bits avec le même nombre d'échantillons grâce à leur atténuation théorique de 60dB/dec, ce qui correspond à un filtre à décimation de type SinC^3 . Ces derniers permettent d'obtenir une résolution de 16 bits à partir de 896 échantillons comme on peut le voir sur le graphe ci-dessus (pour notre gamme d'entrée). C'est donc une fenêtrage de type Sinc^3 qui a été choisie pour la réalisation de notre filtre, plus précisément la fenêtrage de hanning.

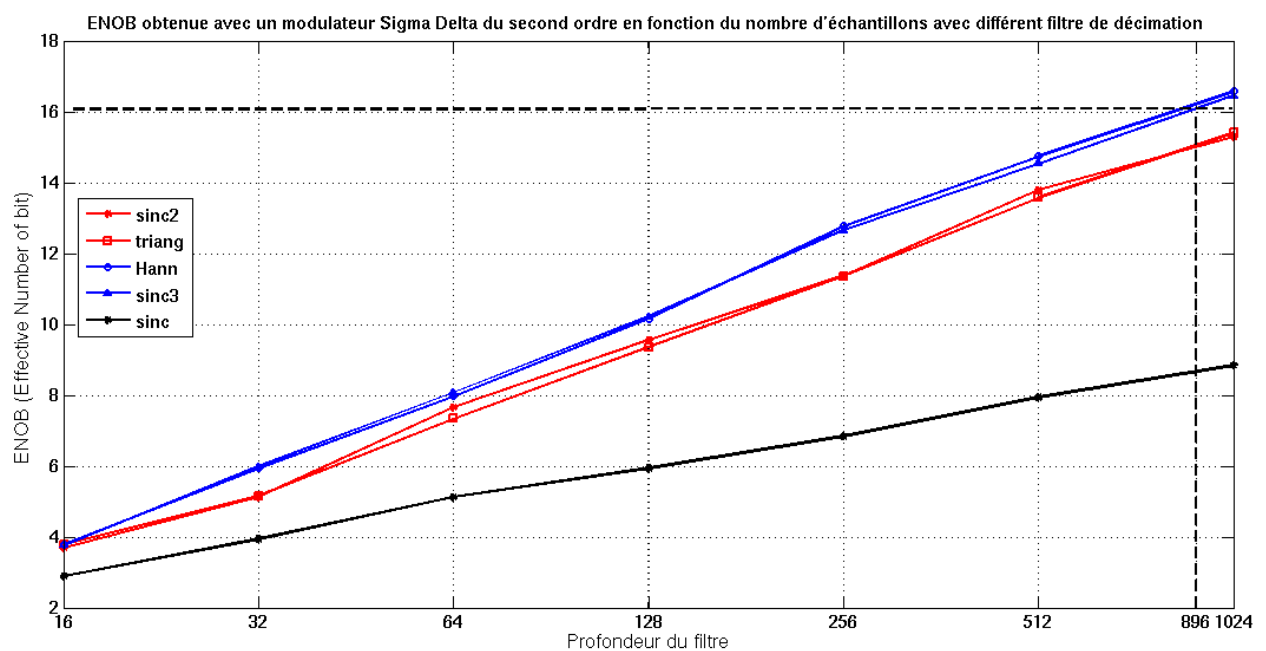


Figure 3-36. ENOB obtenue en fonction de différents types de fenêtrage de filtre et différentes profondeurs de filtre.

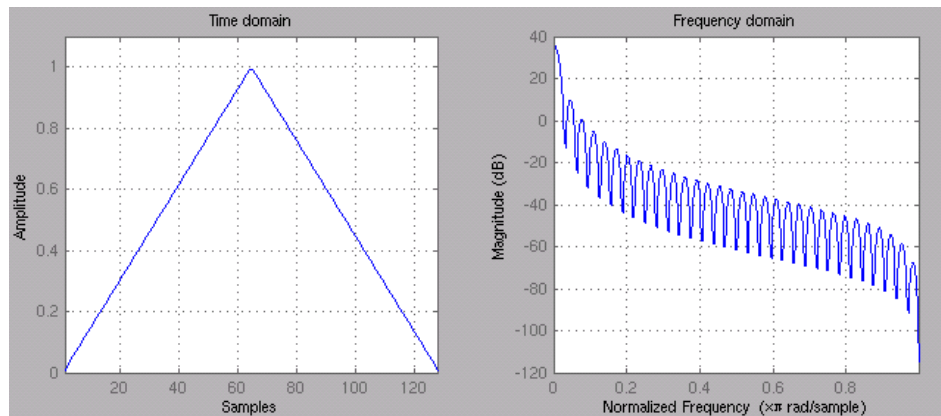


Figure 3-37. Exemple de réponse temporelle et fréquentielle d'une fenêtre numérique triangulaire à 128 coefficients.

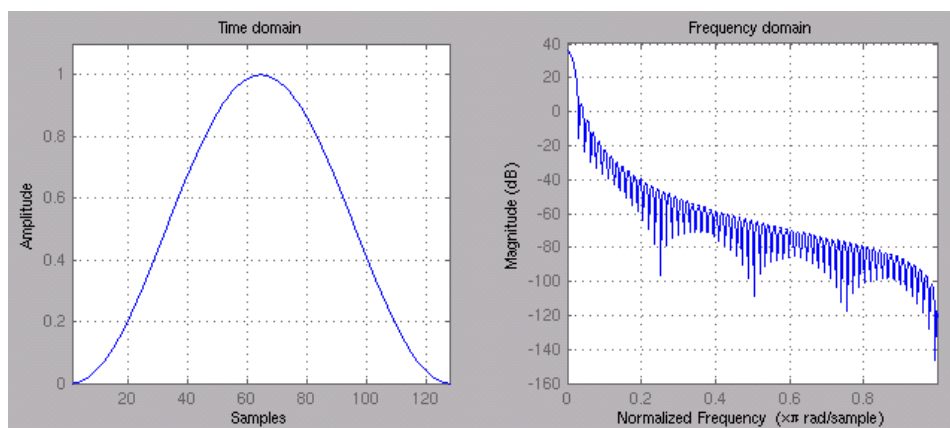


Figure 3-38 Exemple de réponses temporelle et fréquentielle d'une fenêtre numérique Hann à 128 coefficients.

La Figure 3-39 représente l'ENOB obtenue avec un filtre de 896 coefficients sur 85% de la dynamique (courbe verte).

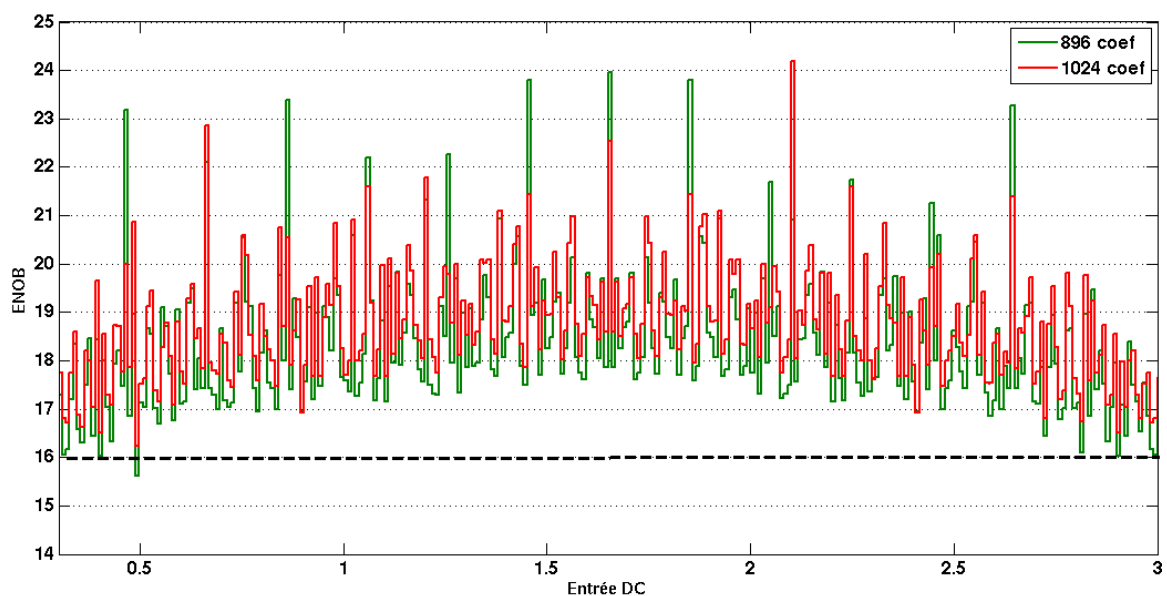


Figure 3-39. ENOB obtenue avec un modulateur idéal avec une profondeur de filtre de 896 en fonction de sa tension d'entrée

On constate que pour les valeurs en bord de dynamique, la résolution est très limitée. On choisit donc d'augmenter la profondeur du filtre avec 1024 (2^{10}) coefficients (courbe rouge). Notre gardons cette option possible en fonction des contraintes liées à l'implémentation du filtre.

3.3.5. Implémentation du filtre numérique

La surface du circuit est largement impactée par la taille du filtre numérique. Une étude de son implémentation est donc nécessaire. La réalisation de ce filtre semble assez simple à mettre en œuvre. En effet, il répond à l'équation suivante :

$$Y_k = \sum_{m=0}^M b_m x_{m-k} \quad (59)$$

La schématique associée à cette équation est représentée Figure 3-40.

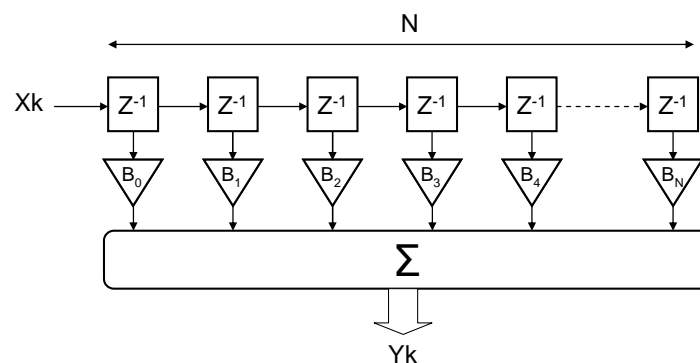


Figure 3-40. Structure transversale d'un filtre à décimation

Les retards (Z^{-1}) seront réalisés par une FIFO et les gains seront sauvegardés dans une mémoire et appliqués à la sortie de cette FIFO. Etant donné que la sortie du modulateur n'est composée que de 1 et de 0, la multiplication par le gain peut être effectuée par un simple multiplexeur.

Il y a plusieurs solutions pour la réalisation de l'additionneur. Afin de comprendre les choix qui s'offrent à nous, un point sur les bases de l'addition binaire est nécessaire.

a) Additionneur binaire

Le but de ce paragraphe est de se familiariser avec les additionneurs afin de comprendre la problématique du compromis entre vitesse et surface. La table de vérité d'un additionneur binaire se trouve ci-dessous. A partir de celle-ci, on en déduit la schématique de l'additionneur associé Figure 3-41.

A	B	S	C
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

Tableau 3-2 Table de vérité demi-additionneur

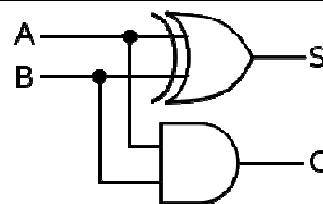


Figure 3-41. Demi-Additionneur

Pour être complet, l'additionneur nécessite une entrée supplémentaire, la retenue. Elle permet de chaîner plusieurs additionneurs. Sa table de vérité se trouve ci-dessous ainsi que sa schématique associée.

A	B	Cin	S	Cout
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

Tableau 3-3 Table de vérité additionneur complet

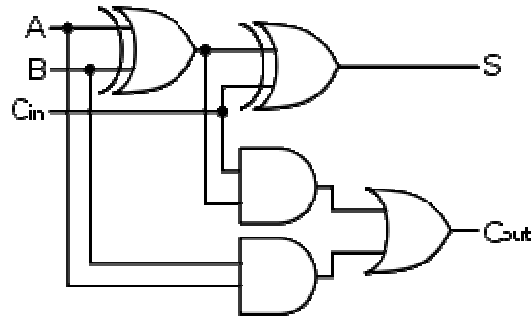


Figure 3-42. Additionneur complet

La Figure 3-43 représente un exemple de réalisation d'additionneur 4bits parallèle avec propagation de retenue. Il s'agit d'un montage entièrement combinatoire mais dont le temps de réponse dépend du temps de propagation de la retenue. Ainsi plus l'additionneur est grand, plus le temps de réponse est long ce qui rend son utilisation impossible pour de grandes résolutions, à moins que le circuit ne possède aucune contrainte de temps.

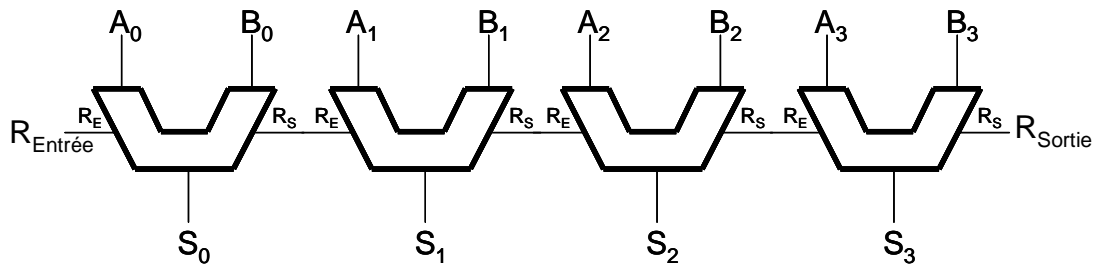


Figure 3-43. Additionneur 4bit parallèle à propagation de retenue

Pour palier ce temps de propagation de la retenue, on peut utiliser un montage à anticipation de retenue. En effet la retenue du second additionneur est égale à :

$$R_1 = (A_0.B_0) + (A_0.R_0) + (B_0.R_0) \quad (60)$$

Pour le troisième additionneur, la retenue est égale à :

$$R_2 = (A_1.B_1) + (A_1.R_1) + (B_1.R_1) \quad (61)$$

On peut ensuite substituer R_1 dans l'équation de R_2 et ainsi de suite pour les retenues suivantes. On remarque cependant que le résultat de la dernière retenue est une formule très longue, rendant impossible l'utilisation de cette technique pour un additionneur par exemple de 16 bits. Bien que théoriquement faisable, le nombre de portes nécessaire est trop important pour obtenir une amélioration du temps de propagation. Pour que cette technique soit avantageuse, il est nécessaire de trouver un compromis entre vitesse et complexité du circuit de calcul par anticipation des retenues. On trouve dans la littérature la technique dénommée « carry look ahead adders » [54]. Elle consiste à utiliser deux valeurs intermédiaires pour calculer les retenues. On nommera ces valeurs P_N et G_N respectivement pour retenue propagée de l'additionneur et retenue générée de l'additionneur.

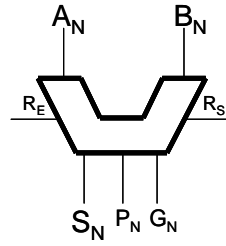


Figure 3-44 Additionneur avec valeurs intermédiaires

Avec $P_N = A_N + B_N$ et $G_N = A_N . B_N$

Ces deux valeurs s'obtiennent très simplement en ajoutant 2 portes logiques à l'additionneur complet. Si on introduit ces valeurs intermédiaires dans le calcul des retenues anticipées de l'additionneur 4 bits, on obtient :

$$R_1 = G_0 + P_0 C_0$$

$$R_2 = G_1 + P_1 C_1 = G_1 + P_1 (G_0 + P_0 C_0) = G_1 + P_1 G_0 + P_1 P_0 C_0$$

$$R_3 = G_2 + P_2 C_2 = G_2 + P_2 G_1 + P_2 P_1 G_0 + P_2 P_1 P_0 C_0$$

$$R_4 = G_3 + P_3 C_3 = G_3 + P_3 G_2 + P_3 P_2 G_1 + P_3 P_2 P_1 G_0 + P_3 P_2 P_1 P_0 C_0$$

La schématique ci-dessous représente cet additionneur 4 bits avec anticipation des retenues.

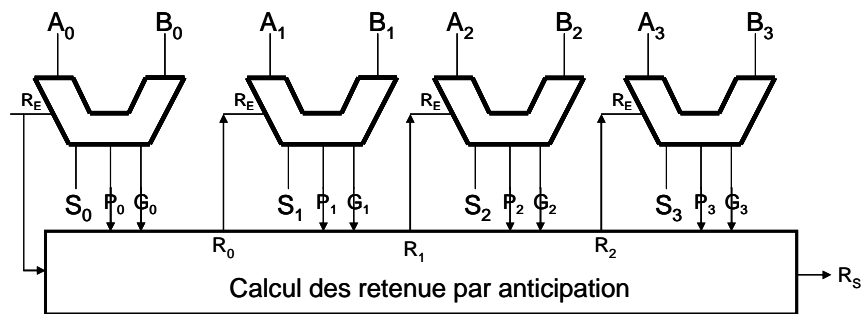


Figure 3-45. Additionneur 4bit parallèle à anticipation de retenue

On peut appliquer ce procédé à des résolutions plus importantes. La publication [54] propose d'ailleurs une étude du gain de temps obtenu avec plusieurs résolutions en fonction de la complexité et de la surface occupée par le circuit d'anticipation des retenues. On comprend donc bien que la performance de l'additionneur est ici une question de compromis entre vitesse et surface. Ces deux paramètres dépendent de la complexité du circuit d'anticipation de la retenue. Plus celui-ci sera complexe, plus il sera rapide mais aussi au détriment de la surface.

Il est aussi envisageable de cascader plusieurs additionneurs à anticipation de retenue dans un montage à propagation de la retenue pour obtenir des résolutions supérieures comme sur la Figure 3-46

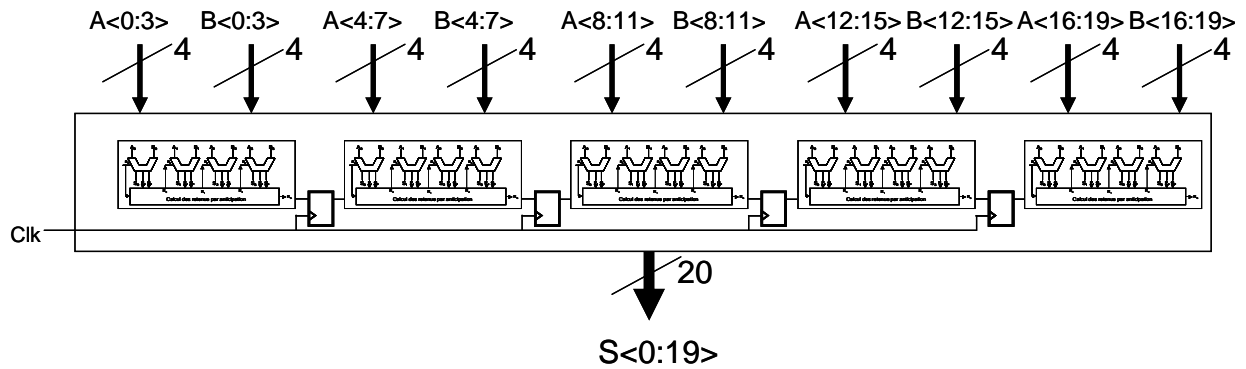


Figure 3-46. Additionneur 20bits construit avec 5 additionneurs 4bits

L'optimisation est ici une question de méthode de calcul de la retenue. Le nombre d'additionneurs nécessaires reste inchangé. Il existe cependant une architecture qui permet de réduire le nombre d'additionneur comme on peut le voir sur la Figure 3-47. Celle-ci est construite autour d'un seul additionneur qui fonctionne de manière récursive. On somme séquentiellement la valeur de chaque coefficient à la somme précédemment calculée. Le résultat s'obtient après N coups d'horloges, soit le temps de remplir la Fifo (de la Figure 3-18).

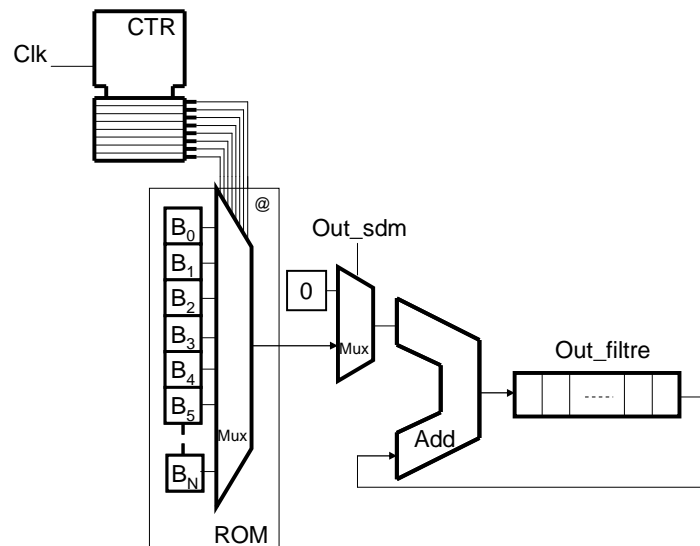


Figure 3-47. Filtre à décimation avec additionneur récursif.

La grande différence avec les structures parallèles précédentes, une fois la Fifo remplie, une sortie peut être obtenue assez rapidement en fonction du compromis choisi. Dans le cas de l'additionneur récursif, il faut attendre à chaque fois un cycle de N coups d'horloge pour obtenir une sortie. Un compromis entre ces deux architectures peut être obtenu grâce à une structure pipeline. Par exemple, si on utilise un premier additionneur récursif pour la moitié des échantillons et un deuxième qui ajoute la somme du premier additionneur à la deuxième moitié des échantillons, une fois que le premier cycle de N coups d'horloge a été effectué, on peut obtenir le prochain résultat à partir de N/2 coups d'horloges. Ainsi, en fonction du nombre d'additionneurs, on peut encore choisir un compromis vitesse/surface.

Avant de choisir l'architecture la plus appropriée à notre application, il est nécessaire de faire un point sur la numérisation des coefficients à sommer.

b) Numérisation des coefficients

Cette étude propose d'évaluer la manière dont seront codés les coefficients du filtre à décimation. La somme des coefficients obtenus avec la fenêtre de troncature est égale à 1. Chaque coefficient est donc inférieur à zéro. Le codage se fait donc que sur la partie décimale.

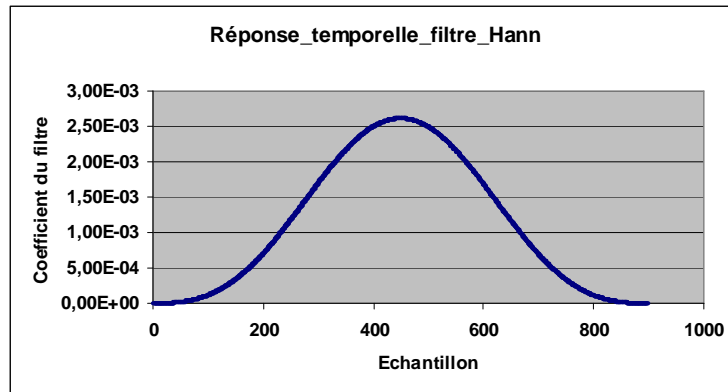


Figure 3-48. Réponse temporelle du filtre à décimation avec une fenêtre hanning sur 896

Si on décide de coder sur N bits les coefficients, la manière la plus simple de procéder est de multiplier par 2^N chaque coefficient afin que la somme soit égale à 2^N . Bien que facile à mettre en œuvre, cette méthode est peu précise. En effet, si on désire coder les coefficients de notre filtre avec une résolution N=16 bits, la valeur la plus forte à coder dans notre fenêtre de hanning est environ égale à 0.003 soit environ 1/336 de la dynamique (Figure 3-48). Cela veut dire que les 8 premiers bits de poids fort seront toujours à zéro. Cela n'est pas du tout optimal en termes d'utilisation mémoire. Cette méthode permet cependant de ne générer aucun débordement de capacité sur la sortie lors du calcul de somme des coefficients.

Dans cet exemple, une manière simple d'augmenter la précision est de multiplier par 2^8 les valeurs des coefficients du filtre afin que les 16 bits de mémoires soient utilisés. La somme des coefficients sera donc égale à 2^{24} . Cela impose une gestion des bits de dépassement (overflows) lors du calcul de la somme.

c) Architecture additionneur complet

Comme décrit dans le paragraphe précédent, l'additionneur doit faire la somme de coefficients sur 16bits dont le résultat sera sur 24bits. Si on tronque les 8 bits de poids faible de ce résultat, cela revient à faire une division par 2^8 . On obtient donc un résultat sur 16bits qui correspond à la précision voulue et recherchée avec la Figure 3-36. Ces divisions s'effectueront au cours des différents étages d'addition. Cela permettra de s'affranchir d'additionneurs de 22bits en fin de chaîne.

Le filtre choisit possède 896 coefficients à sommer. Pour réaliser l'additionneur complet et son optimisation, on peut jouer à la fois sur le nombre d'additionneurs élémentaires et sur la manière dont la retenue est calculée. Si on n'utilise aucune optimisation, on aurait besoin d'un premier étage de 448 additionneurs avec chacun 2 entrées de 16 bits, puis d'un deuxième étage de 224 additionneurs avec chacun 2 entrées de 17bits et ainsi de suite pour un total de 896 additionneurs. Si on utilise des additionneurs à anticipation de retenue à chaque étage, on obtient alors la structure parallèle la plus rapide mais aussi la plus grande en surface. Maintenant si on considère que c'est sur les premiers étages que le plus grand nombre d'additionneurs est nécessaire, il semble judicieux d'utiliser une structure récursive

sur ces premiers étages. Ensuite, pour la réalisation du bloc d'addition élémentaire, l'utilisation de l'architecture figure 32 est un bon compromis entre rapidité et surface. Ainsi avec toutes ces préconisations, on répartit les additionneurs comme décrit dans le Tableau 3-4.

Etage d'additionneur	Nombre d'entrées	Nombre d'additionneurs nécessaire	Résolution des donnée	Division effectuée	Résolution de l'additionneur requis	Nombre de coups d'horloge
0	896	56	16		20 récursif (x16)	80
1	56	28	20	1	20	5
2	28	14	20	2	20	5
3	14	7	20	2	20	5
4	7	4	20	2	20	5
5	4	2	20	2	20	5
6	2	1	20	2	20	5
7	1	0	19	8	20	1
Total		96		256		111

Tableau 3-4 Optimisation de la réparation des additionneurs en fonction du nombres d'additions à effectuer

L'additionneur élémentaire possède une résolution de 20bits. Il a besoin de 5 coups d'horloge pour fournir un résultat stable. Il est utilisé sur le premier étage pour effectuer la somme de 16 entrées de manière récursive. 80 coups d'horloge sont donc requis pour les 56 additionneurs nécessaires de ce premier étage. Les sommes sont ensuite effectuées de manière parallèle sur les étages suivants. Il est important que le tronquage des données (division par 2) se fasse le plus tard possible afin de conserver la précision du calcul. En effet, lors du tronquage, on perd l'information du bit de poids faible. Ce tronquage s'effectuera donc à partir du 3ieme étage et permettra aussi à ce moment là de ne pas dépasser les 20 bits de résolution de l'additionneur. Le résultat total de l'addition en fin de chaîne est sur 19 bits. En effectuant un dernier tronquage des 3 bits de poids faible, soit une division par 8, on obtient notre résultat sur 16bits. Soit un total de 96 additionneurs et 111 coups d'horloge.

Bien qu'optimisée, avec 96 additionneurs de 16 à 20 bits et un besoin mémoire important, cette architecture reste gourmande en surface. Le paragraphe suivant propose un algorithme de calcul de filtre FIR de type sinus cardinal dont la simplicité d'implémentation la rend très attractif.

d) Architecture Bit série d'un filtre Sinc³

Ce paragraphe résume l'architecture [50] d'une implémentation de filtre FIR de type Sinc³ avec une très faible surface.

De manière générale, la fonction de transfert d'un filtre en sinus cardinal se présente sous la forme ci-dessous :

$$H(z) = \left(\frac{1 - Z^{-N}}{1 - Z^{-1}} \right)^k = \left(\sum_{i=0}^{N-1} Z^{-i} \right)^k \quad (63)$$

Avec N le rapport de décimation ou la profondeur du filtre, et k l'ordre ou le nombre d'étages en cascade.

La synthèse de ce filtre se réalise classiquement par une succession d'addition. La publication [50] propose d'effectuer une suite de M multiplications au lieu d'une suite de 2^N additions (avec N=2^M). La fonction de transfert du filtre est ainsi décomposée en :

$$H(z) = \left(\sum_{i=0}^{N-1} Z^{-i} \right)^k = \left(\sum_{i=0}^{2^M-1} Z^{-i} \right)^k = \prod_{i=0}^{M-1} (1 - Z^{-2^i})^k \quad (64)$$

La schématique associée est représentée ci-dessous.

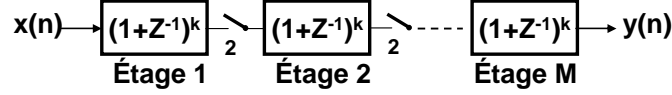


Figure 3-49. [50] Algorithme alternatif pour filtre SinC

Chaque étage possède le même filtre FIR dont la fréquence de sortie diminue d'un facteur 2 à chaque étage. La longueur des mots numériques en sortie de chaque étage est égale à $i \times k + m$ et chaque étage a besoin de $(k+1)$ entrées. Cela oblige l'utilisation d'une mémoire en entrée de chaque étage égale à $(k+1)$ éléments de $k \times [(i-1) + m]$ bits. Pour calculer les besoins en mémoire de cette architecture pour notre application, on pose :

- M=10 étages, soit une profondeur de SinC équivalente de N=1024,
- k=3 soit un filtre de type Sinc3,
- m=1 correspondant à la résolution du bitstream de sortie du sigma_delta.

Ainsi on trouve :

$$\sum_{i=0}^{M-1} (k+1) \times [k \times (i-1) + m] = 580 * 1$$

En comparant avec le besoin en mémoire de l'architecture précédente (cf b)), il était nécessaire de sauvegarder 896 coefficients de 16bits, soit un besoin en capacité plus de 20 fois supérieur sans compter les bascules des étages intermédiaires pour effectuer les additions. De plus, la complexité de la mémoire pour sauvegarder les coefficients est plus importante car non volatile.

En ce qui concerne la complexité des unités de calcul, dans le cas de cette structure série, on peut résoudre chaque unité de traitement par :

$$H_i^3(Z) = (1 + Z^{-1})^3 = (1 + Z^{-1}) + (Z^{-1} + Z^{-2}) + 2 \times (Z^{-1} + Z^{-2})$$

Ainsi, l'élément de base peut se réduire à la schématique suivante :

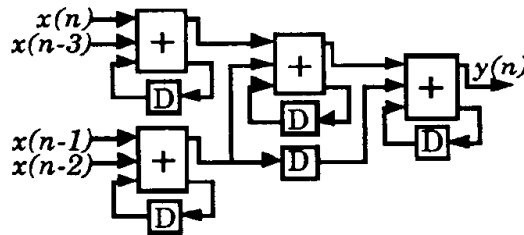


Figure 3-50. Unité de calcul H_i^3 de l'architecture bit série

Avec M=10 éléments, seulement 40 additionneurs complets unitaires sont nécessaires là où il fallait 192 additionneurs 20bits dans l'architecture précédente. Cependant, cette architecture nécessite 2^N soit 1024 coups d'horloges pour obtenir un résultat là où seulement 76 coups d'horloge suffisaient dans l'architecture précédente.

e) Résumé des performances

Le tableau ci-dessous résume les performances des filtres. Elles donnent une indication sur la surface et la vitesse de calcul.

Type de filtre	Nombre d'additionneurs nécessaire	Besoin Mémoire (bit)	Nombre de coups d'horloge nécessaires à la conversion	Nombre de coups d'horloge nécessaire à l'adressage et à l'envoi des données (@+Datat)*Nb_capteurs)	Fréquence de l'horloge SCLK (MHz)
Coefficient Hanning + additionneur parallèle	896*20	896*16	50	12288 (48*256)	12,34
Coefficient Hanning + additionneur récursif	1*20	896*16	3584	12288 (48*256)	15,87
Coefficient Hanning + additionneur optimisé	96*20	896*16	111	12288 (48*256)	12,39
Architecture Bit série d'un filtre Sinc3	40	580*1	1024	12288 (48*256)	13,31

Tableau 3-5. Récapitulatif des performances des filtres numériques

La dernière case représente la fréquence d'horloge minimale pour que le système complet ait un temps de réponse inférieur à 1ms. Elle répond à l'équation (44) :

$$T_{acq} = (N_{\text{filtre}} + (@+Data * N_{\text{bre_capteurs}})) * T_{SCLK} < 1\text{ms}$$

La fréquence minimale est principalement imposée par l'adressage et la mise en forme des adresses. De ce fait, le nombre de coups d'horloge n'a que peu d'influence sur la fréquence minimale d'horloge requise. La dernière architecture présentée est la plus avantageuse en terme de surface mais nécessite le plus grand nombre d'étapes (car nécessairement en puissance de 2). Ce nombre n'étant pas contraignant, ce dernier filtre semble donc effectivement le plus intéressant.

On détermine maintenant la fréquence d'échantillonnage minimale pour respecter le temps de latence inférieur à 5ms.

$$1024 \times \frac{1}{F_e} < 0.005 \Leftrightarrow F_e > 204.8 \text{ kHz}$$

Le choix de cette fréquence d'échantillonnage impacte la consommation du modulateur mais reste raisonnable en terme de conception.

3.4. Modélisation réaliste de l'architecture

On effectue ici la propagation des contraintes sur les blocs de l'architecture afin d'affiner les modèles intégrant les imperfections liées à l'électronique.

3.4.1. *Imperfection liée à l'électronique et modélisation associée*

3.4.1.1. *Imperfections associées aux capacités commutées*

Les interrupteurs utilisés dans les circuits à capacités commutées sont des transistors MOS qui possèdent une résistance équivalente R_{ON} lorsqu'ils sont fermés et R_{OFF} lorsqu'ils sont

ouverts. Le bruit thermique généré par les interrupteurs au niveau de la capacité est égale à :

$$V_c^2(f) = 4kTR_{on}(V^2 / \text{Hz}) \quad (65)$$

On peut exprimer la puissance de bruit équivalente en V^2_{rms} en intégrant la densité spectrale de bruit exprimée en V^2/Hz sur la bande :

$$f_c = \frac{1}{2\pi R_{on} C}(\text{Hz}) \quad (66)$$

On trouve :

$$P_{bth} = \int_0^\infty V_c^2(f) df = 4kTR_{on} \frac{\pi}{2} f_c = \frac{kT}{C} (V^2_{rms}) \quad (67)$$

La densité spectrale du bruit dépend de la résistance à l'état passant du transistor R_{ON} , mais la valeur moyenne du bruit sur C est indépendante de ce paramètre. L'explication est que la bande passante du système est inversement proportionnelle à R_{ON} , tandis que la densité spectrale est proportionnelle à R_{ON} . Les effets s'annulent lors de l'intégration.

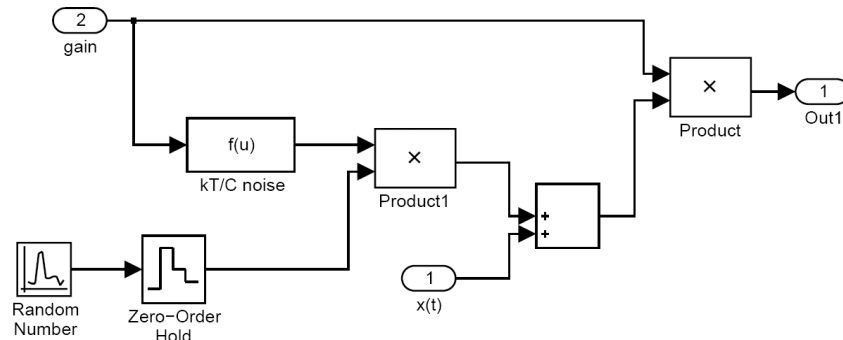


Figure 3-51. Modélisation Simulink du bruit en kT/C

La figure ci-dessus représente le modèle utilisé pour introduire la contribution du bruit thermique des capacités.

3.4.1.2. Imperfection liée à l'amplificateur

Les non idéalités à prendre en compte sont le gain fini des amplificateurs, le slew rate, le produit gain bande, l'offset, le bruit (bruit en $1/f$, bruit blanc) et la tension de saturation. Les erreurs liées aux injections de charges ne sont pas modélisées car supposées négligeable grâce à la présence d'interrupteurs « dummy ». Pour modéliser notre montage d'intégrateur réel, on part de l'approche présentée dans [51]. Pour cela, on utilise l'intégrateur de Ki-Temes [52] qui possède une capacité mémoire C_m pour compenser l'offset (Figure 3-52).

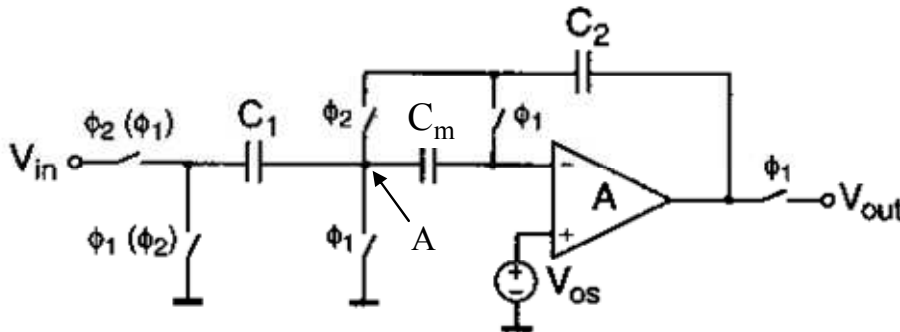


Figure 3-52. Intégrateur de KI-TEMES

L'intégrateur choisi est modélisé par l'équation suivante avec la technique « Correlated Double Sampling » (CDS) [51] où la sortie vaut:

$$V_{out}(n+1)T = -K.\alpha V_{IN} + \beta.V_{out}(nT) + \gamma.V_T \quad (68)$$

Avec $K = \frac{C_2}{C_1}$, V_T représentant la somme de la tension d'offset et du bruit en 1/f de

l'amplificateur et α , β , γ les indices de performance de l'intégrateur. Leurs valeurs sont modélisées par les équations suivantes :

$$\alpha \cong 1 - \mu.(1 + K) \quad \beta \cong 1 - \mu^2.K \quad \gamma \cong K$$

Avec $\mu = \frac{1}{A_0}$ et A_0 le gain en boucle fermée de l'amplificateur.

Pour modéliser le bruit de l'amplificateur, l'hypothèse est que le bruit thermique ne résulte que de l'étage différentiel d'entrée. En effet, un filtre passe-bas présent sur la sortie du modulateur à une fréquence de coupure inférieure à la fréquence de transition F_T . Ainsi en sortie du convertisseur, le bruit thermique dû au second étage est filtré. Le bruit en 1/f dû à l'étage de sortie est négligeable comparé à celui de l'étage différentiel, car les bruits en 1/f ne sont importants qu'en basse fréquence. L'optimisation du dimensionnement de l'amplificateur constituant l'intégrateur peut conduire à une source de bruit minimale. Nous utiliserons dans un premier temps l'équation (24) du chapitre 2 pour approximer ce bruit ramené en entrée de l'amplificateur [53] :

$$V^2_{Nég}(f) = 2 \left(\frac{8kT}{3gm} + \frac{K}{WLf} + \frac{4kTR}{gm^2.R^2} \right) \quad (V^2 / Hz) \quad (24)$$

La valeur RMS « V_n » utilisée dans le modèle Figure 3-53. Modèle réel intégrateur correspond à ce bruit intégré sur le produit gain bande passante.

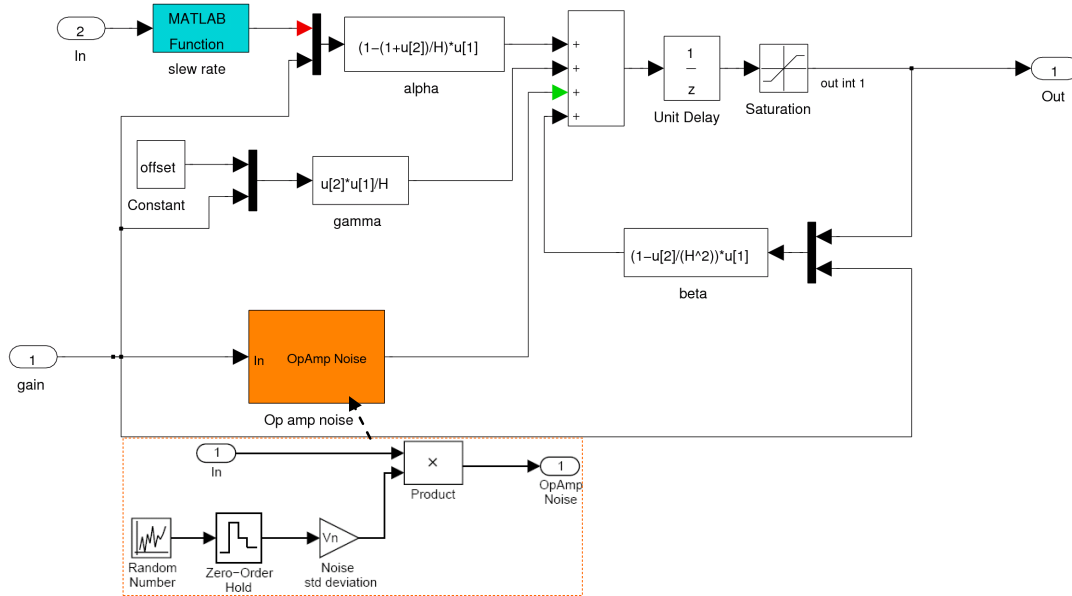


Figure 3-53. Modèle réel intégrateur

3.4.2. Modèle complet du modulateur

Le modèle réel complet du modulateur est représenté sur la Figure 3-54

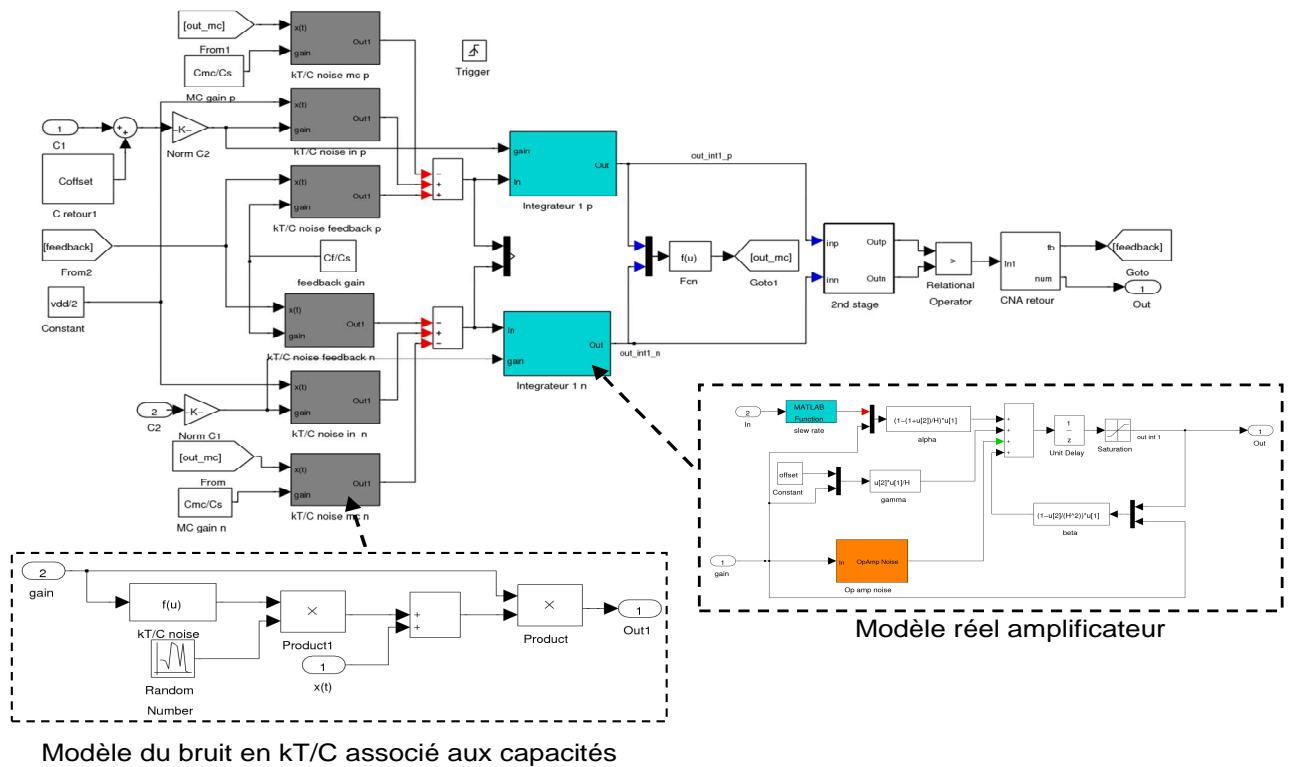


Figure 3-54. Modèle réel du modulateur

La figure ci-dessous représente des exemples de l'influence des paramètres non-idéaux du modulateur.

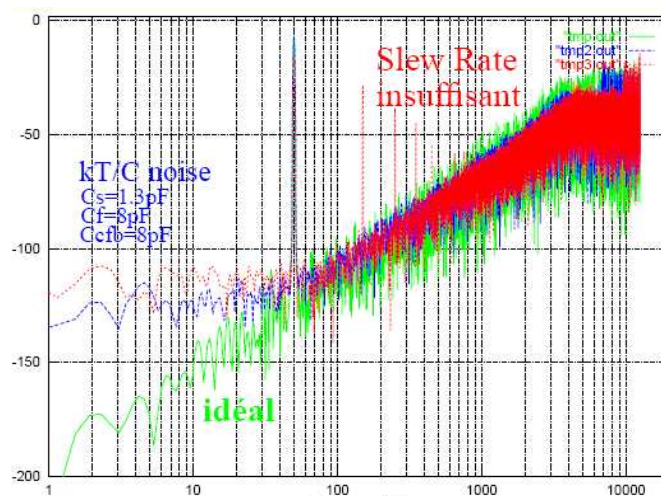


Figure 3-55 Densité spectrale de la puissance en sortie du modulateur réel en fonction de plusieurs paramètres non idéaux.

On peut voir que le bruit lié aux capacités diminue le rapport signal sur bruit dans la bande passante du signal. De même, On constate que la valeur du slew-rate peut engendrer des erreurs de valeurs finales.

Si on associe ce modulateur à notre modèle de capteur et qu'on trace la densité spectrale de puissance en sortie, on trouve la Figure 3-56. Elle correspond à un signal sinusoïdal en sortie du capteur résistif de 21Hz et après amplification d'amplitude 73% de la dynamique. On constate la présence de bruit sur la bande passante du capteur bien plus importante qu'avec le modèle idéal. Tout le travail de dimensionnement consiste à réduire ce bruit en jouant sur les paramètres du modulateur afin de garantir la performance voulue, soit 16bits

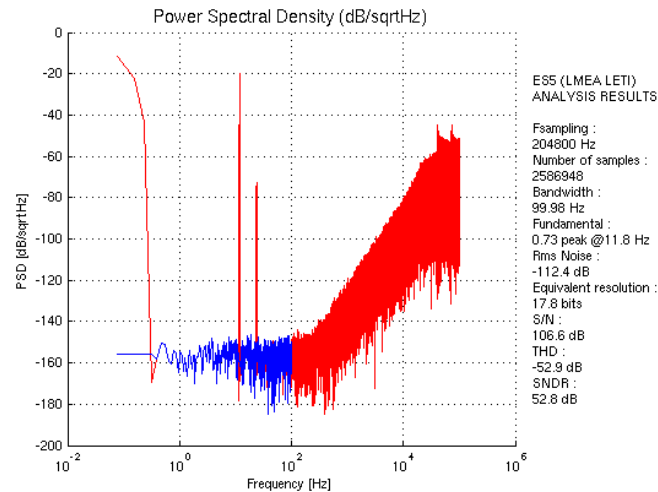


Figure 3-56. Densité spectrale de puissance de la sortie du modèle réel du sigma delta.

Les simulations Matlab/Simulink et le travail de dimensionnement ont abouti à un premier dimensionnement dont les valeurs sont résumées dans les tableaux suivants.

Paramètre de dimension pour capteur résistif	
Alimentation (V)	3,3
Gain en sortie du capteur	60
Fréquence de sampling (Hz)	204800
Capacité d'entrée (F)	2p
Capacité d'integration (F)	4p
Capacité de mode commun (F)	2p
Capacité de retour (F)	1p
slew rate ota (V/s)	1,00E+06
gain fini ota	5,00E+02
BP ota (Hz)	1,00E+06
Offset ota (V)	1,00E-04
Offset comparateur (V)	1,00E-03
Total rms noise (V)	2,60E-05
gm OTA (S)	2,00E-04
SNR modulateur (dB)	106,5dB
SNR après filtrage (dB)	99,3dB
ENOB	15,9

Tableau 3-6. Paramètre de dimensionnement pour le capteur résistif

Dans le cas du capteur résistif, il est nécessaire d'introduire un amplificateur en sortie du pont de Wheatstone avec un gain en boucle fermée fixé à 60 pour exploiter le maximum de la dynamique d'entrée.

Paramètre de dimension pour capteur capacitif	
Alimentation (V)	3,3
Fréquence de sampling (Hz)	204800
Capacité d'offset (F)	0,2477p
Capacité d'integration (F)	6p
Capacité de mode commun (F)	6p
Capacité de retour (F)	0,5p
slew rate ota (V/s)	1,00E+06
Gain fini ota	5,00E+02
BP ota (Hz)	1,00E+06
Offset ota (V)	1,00E-04
Offset comparateur (V)	1,00E-03
Total rms noise (V)	7,00E-06
gm OTA (S)	2,00E-04
SNR modulateur (dB)	102,8dB
SNR après filtrage (dB)	100,6dB
ENOB	15,9

Tableau 3-7. Paramètre de dimensionnement pour le capteur capacitif

Pour rappel, dans le cas du capteur capacitif, c'est le capteur lui-même qui sert de capacité d'entrée du modulateur. Une capacité de correction sera présente pour centrer au milieu de la dynamique les variations capacitatives.

Les valeurs différentes d'une capacité en fonction du capteur utilisé seront obtenues grâce à des interrupteurs de sélection.

3.4.3. Modèle complet du modulateur avec capteur et filtre numérique

Pour valider notre dimensionnement, on trace la résolution que l'on obtient avec notre modèle complet (capteur+modulateur+filtre)

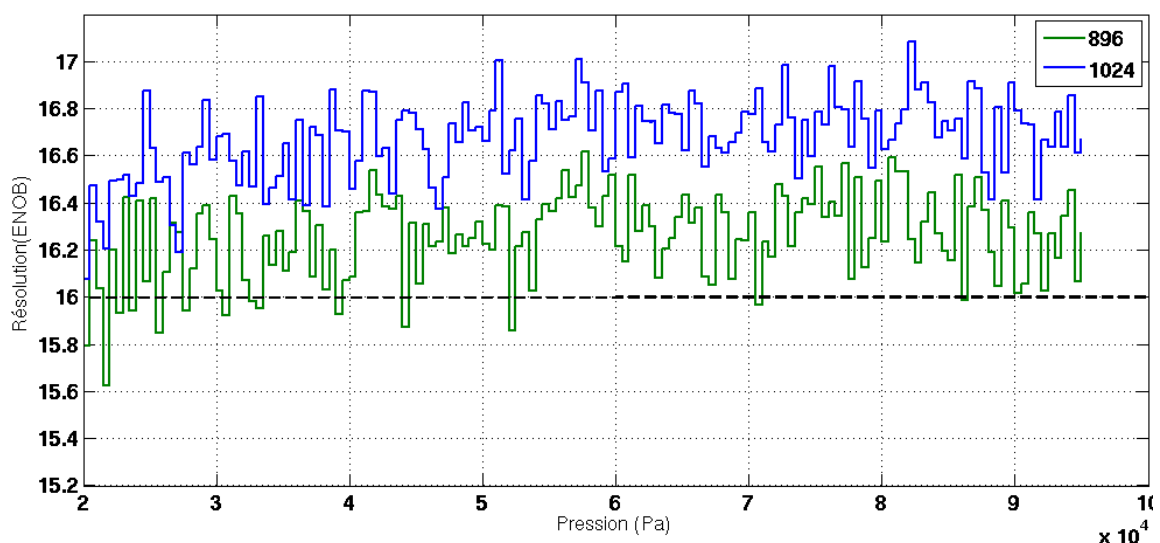


Figure 3-57. ENOB obtenue avec un modulateur réel pour différentes profondeurs de filtre en fonction de la pression d'entrée du capteur.

Les courbes ci-dessus ont été obtenues avec plusieurs profondeurs de filtre de décimation à fenêtre de type SinC^3 . L'axe des ordonnées est une pression qui correspond à la gamme d'entrée du capteur. La simulation a été réalisée ici avec le modèle de capteur résistif, dont la sortie est amplifiée pour correspondre à la dynamique d'entrée du modulateur (0,3 - 3V). Les valeurs des coefficients sont codées sur 16bits. On constate que pour une profondeur de filtre de 896 échantillons, la résolution peut descendre à 15.6 Bits ENOB. Cependant, plus on augmente la profondeur du filtre, meilleure est la résolution. La courbe bleue correspond à un filtre Sinc^3 avec 1024 coefficients. Ce nombre de coefficients correspond à l'implantation d'un filtre bit série ce qui confirme notre choix.

3.4.4. Résumé des choix

Les principales contraintes de l'application Wireless ont abouti à l'étude d'une architecture capteur + électronique de conditionnement asynchrone avec un système de communication série. La modélisation du système complet (capteur + modulateur + filtre numérique) a permis de mettre en évidence les points clefs qui ont permis les choix de dimensionnements.

Tout d'abord la non-linéarité des capteurs impacte directement la résolution en sortie du convertisseur. Un surdimensionnement de la profondeur du filtre numérique pour atteindre 1024 permet de compenser cette perte de résolution.

Ensuite la valeur du facteur de sur échantillonnage (OSR) est fixée à 1024 ce qui permet de minimiser le temps de latence du système. La fréquence d'échantillonnage imposée par l'OSR ($2 \cdot \text{BP} \cdot \text{OSR}$) est égale à 204,8KHz. 1024 coups d'horloge sont nécessaires pour remplir la FIFO. Le temps de latence est donc égal à 5ms.

Le temps de réponse du système fixé à 1ms par le cahier des charges et les contraintes de filtrage numérique puis de mise en forme des données pour la communication série ont aboutis à une fréquence SCLK de 13,3MHz.

Enfin, les contraintes de résolution et de bande passante ont permis d'aboutir aux tableaux 3-6 et 3-7 de dimensionnement du modulateur.

3.5. Conclusion et perspectives

L'objectif pour ce projet est d'obtenir une précision de 30Pa. Nous venons de voir au travers de cette étude de dimensionnement qu'une précision de 16bits est théoriquement atteignable par le convertisseur Sigma-Delta. Avec un capteur linéaire parfait sur une plage de 20KPa-95KPa, cela correspondrait à une précision de 1.14Pa ($Précision = \frac{95000 - 20000}{2^{16}} = 1.14$).

Cependant, bien que ce choix de résolution puisse paraître surdimensionné, les capteurs étudiés présentent des non linéarités, des dérives en température et n'utilisent pas toute la dynamique du convertisseur. Ces éléments peuvent faire chuter drastiquement cette résolution.

L'utilisation de méthodes de compensation telles que les LUT (Look Up Table) seront à envisager pour corriger la non-linéarité des capteurs. Cette étude dépendra des caractéristiques du capteur en cours de finalisation et la correction pourra se faire après la conversion. La précision de 30Pa sera ainsi respectée.

Les choix de dimensionnement du système seront prochainement validés et affinés si besoin grâce à une modélisation au niveau transistor. Le circuit sera réalisé en technologie AMS 0.35µM CMOS 3.3V.

Conclusion générale

Conclusion générale

Les applications d'instrumentations de capteurs sont nombreuses et variées. Nous l'avons vu au travers de trois applications : la première pour la mesure de vitesse et de position dans un roulement pour le domaine de l'automobile, la deuxième pour la mesure de signaux de type EcoG afin d'interfacer le cerveau humain dans le domaine biomédical, et enfin la troisième pour la mesure de pression stationnaire sur des voilures dans le domaine de l'aéronautique. Les principaux enjeux pour ces systèmes de mesure, quels que soient les domaines, sont la diminution de l'encombrement par rapport à des systèmes existants, la diminution des coûts de fabrication, ou encore l'amélioration de la précision des mesures tout en diminuant la consommation.

Dans ce travail de thèse, nous avons contribué à l'élaboration et à l'intégration des éléments clefs qui constituent les chaînes d'instrumentations actuelles.

Dans un premier temps, nous avons élaboré, conçu et testé une nouvelle chaîne analogique d'amplification et de correction pour capteur TMR. Cette fonction constitue le premier élément de la chaîne d'instrumentation. Le circuit est réalisé en technologie AMS 0.35 μ M CMOS, avec seulement 3.59 μ V_{rms} de bruit ramené en entrée sur une bande passante de 7.5 kHz et une puissance consommée de 23.9 mW. Son intégration dans un démonstrateur fonctionnel a permis de tester les premiers prototypes de capteurs TMR de l'application et ainsi de prouver les avantages de cette solution.

Dans un deuxième temps, nous avons conçu et testé un convertisseur Analogique/Numérique de type SAR. Chacun des blocs qui constituent cet ADC ont bénéficié d'une étude approfondie (système, technologique). Les performances obtenues sont 12 bits de résolution, 24 kS/s de débit, pour une consommation de seulement 86 μ A. Ces résultats ont permis l'intégration de notre bloc dans l'application BCI, mais aussi dans un projet en cours pour une application de surveillance de batterie (Batterie Monitoring System, BMS).

Enfin dans un troisième temps, nous avons étudié une architecture complète (Chaîne de conditionnement plus capteurs) avec comme élément central le dimensionnement d'un convertisseur Analogique/Numérique Sigma-Delta de type incrémental. Cette étude nous a permis d'avoir une approche différente par rapport aux méthodes de conception des convertisseurs Sigma-Delta classiques. Elle a abouti à la modélisation complète d'une chaîne d'instrumentation permettant le dimensionnement de chaque élément. Les performances du système dépendent essentiellement du filtre numérique utilisé. Il s'agit d'un filtre de décimation en sinus cardinal d'ordre 3 avec une profondeur de 1024. Il permet d'atteindre une résolution de 16 bits, pour une bande passante de 100 Hz. Cet ADC sera prochainement validé au niveau transistor, fondu et intégré dans un démonstrateur.

Ce travail de thèse m'a permis d'entrevoir la pluridisciplinarité qui touche le domaine de l'instrumentation des capteurs. Chaque élément réalisé a dû non seulement s'interfacer avec d'autres éléments électroniques mais aussi prendre en compte les contraintes spécifiques liées à chaque discipline. Ce travail fut techniquement très enrichissant.

Conclusion générale

Une des perspectives à cette thèse serait la conception à partir des éléments présentés d'un outil d'interfaçage capteur générique et paramétrable afin de proposer aux industriels une solution clef en mains performante et adaptable à leur besoin. Cet outil permettrait entre autres d'économiser sur les coûts de développement d'architectures spécifiques et d'accélérer la mise sur le marché de systèmes performants.

- **PROG** : (RAM -> PolyFuse) programmation des fusibles avec les données contenues dans la RAM
- **ANALOG** (read) : opération pour le test – lecture de la résistance des polyFuses

Remarque :

1. Lors de la programmation via l'opération « PROG », les pics de courants nécessaires à la programmation des fusibles sont générés automatiquement à l'intérieur de la PPTRIM. L'utilisateur ne fournira que la trame numérique via le plot « PCLK ». Durant cette opération l'utilisateur doit maintenir un potentiel fixe sur le plot « PDIO », lequel devant fournir un courant maximum de 100mA.
2. Avec cette IP, il est possible d'exploiter les 3 plots de l'IS pour une autre application dans le circuit. En effet lorsque la mémoire est programmée ces plots ne sont plus nécessaires et peuvent être redirigés vers d'autres fonctions internes au circuit via le bit « SEL ».
Cette possibilité n'a pas été exploitée dans le circuit. Elle permettrait entre autres d'économiser des plots de test.

Simulation

Le fondeur fournit avec cette IP un fichier de simulation comportementale en langage HDL (verilog).

Le comportement des différentes opérations a été simulé avec un simulateur numérique afin de vérifier leurs fonctionnements par rapport aux spécifications de l'IP fourni par AMS.

On donne ci-dessous, un résultat de simulation pour la séquence suivante :

La PPTRIM a été préalablement programmé (polyFuse) à la valeur en hexa « FFFF_FF00_0000 »

1. Fonction « AUTOLOAD » : Mise sous tension -> activation du POR -> chargement du contenu des polyFuses dans la RAM et positionnement des 48 sorties à la valeur « FFFF_FF00_0000 »
2. Ecriture d'un nouveau mot « 6667_BBBA_AAAB » dans la RAM via l'interface série et repositionnement des nouvelles données sur les sorties.

Le chronogramme de simulation est donné ci-dessous :

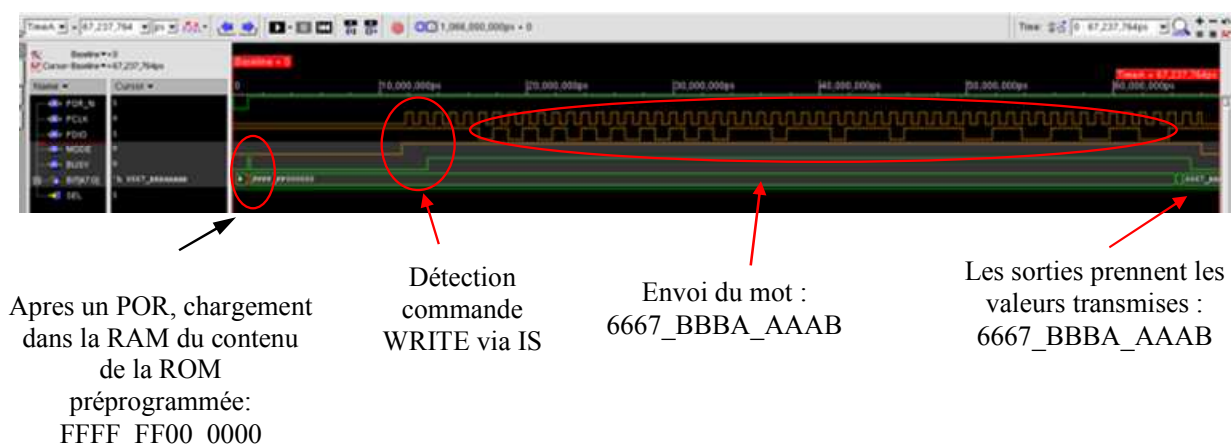


Figure 0-2. Exemple de chronogramme de simulation de la PPTRIM

Programme de TEST

La PPTRIM doit être testée en sortie de fonderie et après programmation. Pour ce faire une lecture analogique de la résistance des fusibles est nécessaire.

Les résistances doivent être les suivantes :

- 50Ω-200Ω résistance polyFuse non programmé
- >10KΩ résistance polyFuse programmé

Layout

Le fondeur n'a pas fourni le layout (dessin des masques) correspondant à cet IP mais seulement les contours représentés ci-dessous :

Le fondeur a introduit lui même le layout définitif des deux PPTRIM avant de fondre le circuit.

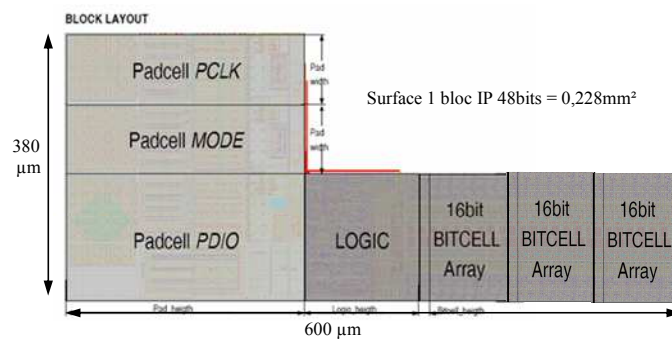


Figure 0-3. Layout PPTRIM

A ce layout, il a été rajouté un certain nombre de plots entrée/sortie :

- un plot pour générer le POR
- un plot de visualisation de l'activité de la mémoire (« BUSY »)
- 2 plots d'alimentations dédiés à chaque bloc.

ANNEXE 2 : Théorie sur les Sigma-Delta

Les ADC réalisent deux opérations, une discrétisation et une quantification. Ils peuvent ainsi être représentés comme une combinaison d'un sample and hold et d'un quantificateur. Lors de la quantification d'un signal analogique en un signal discret, il se produit une erreur systématique. Elle est due à la différence entre le signal d'entrée et la valeur numérique. Cette erreur génère le bruit de quantification.

Avec un pas de quantification égal à Δ , l'erreur de quantification sera limitée à $\pm \Delta/2$, si le quantificateur ne sature pas, c'est à dire si le signal d'entrée reste dans la gamme fixée par le nombre de pas de quantification. Dans ces conditions, il peut être représenté par une fonction linéaire définie par :

$$y = g \cdot x + e \quad (1)$$

g étant la pente de la droite passant par le milieu des pas de quantification, tant que le quantificateur ne sature pas. On peut alors représenter le quantificateur par un modèle linéaire simplifié:

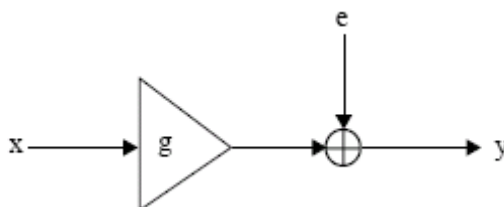


Figure 0-1. Modèle linéaire simplifié du quantificateur

Cette représentation est aussi applicable à un quantificateur caractérisé par deux niveaux: le comparateur. Dans ce cas on fixe généralement et de façon arbitraire g à 1. La gamme d'entrée du signal se borne à ± 2 . Cette condition permet de se placer dans le cas d'un système linéaire. Pour des études de stabilité, on fera varier g entre 0 et 1 et on étudiera le placement des pôles. L'erreur est donc définie par le signal d'entrée. En prenant comme hypothèse que le signal d'entrée change de façon aléatoire d'un échantillon à l'autre et qu'il occupe de façon uniforme toute la gamme d'entrée du comparateur, on peut alors considérer l'erreur de quantification comme un bruit blanc dont la probabilité d'erreur est répartie de façon uniforme dans l'intervalle $\pm \Delta/2$:

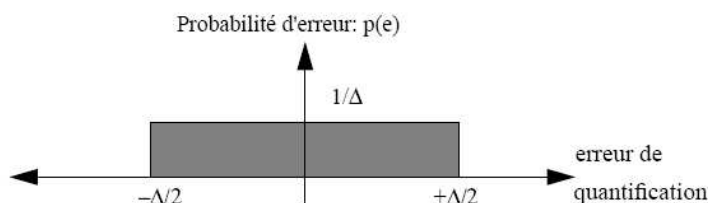


Figure 0-2. Représentation de la densité de probabilité de l'erreur de quantification

La puissance du bruit de quantification dans la bande utile $[-f_b; f_b]$ est égale à :

$$P_q = \int_{-f_b}^{f_b} E^2(f) df = \sigma_q^2 \left(\frac{2f_b}{f_e} \right) = \frac{\Delta^2}{12R} \quad (69)$$

où f_b est la fréquence maximale du signal et R est le rapport de suréchantillonnage. Ce rapport est unitaire quand on échantillonne à la fréquence de Nyquist-Shannon ($f_e = 2f_b$).

L'équation 21 montre que le bruit de quantification dans la bande diminue avec le rapport de suréchantillonnage (Figure 0-3).

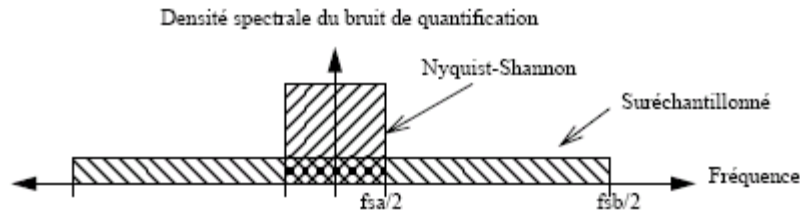


Figure 0-3. Représentation de la mise en forme du bruit grâce au suréchantillonnage

Nous pouvons alors exprimer le rapport signal sur bruit (S/B)

$$SNR = 10 \log\left(\frac{P_s}{P_q}\right) = 10 \log\left(\frac{\sigma_s^2}{\sigma_q^2}\right) + 10 \log(R) \quad (70)$$

En considérant que le signal d'entrée est une sinusoïde de faible amplitude V et en fixant N comme la résolution comptée en bits du convertisseur, on peut écrire:

$$\Delta = \frac{V}{2^N - 1} \quad (71)$$

$$P_s = \sigma_s^2 = V_{rms}^2 = \left(\frac{V}{2\sqrt{2}}\right)^2 \quad (72)$$

$$SNR = 1.7609 + 20 \log(2^N - 1) + 10 \log(R) \quad (73)$$

En considérant que le signal d'entrée est une sinusoïde de faible amplitude V et en fixant N comme la résolution comptée en bits du convertisseur, on peut écrire:

Pour $N > 5$ on peut approximer l'équation 73 par:

$$SNR = 1.7609 + 6.02 N \quad (74)$$

L'équation 74 montre qu'en doublant la fréquence d'échantillonnage, on gagne seulement 3dB, ce qui correspond à une résolution supplémentaire de 0.5 bits

Pour les grandes résolutions (> 15 Bits), les influences du bruit thermique deviennent non négligeables par rapport à celles du bruit de quantification. L'augmentation des rapports S/B des convertisseurs se heurte à un problème d'intégration de capacités de fortes valeurs. En effet, le bruit thermique est inversement proportionnel [55] [48] pour les systèmes à capacités commutées à la capacité équivalente d'entrée du circuit (C_s) et au facteur de suréchantillonnage (R).

$$Puissance(Bruit_{thermique}) = \frac{k \times T}{C_s \times R} \quad (75)$$

$$SNR \approx C_s \times R \quad P_{min} \approx SNR \quad (76)$$

Pour diminuer ce bruit, la capacité équivalente ou le facteur de suréchantillonnage doivent être augmentés. Pour des raisons d'intégration, la capacité ne peut dépasser quelques picofarads. Ainsi pour améliorer les performances des convertisseurs analogiques numériques, il est indispensable de largement sur-échantillonner.

De plus, le suréchantillonnage n'est pas contradictoire avec des systèmes basse consommation. La puissance consommée par un circuit est principalement fixée par les contraintes sur le rapport S/B. Le produit de la capacité minimale par le facteur de suréchantillonnage fixe le rapport S/B, mais aussi la puissance dissipée. Ainsi pour un rapport S/B constant, donc un produit $C_s \cdot R$ constant, la puissance reste constante. Si l'on diminue C_s , le facteur de suréchantillonnage peut alors être augmenté et la puissance rester constante. La limite de cette proportionnalité est atteinte quand C_s égale la valeur de la capacité minimale fixée par des contraintes d'appariements et d'injection de charges.

Cependant la simple augmentation de la fréquence est insuffisante. Il existe des architectures qui agissent sur la répartition spectrale du bruit. Le modulateur Sigma-Delta en est un très bon exemple.

Modulateur du premier ordre

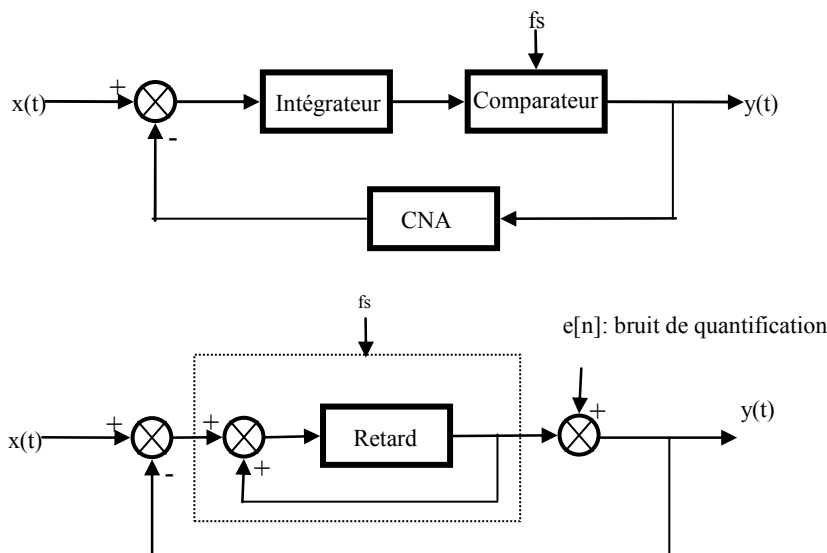


Figure 0-4. Modulateur sigma delta du premier ordre et son schéma équivalent

Ce modulateur de fréquence f_s est composé d'un intégrateur suivi d'un comparateur (quantificateur) piloté par une horloge et rebouclé sur l'entrée du circuit par l'intermédiaire d'un convertisseur numérique analogique (CNA).

Prenons l'exemple d'une tension d'entrée continue $V_{in} = V_{max}/2$, où V_{max} est la tension maximale que le modulateur peut voir à son entrée. A l'initialisation, le CNA (1 bit soit un comparateur) donne une valeur nulle en sortie. Dans ce cas la sortie de l'intégrateur est une droite de pente $V_{max}/2$. Au premier coup d'horloge, la sortie de l'intégrateur est supérieure à la tension de référence du comparateur (V_{ref}) et donc sa sortie passe au niveau logique 1. Le CNA transfère alors V_{max} qui est soustrait à la tension d'entrée du modulateur. L'entrée de l'intégrateur vaut alors $-V_{max}/2$ ce qui entraîne une sortie décroissante de pente $-V_{max}/2$. Au coup d'horloge, la tension de sortie de l'intégrateur est inférieure à V_{ref} et la comparateur bascule à nouveau sur le niveau logique 0. Ensuite le cycle recommence. La sortie du modulateur est donc composée de 0 et de 1 en même quantité, donc sa valeur moyenne est $V_{max}/2$ soit V_{in} . La Figure 0-5 présente les chronogrammes pour deux valeurs d'entrée différentes.

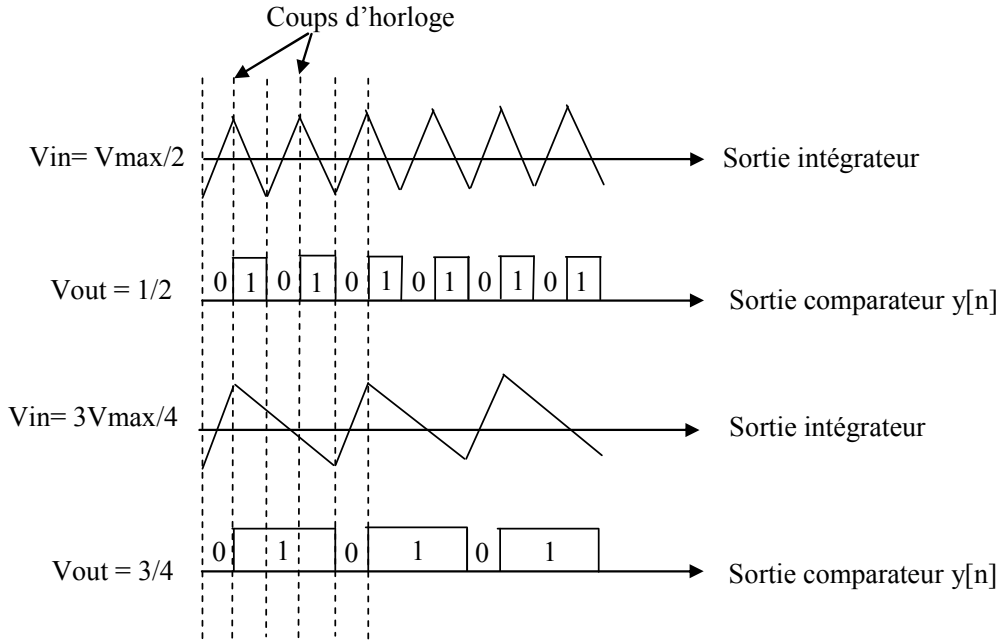


Figure 0-5. Comportement des signaux du modulateur pour des entrées continues

Comme le présente la Figure 0-6, on modélise le bruit de quantification par l'ajout d'une source de bruit $e[n]$ au signal. D'un point de vue temporel, un convertisseur sigma-delta tend vers l'annulation de la valeur moyenne de la différence entre le signal d'entrée et le signal de sortie.

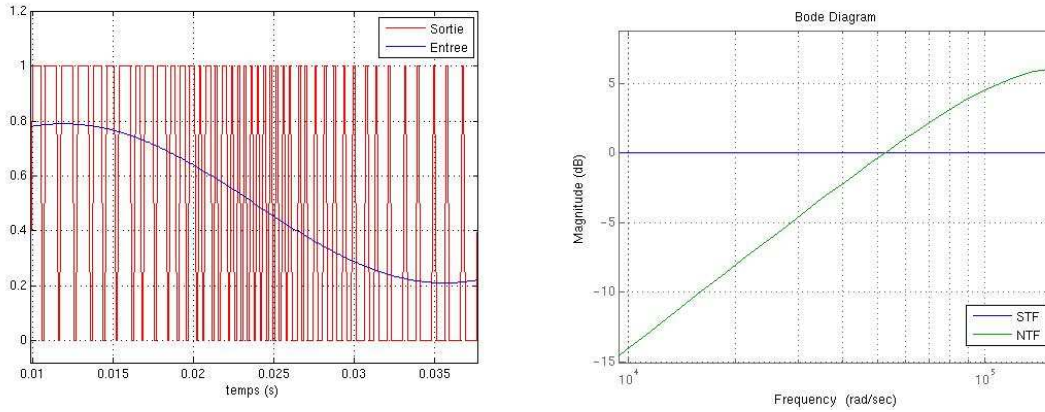


Figure 0-6. Chronogramme des signaux d'entrée et de sortie – Fonctions de transfert Signal et Bruit de quantification

La Figure 0-4 permet de déduire l'équation suivante :

$$y[n] = x[n-1] + e[n] - e[n-1] \quad (77)$$

Et en exprimant cette équation dans le domaine discret il vient :

$$Y(Z) = X(Z)Z^{-1} + E(Z)(1 - Z^{-1}) \quad (78)$$

On voit ici apparaître clairement une fonction de transfert signal et une fonction de transfert de bruit de quantification que nous appellerons respectivement STF et NTF.

$$STF = Z^{-1} \quad (79) \quad NTF = (1 - Z^{-1}) \quad (80)$$

Les équations ci-dessus mettent en évidence le fait que le signal est simplement retardé alors que le bruit est mis en forme par un filtre passe haut. Le bruit sera donc repoussé en grande partie vers les hautes fréquences en dehors de la bande passante utile.

Un facteur de performance du modulateur sigma-delta est son rapport signal sur bruit. Pour un modulateur du premier ordre, il est démontré que l'on peut l'exprimer en dB de la façon suivante :

$$SNR = 10 \log \left(\frac{3}{2} (2^N - 1)^2 \frac{3}{\pi^2} (OSR)^3 \right) \quad (81)$$

Où N correspond au nombre de bits du convertisseur numérique-analogique de retour et OSR le rapport de suréchantillonnage du modulateur. Dans le cas du modulateur 1 bit (cas simple le plus utilisé) nous obtenons le graphe ci-dessous :

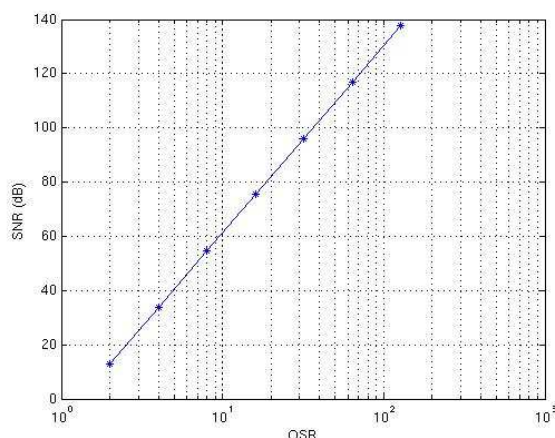


Figure 0-7. Rapport signal/bruit en fonction du rapport de suréchantillonnage

On peut déduire de cette équation que si l'on multiplie par deux l'OSR, on augmente le SNR de 9 dB ou la résolution de 1,5 bits.

En réalité, le bruit de quantification que nous avons considéré blanc ne l'est pas toujours. En effet pour un signal d'entrée constant ou variant très peu, le modulateur fournit un signal de sortie oscillant entre deux valeurs pour que sa valeur moyenne soit égale à celle du signal d'entrée. La fréquence de ces oscillations dépend donc directement du signal d'entrée et si cette fréquence se situe dans la bande passante utile du modulateur, alors le signal sera bruité.

En définissant la tension de sortie et d'entrée du modulateur de la manière suivante:

$$y = \frac{nP - nM}{nT} V_{ref} \quad (82) \quad x = \frac{b}{a} V_{ref} \quad (83)$$

où nP est le nombre de '1' de la séquence de sortie, nM le nombre de '0' et nT le nombre total de sortie. On voit que l'on aura des oscillations pour des valeurs rationnelles de la tension de référence en entrée. La Figure 0-9 illustre ce phénomène :

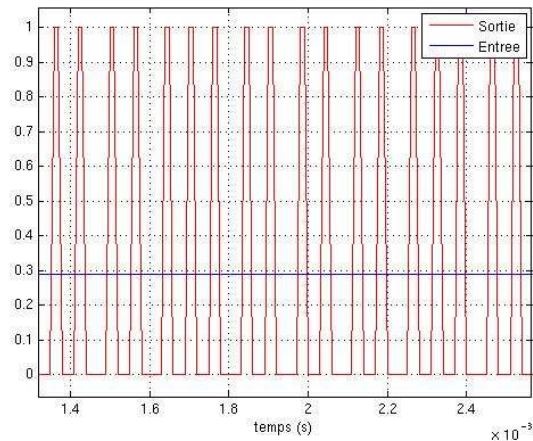


Figure 0-8. Signal de sortie du modulateur pour un signal d'entrée constant

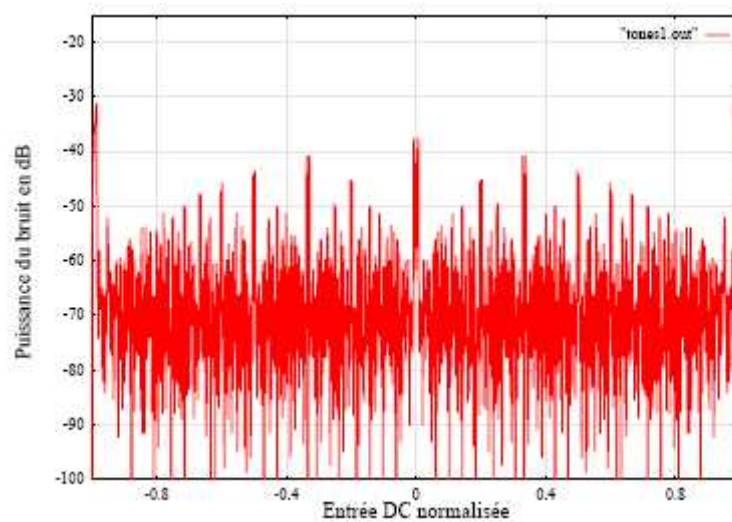


Figure 0-9. Puissance de bruit en sortie en fonction de différentes tensions DC d'entrée

Cette structure de bruit de quantification, due au fait que le bruit n'est pas blanc est appelé le bruit de trame. Il peut être très handicapant pour les performances du modulateur. Le modulateur sigma-delta a donc un mauvais comportement pour des signaux d'entrée de faible variation ce qui est handicapant pour interfacer un micro capteur. Pour passer outre ce problème, l'utilisation d'un modulateur d'ordre supérieur est primordiale.

Modulateur du second ordre :

On peut introduire le modulateur sigma-delta du second ordre de la même façon que le premier ordre. Comme représenté sur la Figure 0-10, le modulateur du second ordre est composé de deux intégrateurs, le bruit de quantification est modélisé de la même façon que pour la structure du premier ordre.

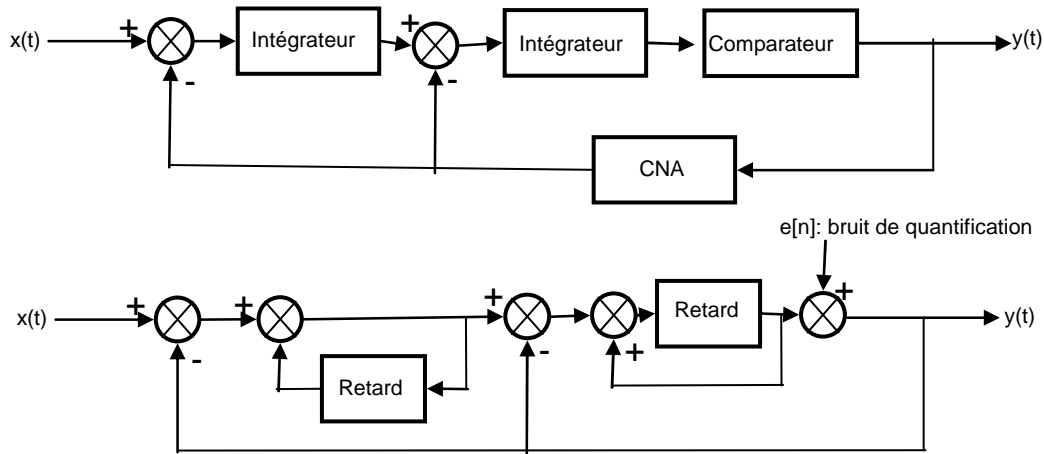


Figure 0-10 . Modulateur sigma delta du premier ordre et son schéma équivalent

On déduit du schéma équivalent les fonctions de transfert bruit et signal :

$$Y(Z) = X(Z)Z^{-1} + E(Z)(1 - Z^{-1})^2 \quad (84)$$

Le signal est toujours simplement retardé alors que le bruit de quantification est mis en forme par un passe haut du second ordre.

Dans le cas d'un modulateur du second ordre l'équation définissant le SNR devient :

$$SNR = 10 \log \left(\frac{3}{2} (2^N - 1)^2 \frac{5}{\pi^4} (OSR)^5 \right) \quad (85)$$

Avec N la résolution fixée en bit du convertisseur interne du modulateur et SNR le rapport signal/bruit.

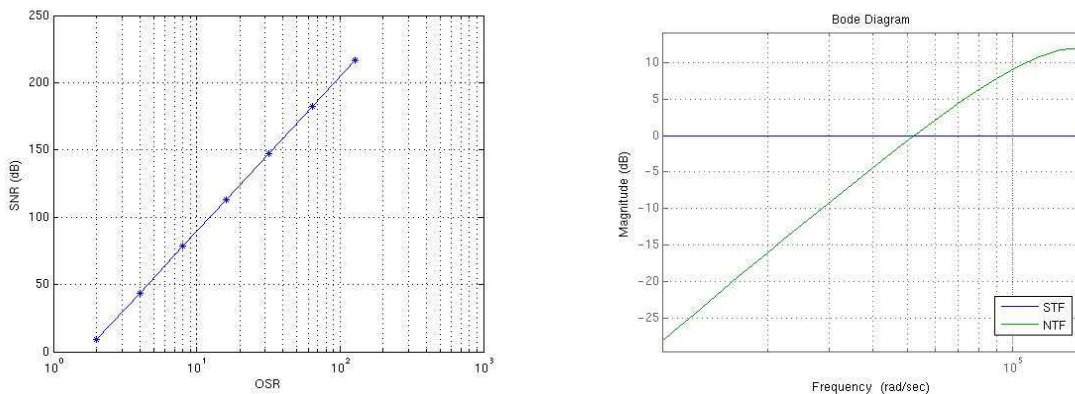


Figure 0-11. SNR en fonction de l'OSR – Fonctions de transfert signal et bruit de quantification

On remarque que pour ce modulateur, le fait de doubler le rapport de suréchantillonnage permet d'augmenter le SNR de 15dB ou la résolution de 2.5 bits. Cette caractéristique rend le sigma-delta du second ordre beaucoup plus intéressant.

De plus les bruits de trames sont négligeables dans la plupart des cas puisque le bruit de quantification est toujours additionné au signal d'entrée mais aussi à l'intégrale de ce signal. De ce fait il y a une moins grande corrélation entre le bruit de quantification et le signal d'entrée. On peut alors considérer le bruit de quantification comme blanc. La Figure 0-12 représente ce résultat et peut être comparée avec la Figure 0-9.

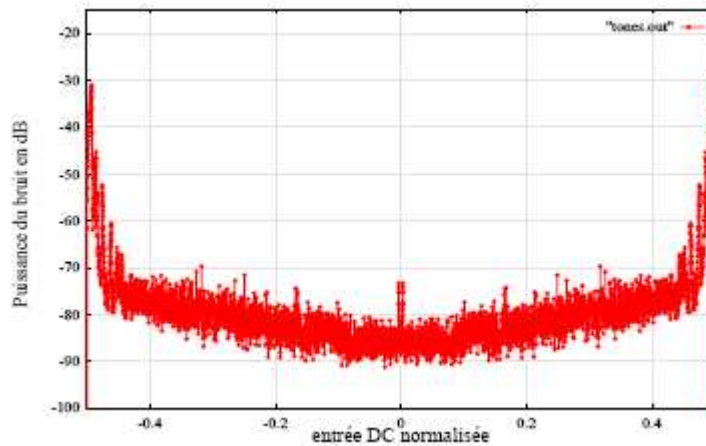


Figure 0-12. Puissance de bruit en sortie en fonction de différentes tensions DC d'entrée

Modulateur d'ordre supérieur :

On peut encore améliorer les performances en augmentant l'ordre du modulateur. Ceci est réalisable en rajoutant des intégrateurs. D'après les études des ordres inférieurs on peut déduire les propriétés suivantes pour un modulateur intégrant L intégrateurs :

$$Y(Z) = X(Z)Z^{-1} + E(Z)(1 - Z^{-1})^L \quad (86)$$

D'où un rapport signal sur bruit égal à :

$$SNR = 10 \log \left(\frac{3}{2} (2^N - 1)^2 \frac{2L+1}{\pi^{2L}} (OSR)^{2L+1} \right) \quad (87)$$

Où N est le nombre de bit du convertisseur interne du modulateur, L l'ordre du modulateur et OSR le rapport de suréchantillonnage utilisé. En multipliant par 2 l'OSR, on augmente le SNR de $(6L+3)$ dB.

En réalité, les modulateurs d'ordres supérieures à deux sont stables uniquement sous certaines conditions. Cela dépend aussi bien des paramètres constituant le circuit que de la gamme des signaux d'entrée. La solution envisagée pour remédier à cela est le contrôle de la sortie des intégrateurs : à chaque fois que cette sortie dépasse un niveau maximal donné on remet les intégrateurs à zéro. Cependant cette solution n'est pas parfaite puisque le niveau maximal choisi intervient dans la stabilité. C'est pourquoi les modulateurs d'ordre supérieures à deux sont rarement utilisés pour les applications nous concernant.

Pour conclure, le modulateur sigma-delta du deuxième ordre est peu sensible aux caractéristiques du circuit mais aussi fournit de meilleures performances en terme de bruit de quantification que le modulateur du premier ordre. De plus, sa stabilité est plus facilement maîtrisable que les modulateurs d'ordre supérieurs. C'est pourquoi nous focalisons notre étude sur cette structure.

Le filtrage numérique

La figure suivante présente le principe de la décimation: il s'agit de réduire la fréquence d'échantillonnage d'un facteur entier R, sans créer de repliement de bruit dans la bande passante.

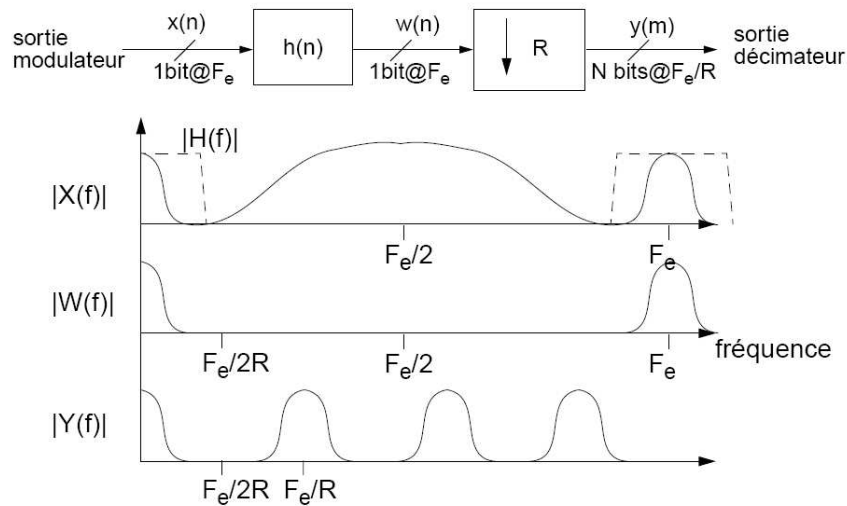


Figure 0-13. Principe de la décimation numérique

Le signal $x(n)$, à la fréquence F_e , est tout d'abord filtré numériquement par un filtre passe-bas (caractérisé par $h(n)$) dont la fréquence de coupure se situe à $F_e/2R$. Le but de ce filtrage est de supprimer toutes les composantes du signal au dessus de $F_e/2R$, afin d'éviter un repliement de spectre. Le signal $w(n)$ peut alors être échantillonné à la fréquence F_e/R . Cela est réalisé pratiquement en ne conservant qu'un échantillon tous les R échantillons de $w(n)$. La sortie « y » est donc la somme des « x » échantillonnés à F_e/R et filtrés par le filtre passe-bas.

Pour développer des structures de filtres, il est important de bien connaître les contraintes imposées pour leurs caractéristiques. Lors de la décimation (figure précédente), on filtre tout le signal au dessus de $F_e/2D$, car lors de la diminution de la fréquence d'échantillonnage, le spectre va se replier autour des multiples de F_e/D . Cette contrainte peut donc être relâchée: il suffit que le filtre coupe des bandes centrées autour des multiples de F_e/D et de largeur égale à la bande passante du signal. Le filtre se caractérise donc par des bandes passantes et des bandes coupées.

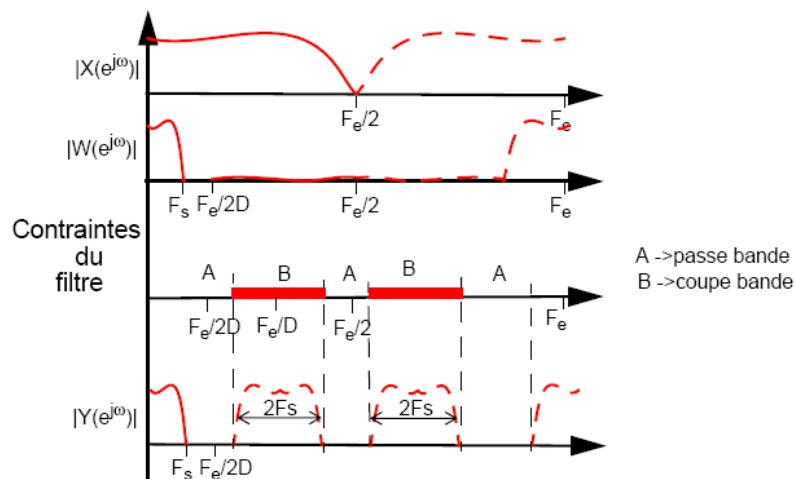


Figure 0-14. Contraintes du filtre de décimation

Le filtre se caractérise donc par le gabarit suivant:

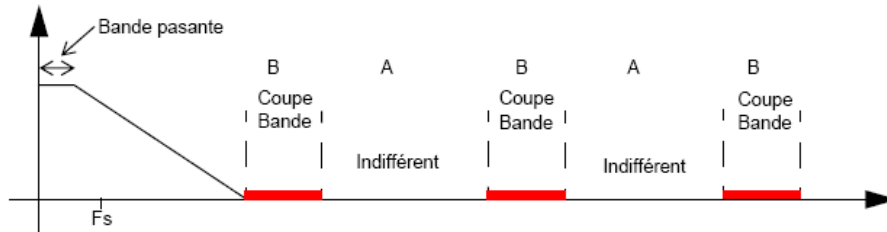


Figure 0-15. Gabarit du filtre de décimation

Une solution pour répondre aux caractéristiques du filtre imposées par la figure précédente, est d'utiliser une architecture du type Sinc. Ces filtres ont une fonction de transfert du type:

$$H(Z) = \left(\frac{1}{D} \times \frac{1 - Z^{-D}}{1 - Z^{-1}} \right)^K$$

La Figure 0-16 illustre la réponse spectrale d'un filtre Sinc3 avec un rapport de décimation de D=16.

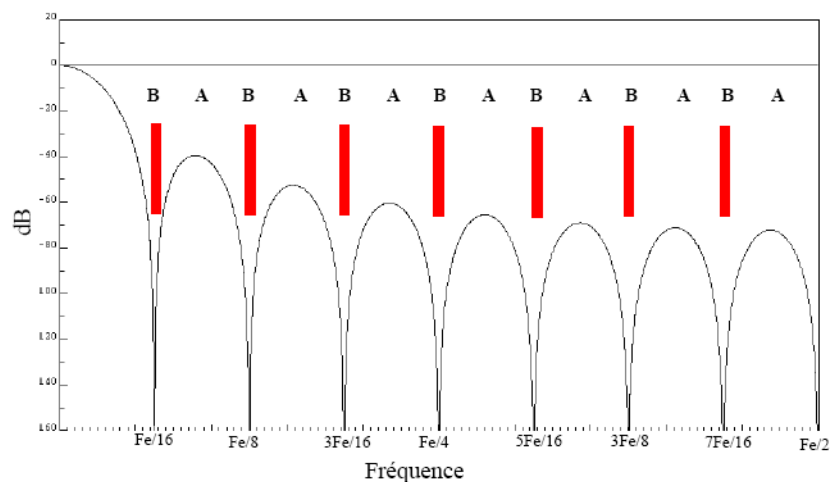


Figure 0-16. Réponse spectrale d'un filtre Sinc3, D=16

L'avantage des filtres en Sinc réside principalement dans une implémentation simple: ils n'utilisent pas de multiplieurs numériques. Ils sont formés par k étages d'intégrateurs cascades, fonctionnant à fréquence élevée et par k étages de différenciateurs cascades, fonctionnant à fréquence basse. Leur principal inconvénient est de présenter une atténuation sur les bords de la bande passante. Cette atténuation nécessite parfois une correction. Il a été montré que pour un modulateur sigma-delta d'ordre L, le filtre en Sinc^k le plus adapté à la décimation et au filtrage, par rapport à un FIR classique a un ordre égal à k = L+1.

Une autre famille de filtre est aussi très utilisée dans les décimateurs: les filtres demi-bandes.

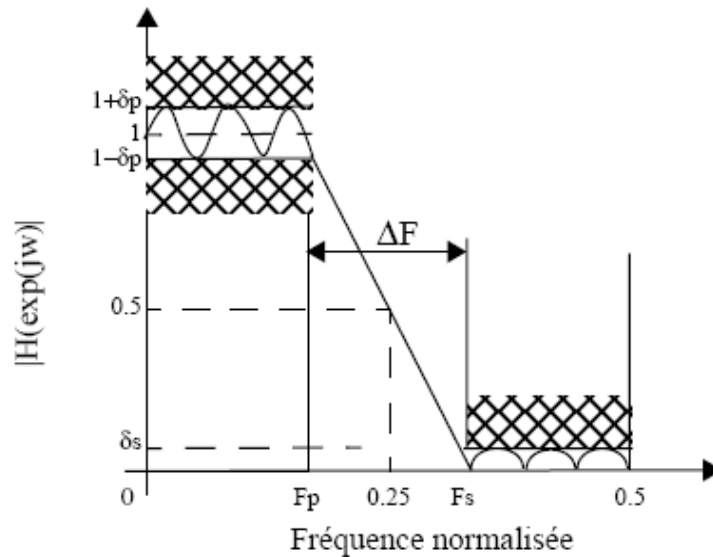
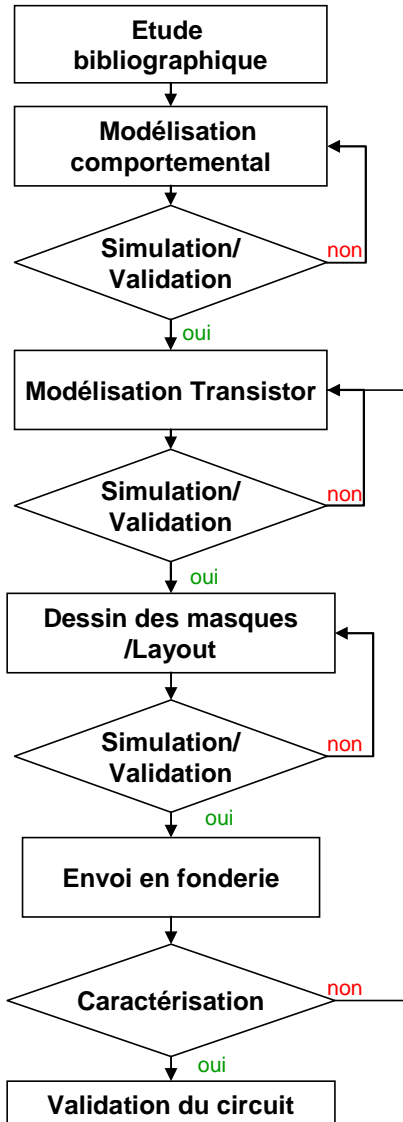
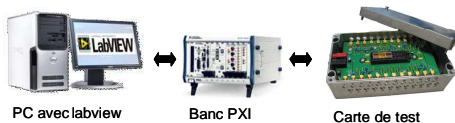
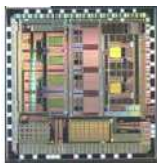
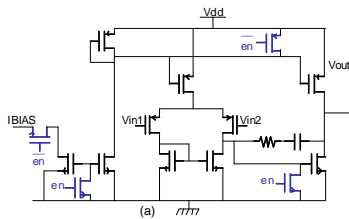
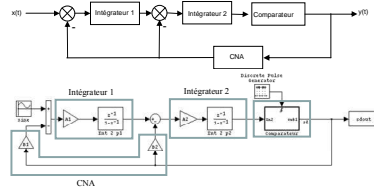


Figure 0-17. Filtre demi-bande

Ils se caractérisent (Figure 0-17) par le fait que l'ondulation autorisée dans les bandes passantes (F_p) et dans les bandes coupées (F_s) est identique, mais aussi par une symétrie des fréquences de coupure autour de $F_e/4$ (ou $\pi/2$). En conséquence, la moitié des coefficients sont nuls. Le nombre de multiplications est alors divisé par 2 par rapport à un filtre générique. Le rapport de décimation est de 2.

Dans les filtres de décimation dédiés à la conversion sigma-delta, une combinaison de filtres en Sinc^k et de filtres demi-bande est le plus souvent utilisée. On utilise typiquement un Sinc^k qui décime par $R/4$, puis deux demi-bandes qui déciment par 2 chacun et améliorent le filtrage. On obtient bien un filtrage et une décimation par R .

ANNEXE 3 : Flot de conception



Outils

-Matlab-Simulink
-VerilogA aVHDL

-Matlab-Simulink
-Cadence/Virtuoso analog design environment

-Cadence:
-Virtuoso analog design environment
-Analyse statistique des dispersions technologiques (Monte carlo)
-Analyse pire cas technologiques (Corner)

-Cadence:
-Virtuoso XL layout editor

-Calibre: DRC (Design Rule Check) et LVS (Layout vs schématique)

Cadence:
-Virtuoso stream out

-Banc pxi National instrument de génération et d'acquisition de signaux

BIBLIOGRAPHIE

- [1] S. Demokritov, J. A. Wolf, and P. Grünberg, *Europhysics Letters*, vol. 15, p. 881, 1991.
- [2] M. Baibich, J. Broto, A. Fert, F. N. V. Dau, F. Petroff, P. Etienne, G. Creuzet, A. Friederich, and J. Chazelas, *Physical Review Letters*, vol. 61, no. 21, p. 2471, 1988.
- [3] A. Bourzami, O. Lenoble, J. F. Bobo, C. Fery, and M. Piecuch, *Physical Review B*, vol. 59, no. 17, p. 11489, 1999.
- [4] M. Juliere, "Tunneling Between Ferromagnetic Films", *Physics Letters*, vol. 54A, No. 3, Sep. 8, 1975, pp. 225-226.
- [5] J. F. Gregg, I. Petej, E. Jouguelet, and C. Dennis, *Journal of Physics D : Applied Physics*, vol. 35, p. R121, 2002.
- [6] J. S. Moodera, L. R. Kinder, T. M. Wong, and R. Meservey, *Physical Review Letters*, vol. 74, p. 3273, 1995.
- [7] Jagadeesh S. Moodera and Lisa R. Kinder. Ferromagnetic insulator ferromagnetic tunneling: Spin dependent tunneling and large magnetoresistance in trilayer junctions (invited). *Journal of Applied Physics*, 79(8):4724-4729, Apr 1996.
- [8] Diaz Cuenca, A.; et al, "Comparison of microstrain indicators measurements based on Anderson's Loop and Wheatstone Bridge", *Electronics, Communications and Computers*, 2006. CONIELECOMP 2006. 16th International Conference on, 27-01 Feb. 2006 Page(s):35 – 35.
- [9] *Magazine*, Vol. 1, No. 1, p. 5, March 1998 Grégory Malinowski, "Transport dépendant du spin et couplage d'échange: de la jonction tunnel au capteur magnétique intégré", Laboratoire de Physique des Matériaux, Université Henri Poincaré - Nancy I (20/12/2004), SCHUHL Alain (Dir.).
- [10] Patent EC:G01D5/244D; G01D5/14B1; EC:G01D5/244D; G01D5/14B1; P.DESBIOLLES [FR] ; C.DURET [FR] "Method for the determination of two signals in quadrature" publication info: CN101113912 (A) 2008-01-30.
- [11] X.Liu, G.Xiao "Thermal annealing effects on low-frequency noise and transfer behaviour in magnetic tunnel junction sensors" *journal of applied physics*, volume 94, number 9, 1 november 2003.
- [12] Cong Ren, Xiaoyong Liu, B. D. Schrag, and Gang Xiao. Low-frequency magnetic noise in magnetic tunnel junctions. *Phys. Rev. B*, 69(10):104405, Mar 2004.
- [13] Anderson, K.F.; , "NASA's Anderson Loop," *Instrumentation & Measurement Magazine, IEEE* , vol.1, no.1, pp.5-15, 30, Mar 1998
doi: 10.1109/5289.658270
- [14] Boujamaa, E.-M.; Dumas, N.; Latorre, L.; Mailly, F.; Nouet, P.; , "An innovative, offset immune, conditioning and read-out circuitry for resistive MEMS sensors," *Circuits and Systems and TAISA Conference, 2009. NEWCAS-TAISA '09. Joint IEEE North-East Workshop on* , vol., no., pp.1-4, June 28 2009-July 1 2009
- [15] J. Lenz, *Proc. IEEE*, vol. 78, p. 973, 1990.
- [16] M. Tondra, J. M. Daughton, D.Wang, R. S. Beck, A. Fink, and J. A. Taylor, *Journal of Applied Physics*, vol. 83, p. 6688, 1998
- [17] US patent 6452204, Nobuyuki Ishiwata et al, "Tunneling magnetoresistance transducer and method for manufacturing the same", Sep.17, 2002
- [18] H. Petit. Simulations comportementales pour la synthèse des convertisseurs analogique numérique CMOS rapide. PhD thesis, Ecole Nationale Supérieure des Télécommunications, Octobre 2004.
- [19] Ch. Rebai. Contribution à la Caractérisation des Convertisseurs Analogiques Numériques haute performances : Mise en oeuvre de nouveaux systèmes de traitement du signal pour le test *in-situ*. PhD thesis, Université Bordeaux I, Décembre 2002.
- [20] M. Holdway. Le can delta-sigma revoit sa conception et gagne en rapidité. *Electronique*, Vol. 164 :40-43, Décembre 2005.
- [21] M. Jridi. Rapport de DEA : Implémentation d'un oscillateur numérique à base de modulateur Sigma Delta pour le test *in-situ*. Université Bordeaux I, juin juin 2004.
- [22] Lin Cong; , "Pseudo C-2C ladder-based data converter technique," *Circuits and Systems II: Analog and Digital Signal Processing, IEEE Transactions on* , vol.48, no.10, pp.927-929, Oct 2001
- [23] Agnes, A.; Bonizzoni, E.; Maloberti, F.; , "Design of an ultra-low power SA-ADC with medium/high resolution and speed," *Circuits and Systems, 2008. ISCAS 2008. IEEE International Symposium on* , vol., no., pp.1-4, 18-21 May 2008
- [24] Yan Zhu; U-Fat Chio; He-Gong Wei; Sai-Weng Sin; Seng-Pan U; Martins, R.P.; , "Linearity analysis on a series-split capacitor array for high-speed SAR ADCs," *Circuits and Systems, 2008. MWSCAS 2008. 51st Midwest Symposium on* , vol., no., pp.922-925, 10-13 Aug. 2008
- [25] Razavi, B.; Wooley, B.A.; , "Design techniques for high-speed, high-resolution comparators," *Solid-State Circuits, IEEE Journal of* , vol.27, no.12, pp.1916-1926, Dec 1992
- [26] Agnes, A.; Bonizzoni, E.; Maloberti, F.; , "Design of an ultra-low power SA-ADC with medium/high resolution and speed," *Circuits and Systems, 2008. ISCAS 2008. IEEE International Symposium on* , vol., no., pp.1-4, 18-21 May 2008
- [27] Eiji Shirai; , "CMOS Multistage Preamplifier Design for High-Speed and High-Resolution Comparators," *Circuits and Systems II: Express Briefs, IEEE Transactions on* , vol.54, no.2, pp.166-170, Feb. 2007
- [28] Wen-Ta Lee; Po-Hsiang Huang; Yi-Zhen Liao; Yuh-Shyan Hwang; , "A New Low Power Flash ADC Using Multiple-Selection Method," *Electron Devices and Solid-State Circuits, 2007. EDSSC 2007. IEEE Conference on* , vol., no., pp.341-344, 20-22 Dec. 2007
- [29] Adimulam, M.K.; Veeramachaneni, S.; Muthukrishnan, N.M.; Srinivas, M.B.; , "A Novel, Variable Resolution Flash ADC with Sub Flash Architecture," *VLSI (ISVLSI), 2010 IEEE Computer Society Annual Symposium on* , vol., no., pp.434-435, 5-7 July 2010
- [30] Wagdy, M.F.; Qiong Xie; , "Comparative ADC performance evaluation using a new emulation model for flash ADC architectures," *Circuits and Systems, 1994., Proceedings of the 37th Midwest Symposium on* , vol.2, no., pp.1159-1163 vol.2, 3-5 Aug 1994

- [31] Gowdhaman, S.K.; Baghini, M.S.; , "6-bit low-power subbranging-ADC with increased throughput," *Circuits and Systems (MWSCAS), 2010 53rd IEEE International Midwest Symposium on* , vol., no., pp.497-500, 1-4 Aug. 2010
- [32] Leccese, F.; , "New subbranging adc architecture for telecommunication systems," *Telecommunications Energy Conference, 2007. INTELEC 2007. 29th International* , vol., no., pp.807-810, Sept. 30 2007-Oct. 4 2007
- [33] Le, H.P.; Zayegh, A.; Singh, J.; , "A 12-bit high performance low cost pipeline ADC," *Electronics, Circuits and Systems, 2003. ICECS 2003. Proceedings of the 2003 10th IEEE International Conference on* , vol.2, no., pp. 471- 474 Vol.2, 14-17 Dec. 2003
- [34] Gubbins, D.; Bumha Lee; Hanumolu, P.K.; Un-Ku Moon; , "A continuous-time input pipeline ADC," *Custom Integrated Circuits Conference, 2008. CICC 2008. IEEE* , vol., no., pp.169-172, 21-24 Sept. 2008
- [35] Van de Vel, H.; Buter, B.; van der Ploeg, H.; Vertregt, M.; Geelen, G.; Paulus, E.; , "A 1.2V 250mW 14b 100MS/s digitally calibrated pipeline ADC in 90nm CMOS," *VLSI Circuits, 2008 IEEE Symposium on* , vol., no., pp.74-75, 18-20 June 2008
- [36] Lin, W.F.; Chou, H.P.; , "A fast single slope ADC with vernier delay line technique," *Nuclear Science Symposium Conference Record (NSS/MIC), 2009 IEEE* , vol., no., pp.313-317, Oct. 24 2009-Nov. 1 2009
- [37] Seogheon Ham; Yonghee Lee; Wunki Jung; Seunghyun Lim; Kwisung Yoo; Youngecheol Chae; Jihyun Cho; Dongmyung Lee; Gunhee Han; , "CMOS image sensor with analog gamma correction using nonlinear single-slope ADC," *Circuits and Systems, 2006. ISCAS 2006. Proceedings. 2006 IEEE International Symposium on* , vol., no., pp.4 pp.-3581, 0-0 0
- [38] Bruce, J.W., II.; , "Meeting the analog world challenge. Nyquist-rate analog-to-digital converter architectures," *Potentials, IEEE* , vol.17, no.5, pp.36-39, Dec1998/Jan 1999
- [39] Petulla, F.; de Notaristefani, F.; Orsolini Cencelli, V.; D'Abramo, E.; Fabbri, A.; Marinelli, M.; Verona-Rinati, G.; , "Interleaved dual slope ADC for a diamond dosimeter ASIC," *Nuclear Science Symposium Conference Record (NSS/MIC), 2009 IEEE* , vol., no., pp.305-308, Oct. 24 2009-Nov. 1 2009
- [40] Cheng-Ta Chiang; Li-Lung Kao; Yu-Chung Huang; , "A Low-Cost CMOS Integrated Dual-Mode Dual-Slope ADC with Synchronous Rectification Circuit for AC/DC Signal Measuring," *Instrumentation and Measurement Technology Conference Proceedings, 2008. IMTC 2008. IEEE* , vol., no., pp.165-169, 12-15 May 2008
- [41] B. Le, T-W. Rondeau, J-H. Reed, and C-W. Bostian: "Analog-to- Digital Converters—A review of the past, present, and future". *IEEE Signal Processing Magazine*, November 2005.
- [42] Yazicioglu, R.F.; Merken, P.; Puers, R.; Van Hoof, C.; , "A 200 μ W Eight-Channel EEG Acquisition ASIC for Ambulatory EEG Systems," *Solid-State Circuits, IEEE Journal of* , vol.43, no.12, pp.3025-3038, Dec. 2008
- [43] You-Kuang Chang; Chao-Shiun Wang; Chong-Kuang Wang; , "A 8-bit 500-KS/s low power SAR ADC for biomedical applications," *Solid-State Circuits Conference, 2007. ASSCC '07. IEEE Asian* , vol., no., pp.228-231, 12-14 Nov. 2007
- [44] Leung, K.Y.; Kafai Leung; Holberg, D.R.; , "A Dual Low Power 1/2 LSB NL 16b/1Msample/s SAR A/D Converter with on-chip Microcontroller," *Solid-State Circuits Conference, 2006. ASSCC 2006. IEEE Asian* , vol., no., pp.51-54, 13-15 Nov. 2006
- [45] Tan Kuo Hwi Roy; Teo, T.H.; , "A 0.9V 100nW Rail-to-Rail SAR ADC for Biomedical Applications," *Integrated Circuits, 2007. ISIC '07. International Symposium on* , vol., no., pp.481-484, 26-28 Sept. 2007
- [46] Scott, M.D.; Boser, B.E.; Pister, K.S.J.; , "An ultralow-energy ADC for Smart Dust," *Solid-State Circuits, IEEE Journal of* , vol.38, no.7, pp. 1123- 1129, July 2003
- [47] A.W. M. van den Enden and N. A. M.Verhoeckx, *Discrete-time signal processing*. Upper Saddle River, NJ, USA: Prentice Hall, 1989.
- [48] O.Nys, R.Henderson, E.Dijkstra « *Low power High resolution data converters*» In:38th midwest symposium on circuits and systems, 1995 Aug., rio de Janeiro, Brazil, pp734-739
- [49] Yuming Cao; Temes, G.C.; "High-accuracy circuits for on-chip capacitance ratio testing or sensor readout" *Circuits and Systems II: Analog and Digital Signal Processing, IEEE Transactions on* [see also *Circuits and Systems II: Express Briefs, IEEE Transactions on*] ; Volume 41, Issue 9, Sept. 1994 Page(s):637 – 639
- [50] Nianxiong Tan; Eriksson, S.; Wanhammar, L.; , "A novel bit-serial design of comb filters for oversampling A/D converters," *Circuits and Systems, 1994. ISCAS '94., 1994 IEEE International Symposium on* , vol.4, no., pp.259-262 vol.4, 30 May-2 Jun 1994
- [51] Y.Fellah, L.labrak, N.Abouchi, T.Tixier, C.Condemine, "Synthèse Automatique de Convertisseur Analogique Numérique de Type Sigma Delta $\Sigma\Delta$ »,SETIT 2007, 4th International Conference: Sciences of Electronic, Technologies of Information and Telecommunications
- [52] Baillieu, Temes "Capacités commutées et Application", Dunod, Paris, 1996
- [53] Schreier, R.; Silva, J.; Steensgaard, J.; Temes, G.C.; , "Design-oriented estimation of thermal noise in switched-capacitor circuits," *Circuits and Systems I: Regular Papers, IEEE Transactions on* , vol.52, no.11, pp. 2358- 2368, Nov. 2005
- [54] Jeong-Gun Lee; Jeong-A Lee; Deok-Young Lee; , "Better Area-Time Tradeoffs in an Expanded Design Space of Adder Architecture by Parameterizing Bit-width of Various Carry Propagated Sub-adder-blocks," *System-on-Chip for Real-Time Applications, The 6th International Workshop on* , vol., no., pp.10-14, Dec. 2006
- [55] R. J. van de Plassche, *CMOS Integrated Analog-to-Digital and Digital-to-Analog Converters*, 2nd ed. Boston: Kluwer Academic Publishers, 2003.
- [56] Negulescu, B.; Lacour, D.; Montaine, F.; Gerken, A.; Paul, J.; Spetter, V.; Marien, J.; Duret, C.; Hehn, M.; , "Wide range and tunable linear magnetic tunnel junction sensor using two exchange pinned electrodes," *Applied Physics Letters* , vol.95, no.11, pp.112502-112502-3, Sep 2009

Conception de circuits analogiques-numériques pour le conditionnement de micro-capteurs embarqués

Guillaume REGIS

Résumé :

Le domaine de l'instrumentation des capteurs est en constante évolution. Ce travail propose la conception des éléments clefs qui constituent les chaines d'instrumentations de capteurs d'aujourd'hui au travers de 3 applications concrètes.

La première application est la mesure de vitesse et de position dans un roulement. Nous présentons la conception et la réalisation d'un circuit analogique pour le conditionnement d'un capteur de type TMR (Tunneling Magneto resistance). Ce capteur mesure le champ magnétique généré par les pôles magnétiques d'une roue codeuse dans le roulement. Le circuit est réalisé en technologie AMS 0.35 μ M CMOS, avec seulement 3.59 μ V_{rms} de bruit ramené en entrée sur une bande passante de 7.5 kHz et une puissance consommée de 23.9mW. Pour compenser la dispersion des capteurs, le circuit permet des réglages d'offset et une calibration de gains grâce à un réseau de résistances R-2R programmables. Il contient également une mémoire de type OTP (One Time programmable Memory) qui sauvegarde les réglages associés à un capteur.

La deuxième application est la mesure de signaux de type EcoG afin d'interfacer le cerveau humain. Nous décrivons la conception et la réalisation d'un convertisseur Analogique/Numérique de type SAR. Il possède un convertisseur numérique analogique capacitif avec une capacité d'atténuation afin de réduire le nombre total de condensateur et ainsi la consommation. Le comparateur possède une entrée rail-to-rail et un système de préamplification avec auto zéro pour diminuer l'offset. Sa consommation est de 86 μ W pour une vitesse de 24Ks/S et 12bits de résolution.

Enfin la troisième application est la mesure de pression stationnaire sur la voilure des avions afin d'en connaître les contraintes. Nous décrivons l'étude architecturale d'un convertisseur sigma-delta permettant d'atteindre une grande résolution pour des signaux de faible fréquence. Il sera de type incrémentale et répondra à des applications de type instrumentation de capteur. Sa résolution est de 16bits ENOB pour une fréquence maximale d'entrée de 100Hz et minimale de sortie d'1Ks/S. Le mode incrémental permettra d'obtenir une sortie en réponse à une requête de manière asynchrone. Une modélisation de chaque élément du système complet convertisseur plus capteur a été effectuée sous matlab. L'étude de la partie filtrage numérique du convertisseur et l'optimisation de son implémentation numérique sont présentées. Cette étude architecturale complète aboutit au dimensionnement de chaque élément pour répondre au cahier des charges de l'application.

Mots-clés :

Convertisseur Analogique/Numérique, CAN SAR, CAN Sigma Delta, Chaine d'amplification Analogique

Abstract:

The domain of sensors instrumentation is constantly evolving. The present work proposes the design of the key elements conception which constitute the instrumentations chains of current sensors through 3 concrete applications

The first application is speed and position measurement in a wheel bearing. We present the design and realization of an analogical circuit for the conditioning of sensor TMR (Tunneling Magneto resistance). This sensor measures the magnetic field generated by the coding wheel magnetic poles inside the bearing. The circuit is realized using AMS 0.35 μ M CMOS technology, with only 3.59 μ V_{rms} of input referred noise on a bandwidth of 7.5 kHz and power consumption of 23.9mW. To compensate sensors variability, the circuit includes offset regulations and gains calibration thanks to a programmable R-2R resistive network. It also contains an OTP (One Time Programmable) memory which backs up the associated sensor regulations.

The second application is the measurement of EcoG's signals to interface with the human brain. We describe the design and realization of SAR ADC. It is composed of a capacitive DAC with an attenuation capacitor to reduce the total number of condensers and, in doing so, to reduce power consumption. The comparator is composed by a rail-to-rail input and multistage preamplification and output offset storage. ADC total power consumption is 86 μ W for 24Ks/S speed and 12bits resolution.

Finally the third application is the pressure measurement on aircraft wings. We describe the architectural study sigma-delta incremental ADC which reaches high resolution for low band pass signals. Its resolution is 16bits ENOB for a maximal input frequency of 100Hz and an output speed of 1Ks/S. The incremental mode leads to obtain output code in answer to asynchronous requests. Each system element (converter plus sensors) has been matlab modelled. The converter digital filtering study and its digital implementation optimization are presented. This complete architectural study concludes with the sizing of each element in order to answer the technical specifications of the application.

Key words:

Analog-to-Digital Converter, ADC SAR, ADC Sigma Delta, Analog amplifier